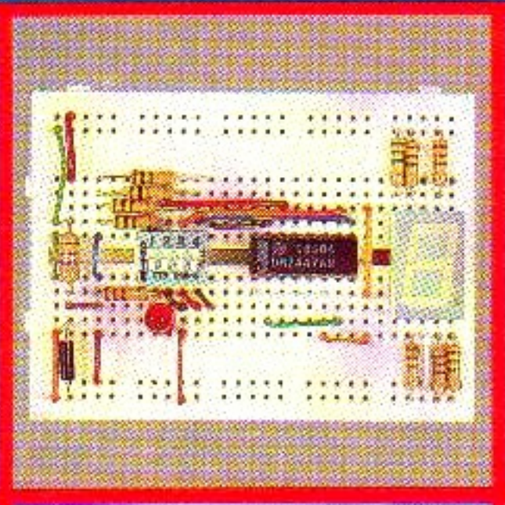
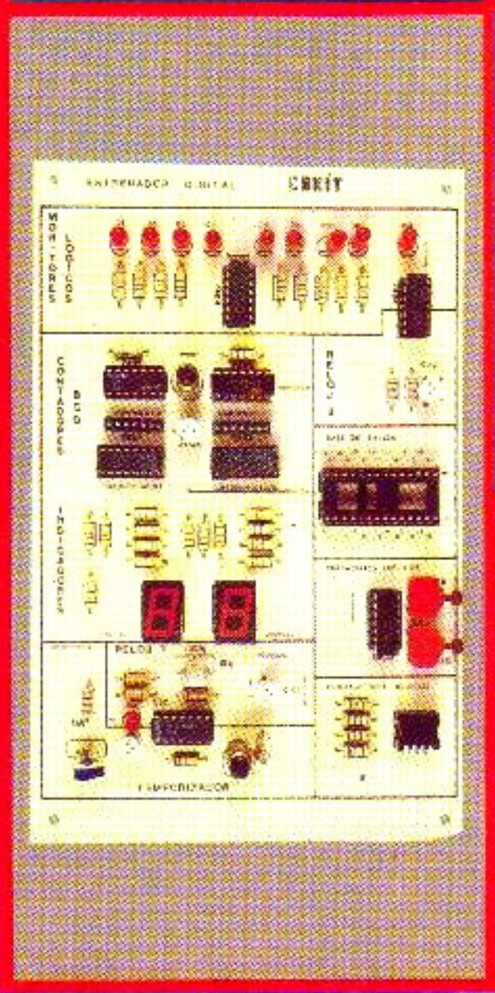
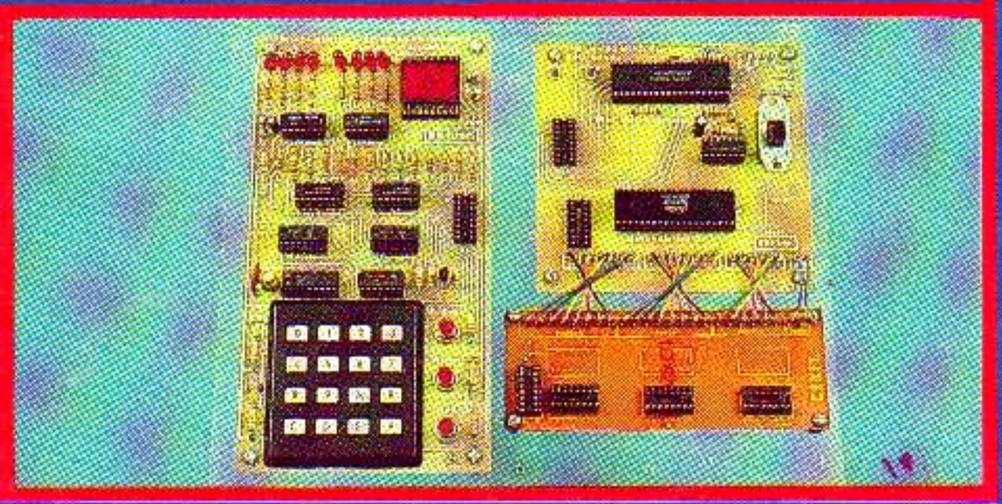
Curso práctico de

ELECTRONICA DIGITAL

circuitos integrados y microprocesadores

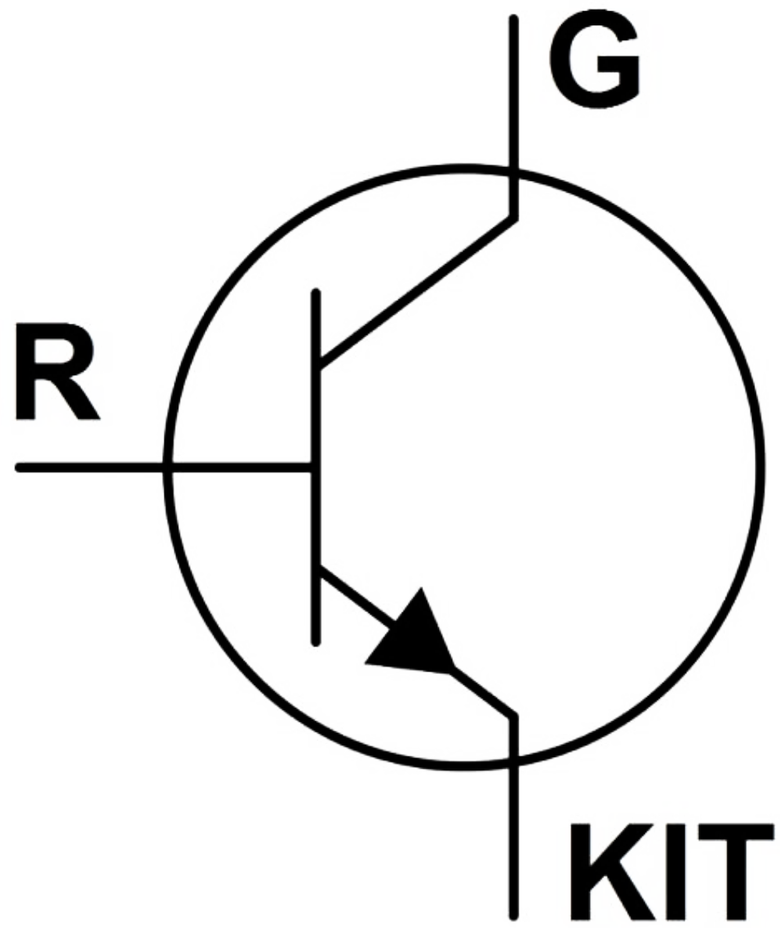






Teoría y práctica para analizar, diseñar, probar, utilizar, reparar y ensamblar circuitos digitales y microprocesadores

CEKÍT


G
R
KIT

Curso práctico de

ELECTRONICA DIGITAL

circuitos integrados y microprocesadores

Realizado y editado por

CEKIT S.A.

Compañía Editorial Electrónica

Gerente general y comercial
William Rojas H.

Director editorial
Felipe González G.

Autor
Felipe González G.

Diagramación electrónica
Nubia Patricia Tamayo

© CEKIT S.A.1993 Pereira - Colombia. Prohibida su reproducción parcial o total por cualquier medio sin permiso escrito del editor.

ISBN (Obra comleta) 958-9108-27-X
ISBN (Volumen 4) 958-9108-31-8
ISBN (Fascículo 34) 958-9108-65-2

IMPRESO POR
ANTARTICA S.A

PRINTED IN CHILE
IMPRESO EN CHILE
12.11.93

El **Curso práctico de ELECTRONICA DIGITAL, circuitos integrados y microprocesadores** se publica en forma de 40 fascículos de aparición semanal, encuadernables en cinco volúmenes.

Cada fascículo consta de 20 páginas y 4 de cubiertas. 16 páginas están dedicadas al curso de ELECTRONICA DIGITAL, cisrcuitos integrados y microprocesadores que comprende 56 lecciones teóricas y numerosas actividades prácticas con los pasos e instrucciones para ensamblar un comprobador lógico de seis módulos. Estas páginas son encuadernables en los volúmenes 1, 2, 3 y 4.

Las cuatro páginas centrales de cada fascículo son encuadernables por separado en el volumen 5 y están dedicadas a la descripción detallada de 26 proyectos completos. Por esta razón, al encuadernar los volúmenes debe cuidarse de desprender previamente las cuatro páginas centrales de todos los fascículos y guardarlas hasta cuando se completen, con el fascículo 40, momento en el cual podrá encuadernar con ellas el volumen 5.

Con el fascículo que completa cada uno de los cinco volúmenes que conforman esta obra, se pondrán a la venta las tapas para su encuadernación. Los volúmenes se conforman de la siguiente manera:

Volumen Nº 1. Fascículos 1 al 10 - páginas 6 a 164
Volumen Nº 2. Fascículos 11 al 19 - páginas 165 a 324
Volumen Nº 3. Fascículos 20 al 28 - páginas 325 a 468
Volumen Nº 4. Fascículos 29 al 40 - páginas 469 a 660
Volumen Nº 5. Libro de proyectos - páginas centrales 5 a 160

CEKIT S.A. garantiza la publicación de la totalidad de la obra y de las tapas necesarias para su encuadernación y el servicio de números atrasados hasta un año después de terminada la circulación del último fascículo. También la calidad de los componentes y el correcto funcionamiento de los proyectos.

DISTRIBUCION INTERNACIONAL Y NUMEROS ATRASADOS

Distribuidor en Colombia:
CEKIT S.A.
Compañía Editorial Electrónica
Calle 22 Nº 8-22 Piso 2 A.A. 194
Tels.352191-352194-356135 FAX 342615
Pereira - Colombia

Distribuidores en Argentina:
EDITORIAL VANIDADES S.A.
Perú 263, 3er.Piso -1067
Capital Federal, Buenos Aires, Argentina
Teléfonos: 342-8946 / 5178 / 8643
FAX: (541) 334-8053
Télex 17699 EDIVA AR
Adherida a la Asociación de Editores de Revistas

Editorial Vanidades S.A., Consejo ejecutivo:
Presidente: Julio Poblete Benett
Gerente General y editor: Carlos A. Magurno

Capital Federal
Vaccaro, Sánchez y Cía S.A.
Moreno Nº 794, 9º Piso, Of. 207, C.P. 1091.
Buenos Aires

Interior
Distribuidora Bertran S.A.C.
Santa Magdalena Nº 541, 1277
Buenos Aires

Distribuidor en Chile:
Editorial Andina S.A.
Avenida El Golf 243
Santiago 34 - Chile
Teléfonos: Mesa de entradas (562)231-7053
232-5818 / 232-8825
Fax (562) 2328826
Télex 440221 EDAND CZ

Distribuidor en Uruguay:
Distribuidora Careaga
Cerrito 688
Montevideo, República Oriental de Uruguay,
Teléfonos: (59) 96-1941 / 95-4940
Fax: 96-1941
Télex 2391 GRAFIA S.A.

Distribuidor en Paraguay:
Selecciones SAC
Fulgencio R.L. Moreno 270
Asunción, Paraguay
Teléfonos: (59521) 441588 / 201863
Fax: 449639

Distribuidor en Bolivia:
Dismo Ltda.
Comercio 806
La Paz, Bolivia
Teléfono:(5912) 353119

Detectores de flancos

- *Introducción*
- *Qué es un detector de flancos. Teoría general*
- *Circuitos de aplicación*
- *Interruptor libre de rebote*
- *Generador de pulsos de reset de encendido*
- *Retardador de pulsos*
- *Convertidor de onda seno a onda cuadrada*
- *Retardador de flancos*
- *Actividad práctica Nº 11*

Introducción

Una de las necesidades más frecuentes en el diseño de sistemas digitales es disponer de un elemento que genere un pulso en respuesta al borde de subida o de bajada de una señal de entrada. Los circuitos más comúnmente utilizados para este propósito son los detectores de flancos o semi-monoestables y los multivibradores monoestables.

La elección entre un detector de flancos y un monoestable como generador de pulsos depende del grado de precisión requerido. Cuando el ancho del pulso generado no es crítico, los detectores de flancos son la solución más conveniente. Si este no es el caso, debe recurrirse al empleo de monoestables, que son circuitos más especializados.

En esta lección analizaremos la teoría básica de los detectores de flancos, conoceremos las configuraciones más comunes y describiremos varios circuitos sencillos de aplicación. Los multivibradores monoestables se estudiarán en la próxima lección.

Qué es un detector de flancos . Teoría básica

Un *detector de flancos* (figura 261) es un circuito que genera un pulso de salida de muy corta duración, en respuesta a uno de los flancos (el de subida o el de bajada) de una señal de disparo aplicada a la entrada.

El detector de flancos de la figura 261 consta de un inversor CMOS (A), una resistencia (R1) y un condensador (C1). Para facilitar la explicación que sigue, se supone una fuente de alimentación (+V) de 9V y se considera que C1 está completamente descargado. Un nivel **alto** corresponderá a un voltaje de 9V y un nivel **bajo** a un voltaje de 0V.

El diagrama de temporización de la figura 261 describe gráficamente el comportamiento del voltaje en los puntos de interés del circuito. La señal de disparo se identifica como V1, el voltaje sobre R1

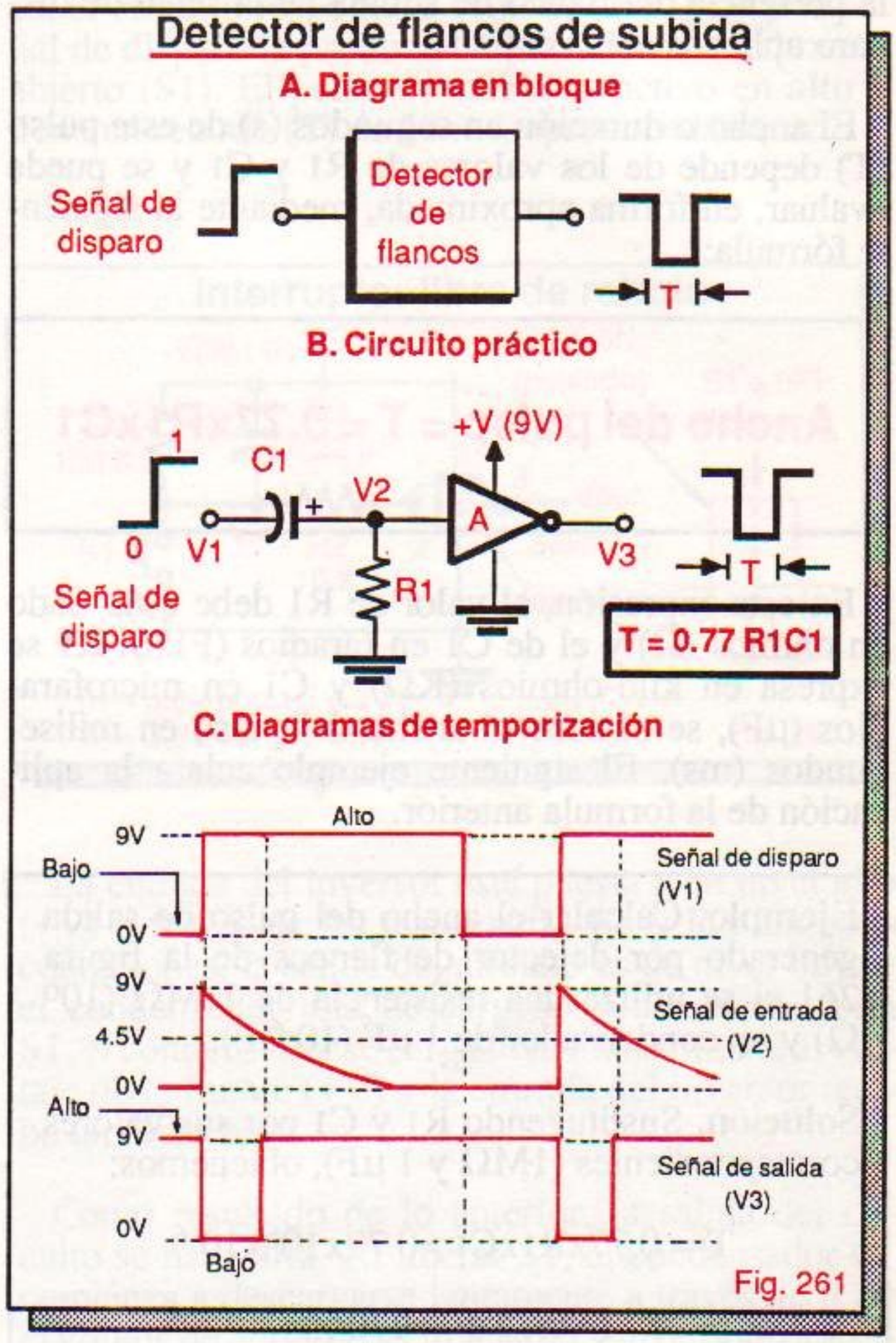


Fig. 261

como V2 y la señal de salida como V3. El uso de diagramas de temporización es muy común en el análisis y diseño de circuitos digitales.

Inicialmente, la señal de disparo está en **bajo** y la salida del inversor A es **alta**. Esto último sucede porque, sin señal de disparo, R1 conecta la entrada del inversor a tierra, es decir a un nivel **bajo**.

Cuando la señal de disparo realiza la transición de **bajo** a **alto** (flanco de subida), el inversor recibe, a través del condensador C1, un nivel **alto** de 9V en su entrada y hace **baja** su línea de salida.

Una vez que la señal de disparo está en **alto**, C1 comienza a cargarse y el voltaje sobre R1 (V2) empieza a descender. Cuando este último es aproximadamente igual a 4.5 V (la mitad del voltaje de alimentación), la entrada del inversor lo interpreta como un **bajo** y hace **alta** su salida. El proceso se repite cada vez que se aplica la señal de disparo.

Como resultado de lo anterior, la salida del inversor ha permanecido en **bajo** durante un período de tiempo **T**, al cabo del cual retorna a su estado normal (**alto**). En otras palabras, el circuito ha generado un *pulso*, activo en **bajo**, en respuesta a la presencia del flanco de subida de la señal de disparo aplicada en su entrada.

El ancho o duración en segundos (s) de este pulso (T) depende de los valores de R1 y C1 y se puede evaluar, en forma aproximada, mediante la siguiente fórmula:

Ancho del pulso = T = 0.77xR1xC1

En esta expresión, el valor de R1 debe estar dado en ohmios (Ω) y el de C1 en faradios (F). Si R1 se expresa en kilo-ohmios (KΩ) y C1 en microfaradios (μF), se obtiene el ancho del pulso en milisegundos (ms). El siguiente ejemplo aclara la aplicación de la formula anterior.

Ejemplo. Calcular el ancho del pulso de salida generado por detector de flancos de la figura 261 si se utiliza una resistencia de 1 MΩ (10^6 Ω) y un condensador de 1 μF (10^{-6} F).

Solución. Sustituyendo R1 y C1 por sus valores correspondientes (1MΩ y 1 μF), obtenemos:

$$T = 0.77xR1xC1 = 0.77x10^6x10^{-6}$$

T=0.77 s = 770 ms

El resultado anterior significa que la salida permanece en **bajo** durante aproximadamente 770 milisegundos (casi un segundo), contados desde el instante en que aparece el flanco de subida de la señal de disparo. El resto del tiempo, la salida se mantiene en **alto**.

El circuito de la figura 261 detecta el flanco *positivo* o de subida de la señal de disparo y entrega un pulso de salida activo en **bajo**. Para obtener disparo por flancos *negativos* o de bajada, la resistencia R1 debe conectarse al positivo de la fuente (+V), como se indica en la figura 262. En este caso, el pulso de salida es activo en **alto**.

Teóricamente, un detector de flancos se puede realizar utilizando cualquier tipo de compuerta, inversora o no inversora. Sin embargo, desde el punto de vista práctico, los detectores de flancos más eficientes se obtienen empleando compuertas *Schmitt-trigger*. En la figura 263 se muestran las configuraciones más comunes de estos últimos.

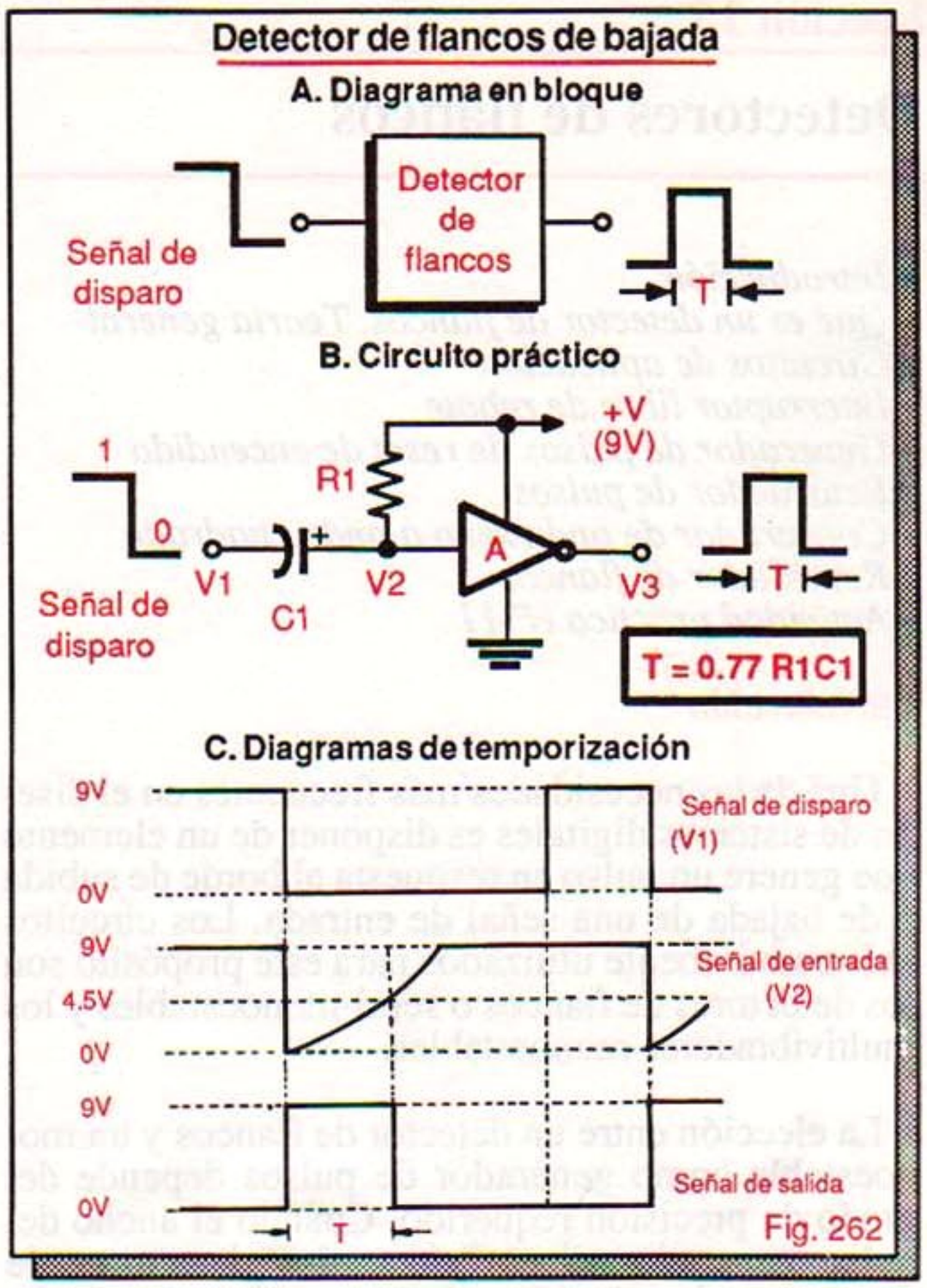


Fig. 262

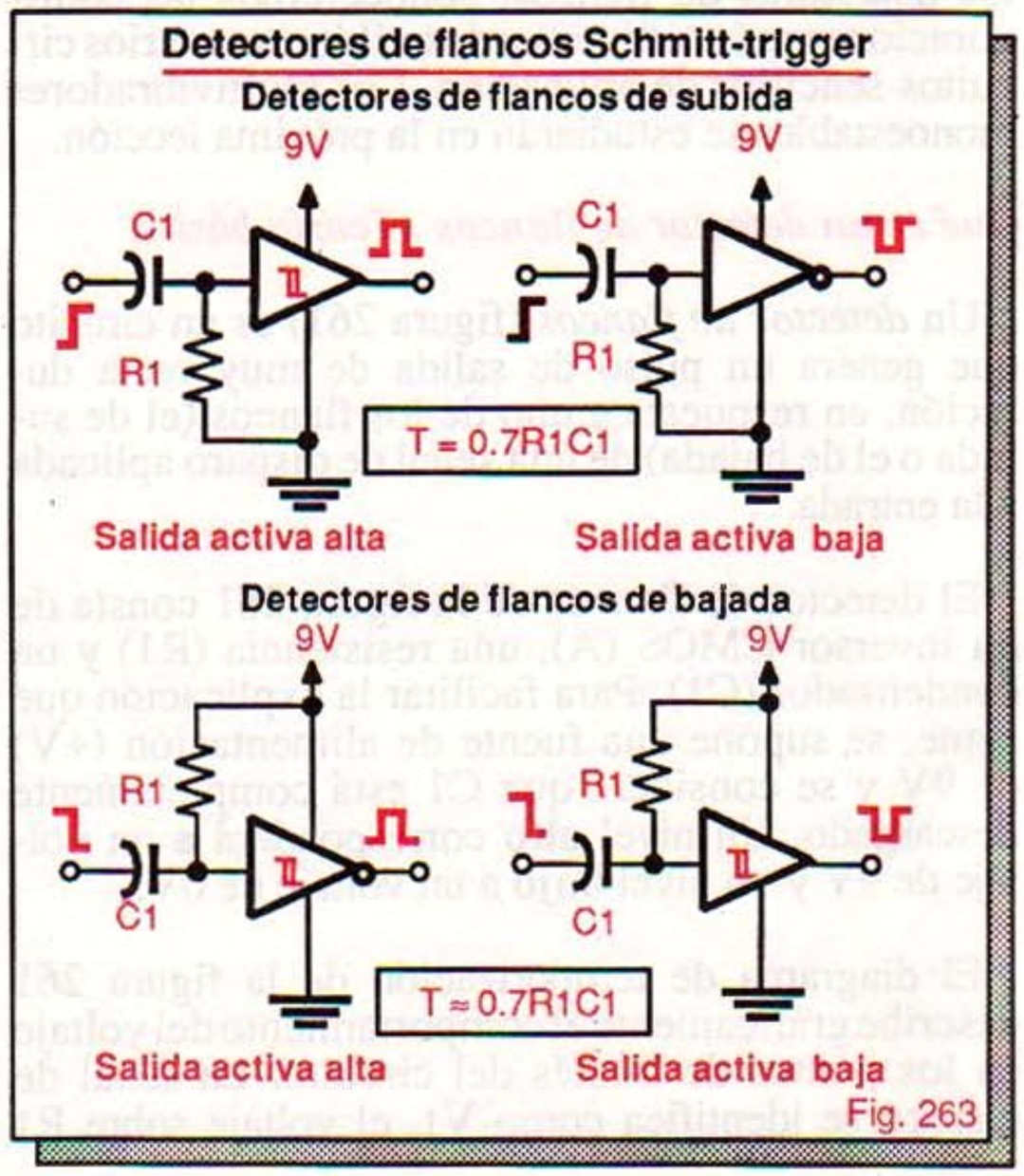


Fig. 263

Como vimos en la lección 6, los dispositivos *Schmitt-trigger* están dotados de una característica especial llamada *histéresis*, la cual los hace inmunes al ruido. Utilizando compuertas *Schmitt-trigger* en detectores de flancos se garantiza un pulso de salida *limpio* (sin ruido) y perfectamente rectangular.

Para que los detectores de flancos descritos anteriormente operen en forma correcta, la señal de disparo debe permanecer aplicada durante un tiempo superior al ancho del pulso de salida deseado. En muchas aplicaciones, esta es una limitación seria. Los monoestables que estudiaremos en la próxima lección no están sujetos a esta restricción.

Circuitos de aplicación

En esta sección describiremos algunas de las aplicaciones más importantes y útiles de los detectores de flancos. Entre los circuitos incluidos figuran un eliminador de rebote para interruptores del tipo *push-button* (pulsadores), un generador de pulsos de *reset*, un convertidor de onda seno a onda cuadrada y un retardador de pulsos.

En todos los casos se utilizan compuertas NAND *Schmitt-trigger* **4093B** conectadas como inversores. La descripción de este *chip* se realizó en la lección 6 (página 63). En la figura 264 se repite su distribución de pines por comodidad.

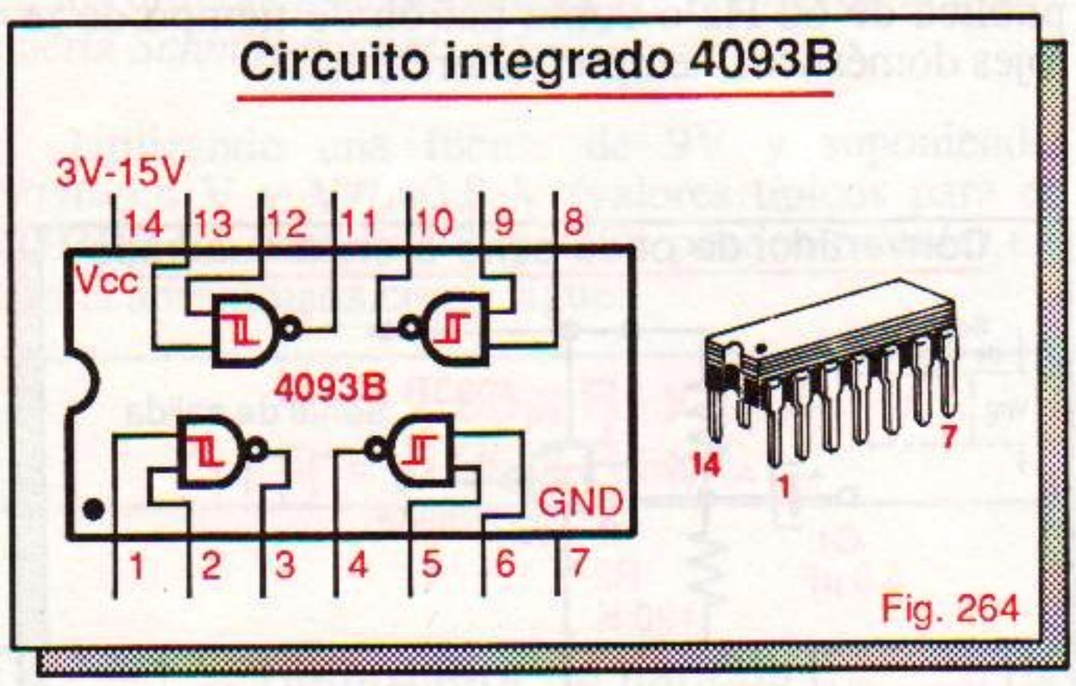


Fig. 264

En lugar de compuertas NAND 4093B se pueden también utilizar inversores *Schmitt-trigger* CMOS (40106B, 74C14, etc.). Siempre que utilice dispositivos CMOS, no olvide conectar las entradas no utilizadas a tierra o a +V para prevenir daños por descargas electrostáticas (ESD) generadas involuntariamente durante su manipulación.

Como en los demás proyectos CMOS de este curso, todos los circuitos se pueden alimentar a partir de una batería o fuente de 9V (*kit* CEKIT K10) o una fuente de 5V (*kit* CEKIT K11). El máximo voltaje de operación permitido es 15V.

Interruptor libre de rebote

Un detector de flancos se puede utilizar eficientemente para construir un interruptor libre de rebote, como se muestra en la figura 265. En este caso, el circuito responde a flancos de bajada y la señal de disparo la produce un pulsador normalmente abierto (S1). El pulso de salida es activo en **alto** y tiene un retardo (T) de 20 ms, aproximadamente.

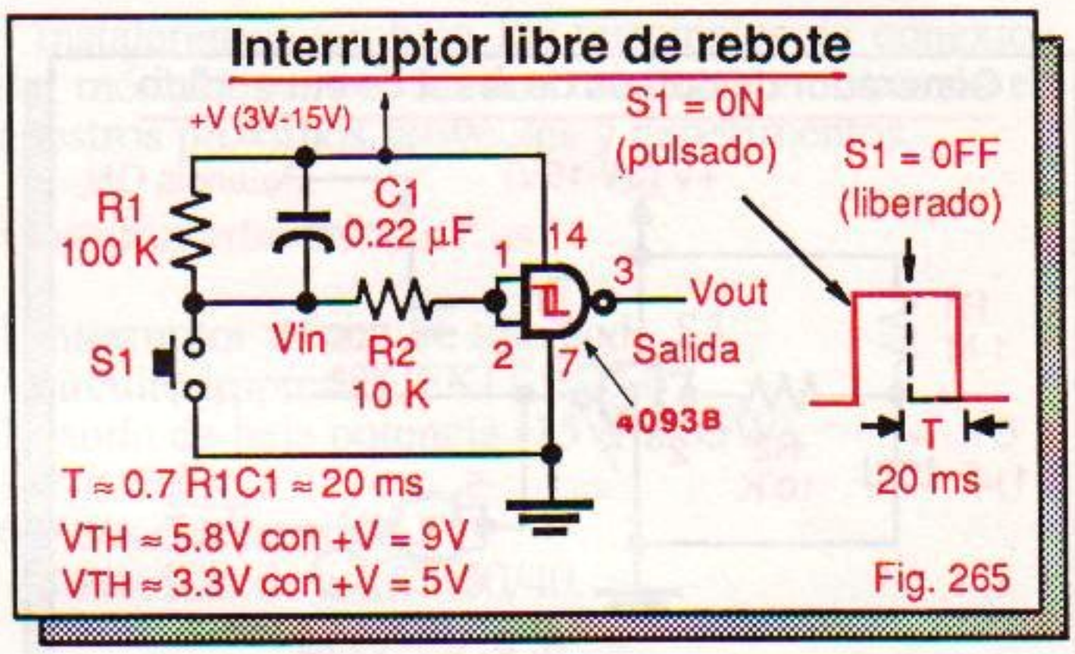


Fig. 265

La entrada del inversor está puesta a un nivel **alto** (+V) a través de las resistencias R1 y R2. En estas condiciones, la salida del circuito es de nivel **bajo** y el condensador está descargado. Cuando se cierra S1, el condensador se carga instantáneamente al voltaje de la fuente (+V) y la entrada del inversor recibe un nivel **bajo**.

Como resultado de lo anterior, la salida del circuito se hace **alta**. Al liberar S1, el condensador C1 comienza a descargarse lentamente a través de R1 y el voltaje de entrada del inversor (Vin) empieza a aumentar, hasta que se hace igual al valor del umbral superior (VHT) de la compuerta.

En ese instante, el inversor se dispara, es decir cambia de estado, y la salida se hace **baja**. Esto sucede, aproximadamente, a los 20 ms de haberse liberado el interruptor. Durante este período de retardo (T), el inversor desconoce los pulsos de rebote generados durante la apertura de S1. El resultado es un pulso nítido, libre de ruido, a la salida.

Notas: Para el 4093B, VTH es típicamente igual a 5.8 V con +V = 9 V y a 3.3 V con +V = 5 V.

Generador de pulsos de inicialización o de reset

La mayoría de sistemas digitales necesitan de un pulso de determinada longitud para inicializar, generalmente en **0**'s, las salidas de sus *flip-flops*, contadores, registros y otros circuitos, en el momento de encender la fuente de alimentación. Cuando esto no se hace, puede ocurrir que el sistema no funcione

como se espera, a pesar de estar bien diseñado y conectado.

Para evitar que esto suceda, la mejor solución es utilizar un generador de pulsos de *reset* de encendido. En la figura 266 se muestra un circuito adecuado para este propósito. Cada inversor suministra un pulso de *reset*, activo en **alto** o en **bajo**, de 700 ms de duración cuando se aplica potencia por primera vez al circuito.

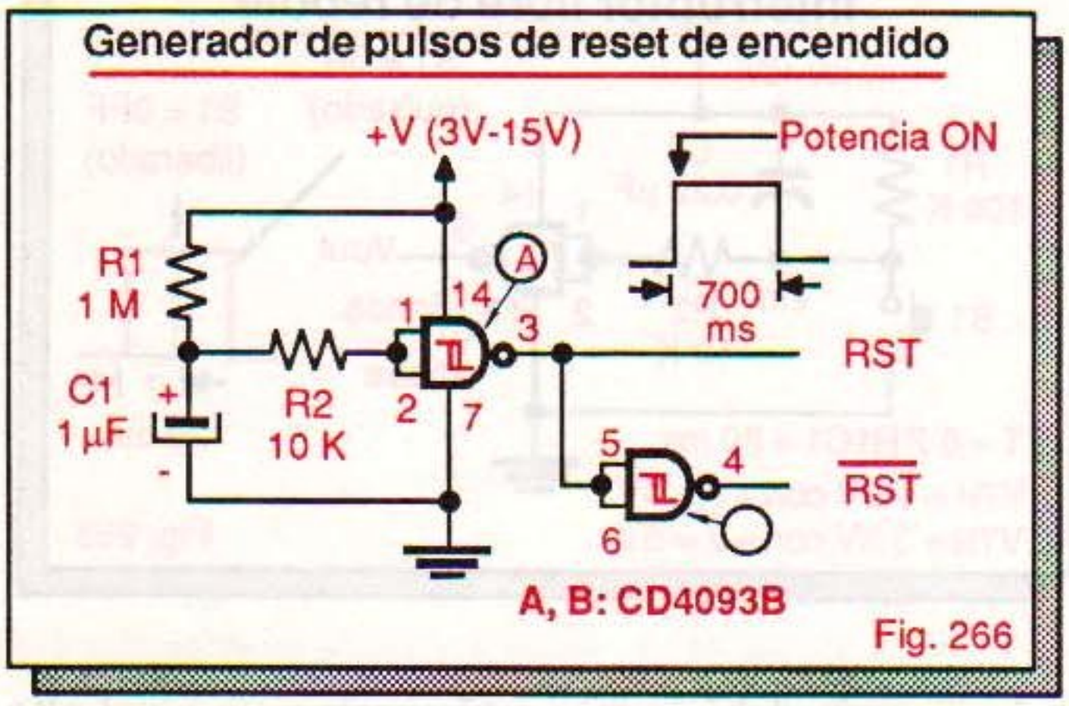


Fig. 266

Al conectar la fuente, el condensador C1 está completamente descargado y la entrada del inversor A recibe un nivel **bajo**. Como resultado, su salida es de nivel **alto** y la del inversor B es de nivel **bajo**. Cuando, 700 ms después, el voltaje sobre C1 alcanza el umbral del inversor A, la salida de este último se hace **baja** y la del inversor B se hace **alta**.

La resistencia R2 es necesaria para prevenir que el condensador se descargue bruscamente a través del circuito de entrada de la compuerta CMOS y la destruya en el momento de desconectar la fuente de potencia. Su presencia no es necesaria cuando se utilizan dispositivos TTL.

Retardador secuencial de pulsos

Existen situaciones donde se necesita que el efecto de una señal de disparo no se manifieste instantáneamente sino un tiempo después de su aparición. La solución a este problema es utilizar un retardador de pulsos. Una forma sencilla de lograrlo es emplear varios detectores de flancos conectados en cascada, como se muestra en la figura 267.

El primer detector se dispara con el flanco de bajada de la señal de entrada y produce un pulso de duración T1. Cuando este pulso termina, su flanco de bajada dispara el segundo detector, el cual produce un pulso de duración T2. El flanco de bajada de este último dispara un tercer detector y así sucesivamente.

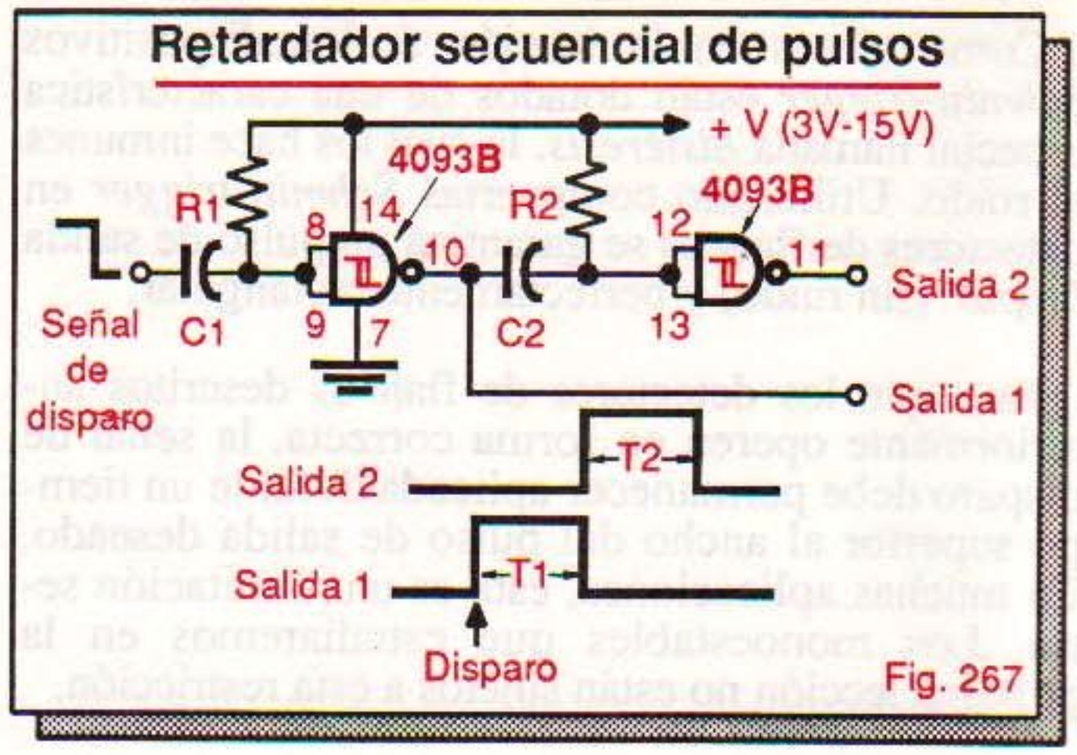


Fig. 267

Los valores de R y C de los detectores se calculan de acuerdo al ancho de pulso deseado en cada caso. Si la entrada se conecta al positivo de la fuente, se obtiene un generador *escalonado* de pulsos de *reset*, el cual inicializa secuencialmente, uno por uno, varios circuitos en el momento de aplicar potencia al sistema.

Convertidor de onda seno a onda cuadrada de 60 Hz

El circuito de la figura 268 produce un tren de pulsos de 60 Hz (60 pulsos cada segundo) cuando es disparado por una señal de corriente alterna de la misma frecuencia y de amplitud adecuada. Se puede utilizar para sincronizar un sistema digital con la red pública de 60 Hz o como patrón de tiempo de relojes domésticos, temporizadores, etc.

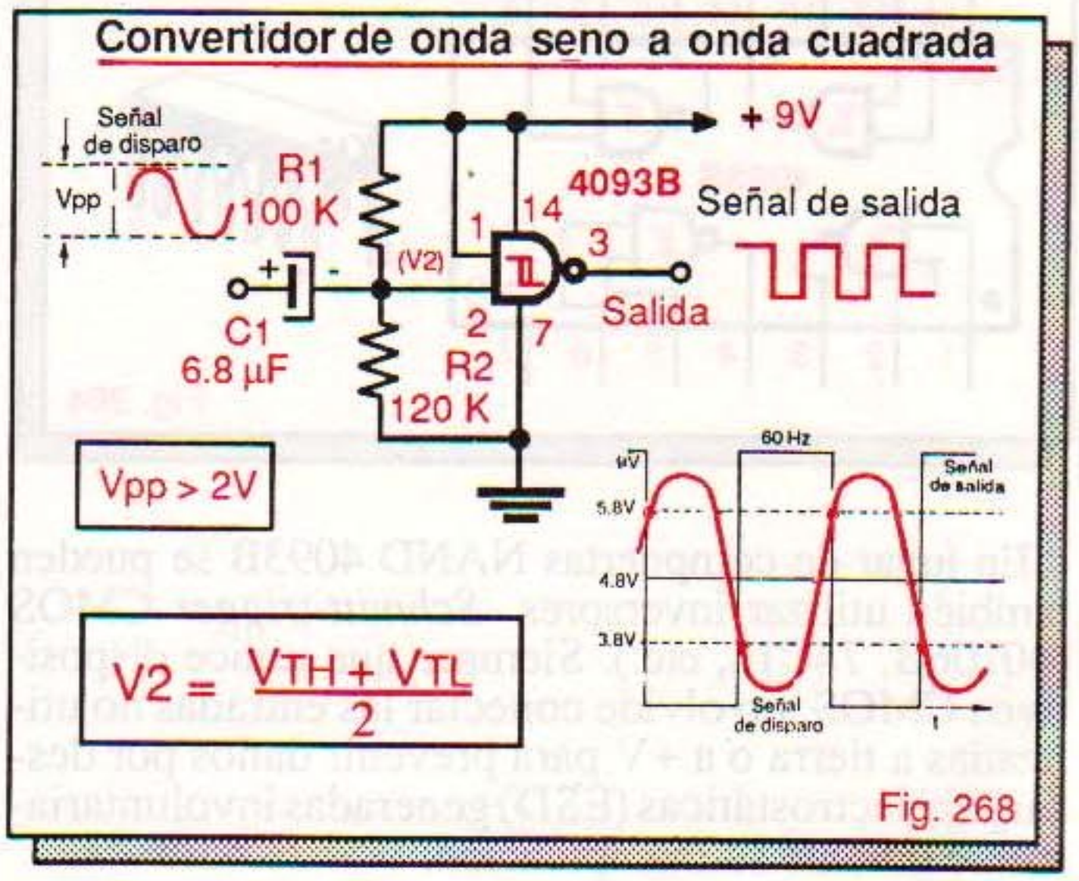


Fig. 268

Con una tensión de alimentación de 9V y sin señal de entrada, las resistencias R1 y R2 fijan el voltaje VIN en 4.8V, aproximadamente. Este valor es intermedio entre entre VTH (5.8 V) y VTL (3.8 V).

La señal de entrada hace variar el voltaje VIN por encima y por debajo de su valor nominal (4.8V).

Recuerde (lección 6) que VTH es el umbral superior de disparo de la compuerta *Schmitt-trigger* y VTL el umbral inferior. La diferencia entre estos valores (VTH-VTL) se denomina *voltaje de histéresis* (VH). En nuestro caso, VH=2V. La amplitud Vpp de la señal de entrada debe ser mayor que el voltaje de histéresis, pero menor que el de alimentación.

La salida (pin 3 del 4093B) es **baja** cuando, por efecto del flanco de subida de la señal de entrada, VIN se hace ligeramente superior a 5.8V y **alta** cuando, por efecto del flanco de bajada, este voltaje se hace ligeramente inferior a 3.8 V. El resultado de este proceso es un tren de pulsos cuadrados a la salida, de la misma frecuencia de la señal de entrada.

Retardador de flancos

El circuito de la figura 269 retarda la aparición de los flancos de la señal de salida con respecto a los flancos de la señal de entrada. Específicamente, el flanco negativo de la salida está retardado un tiempo T^+ con respecto al flanco positivo de la entrada y el flanco positivo de la salida un tiempo T^- con respecto al flanco negativo de la entrada.

El valor de estos tiempos de retardo depende de los valores de R1 y de C1 pero también está sujeto a las variaciones en el voltaje de alimentación (+V) y en los umbrales de disparo (VTH y VTL) de la compuerta *Schmitt-trigger*.

Utilizando una fuente de 9V y suponiendo VTH=5.8 V y VTL=3.8 V (valores típicos para el 4093B), los tiempos T^+ y T^- se pueden calcular,en forma aproximada,como sigue:

$$T^+ = 1.03 \times R1 \times C1$$
$$T^- = 0.86 \times R1 \times C1$$

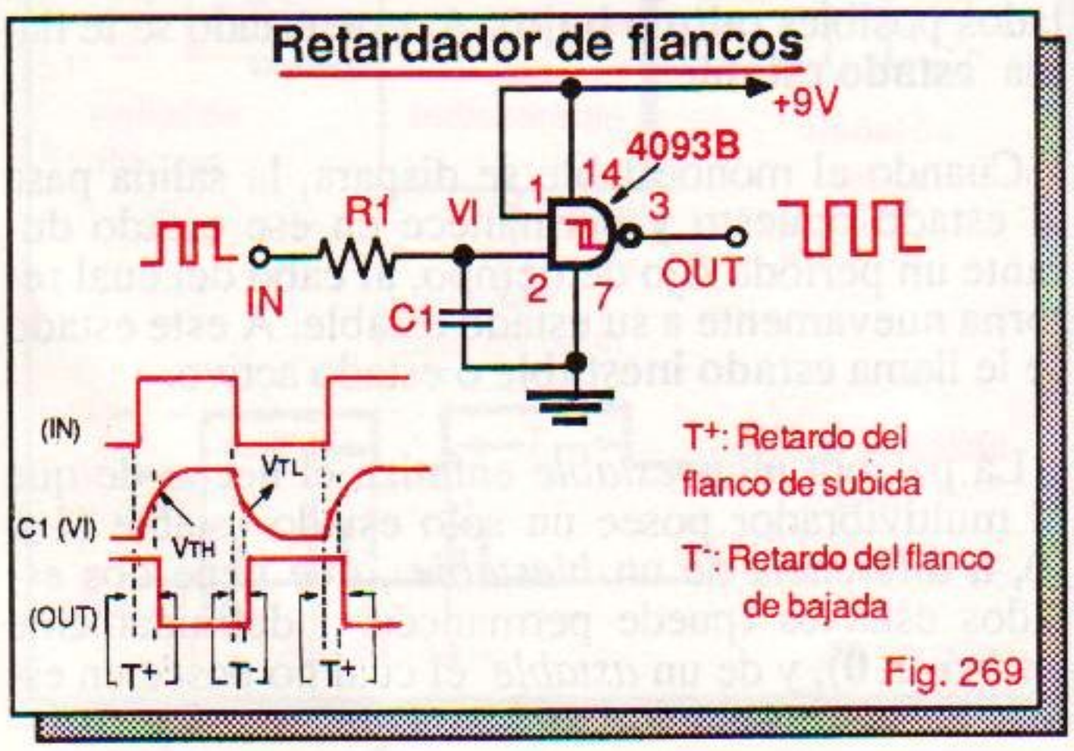


Fig. 269

ACTIVIDAD PRACTICA Nº 11

Construcción del módulo 2. Parte 4

Continuando con el ensamble del módulo 2, en esta actividad instalaremos en la tarjeta de circuito impreso del mismo el interruptor lógico S3. La función de este componente es suministrar, de acuerdo a su posición, un nivel **alto** o **bajo** de voltaje en el terminal de salida S3 de la tarjeta.

Instalaremos también los terminales de conexión del módulo, con el fin de comenzar a utilizarlo en nuestros próximos proyectos y experimentos.

Componentes necesarios

1 interruptor miniatura tipo spdt. S3
1 circuito impreso CEKIT EDM-2.
1 cautín de baja potencia (15W a 35W).
1 cortafríos
6 pines de conexión.
Soldadura de estaño 60/40.

Los pines de conexión puede obtenerlos de terminales sobrantes de LED o de resistencias, de la misma forma como se hizo para el módulo 1.

Procedimiento

Paso 1. Tome el interruptor S3 e instálelo a continuación del interruptor S2, en los agujeros correspondientes, como se muestra en la figura A14. Asegúrese de que el componente quede instalado en una posición firme y suéldelo con cuidado por el lado del cobre.

Paso 2. Tome los 6 terminales de inserción y suéldelos por el lado del cobre de la tarjeta EDM-2, de la misma forma como lo hizo para el módulo 1 (ver página 70, figura A8). Al finalizar, córtelos todos a una misma longitud, por ejemplo 1 cm.

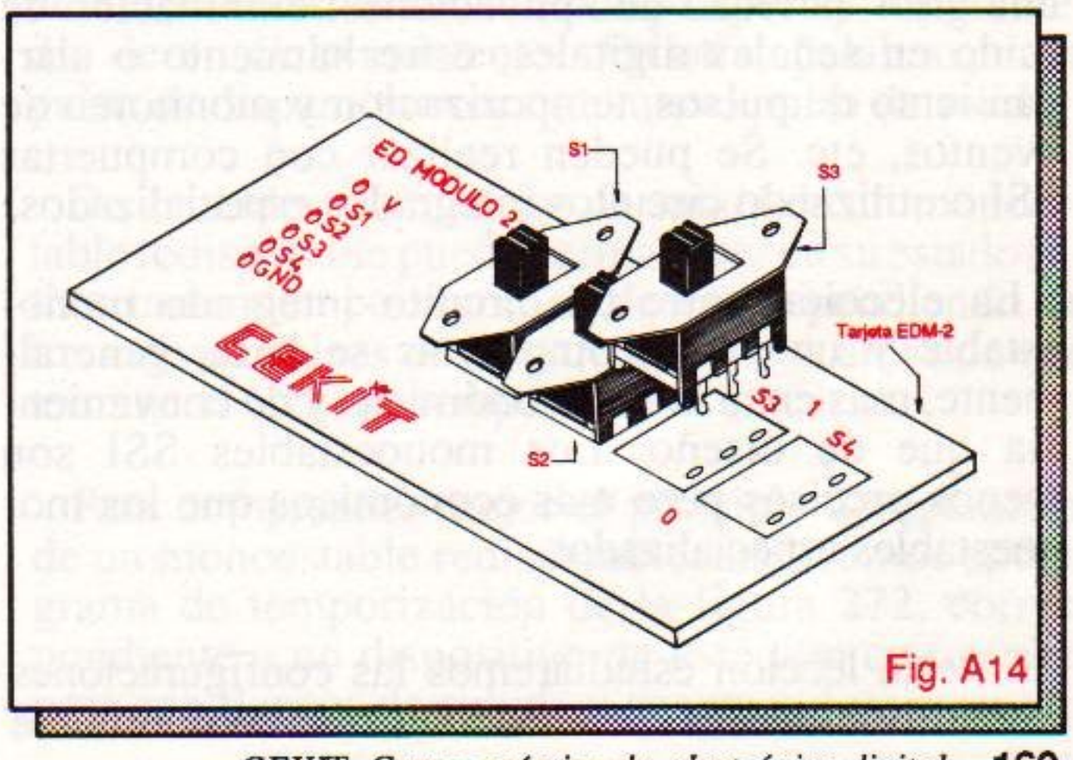


Fig. A14

Monoestables y temporizadores

- *Introducción*
- *Qué es un multivibrador monoestable*
- *Tipos de multivibradores monoestables*
- *Monoestables no redisparables*
- *Monoestables redisparables*
- *Monoestables con compuertas NAND y NOR*
- *Monoestables con 555*
- *Circuitos integrados monoestables TTL*
- *El circuito integrado 74LS221*
- *Experimento Nº 19. Operación de un monoestable no redisparable TTL*
- *El circuito integrado 74LS123*
- *Circuitos integrados monoestables CMOS. El circuito integrado 74C221*
- *El circuito integrado 4528B*
- *Temporizadores de eventos largos. Los circuitos integrados ZN1034E y CD 4541B*
- *El circuito integrado XR-2240*
- *Circuitos de aplicación*

Introducción

Un multivibrador monoestable o *one-shot* (léase *uan-chot*), lo mismo que un detector de flancos, genera un pulso de salida de corta duración en respuesta al flanco de subida o de bajada de una señal de disparo aplicada a la entrada. Sin embargo, los monoestables son circuitos más especializados, precisos y versátiles.

Un monoestable no está sujeto a las restricciones que caracterizan el funcionamiento de un detector de flancos. El ancho del pulso generado se puede controlar en forma más exacta y la señal de disparo no necesita permanecer activa mientras se genera el pulso de salida.

Los multivibradores monoestables se utilizan en una gran variedad de aplicaciones: eliminación de ruido en señales digitales, estrechamiento o alargamiento de pulsos, temporización y monitoreo de eventos, etc. Se pueden realizar con compuertas SSI o utilizando circuitos integrados especializados.

La elección entre un circuito integrado monoestable y uno con compuertas se basa, generalmente, más en razones económicas y de conveniencia que de diseño. Los monoestables SSI son menos precisos pero más económicos que los monoestables especializados.

En esta lección estudiaremos las configuraciones de multivibradores monoestables más comúnmente utilizadas en sistemas digitales. Estableceremos la diferencia entre monoestables redisparables y no redisparables y procederemos a la descripción de una serie de circuitos y *chips* desarrollados específicamente para esta función.

Qué es un multivibrador monoestable

Un multivibrador monoestable o *one-shot* (figura 270) es un circuito que genera en su salida un pulso de cierta duración, en respuesta a uno de los flancos (el de subida o el de bajada) de una señal de disparo aplicada a su entrada. Los monoestables se denominan también *temporizadores*, por ser esta su principal aplicación.

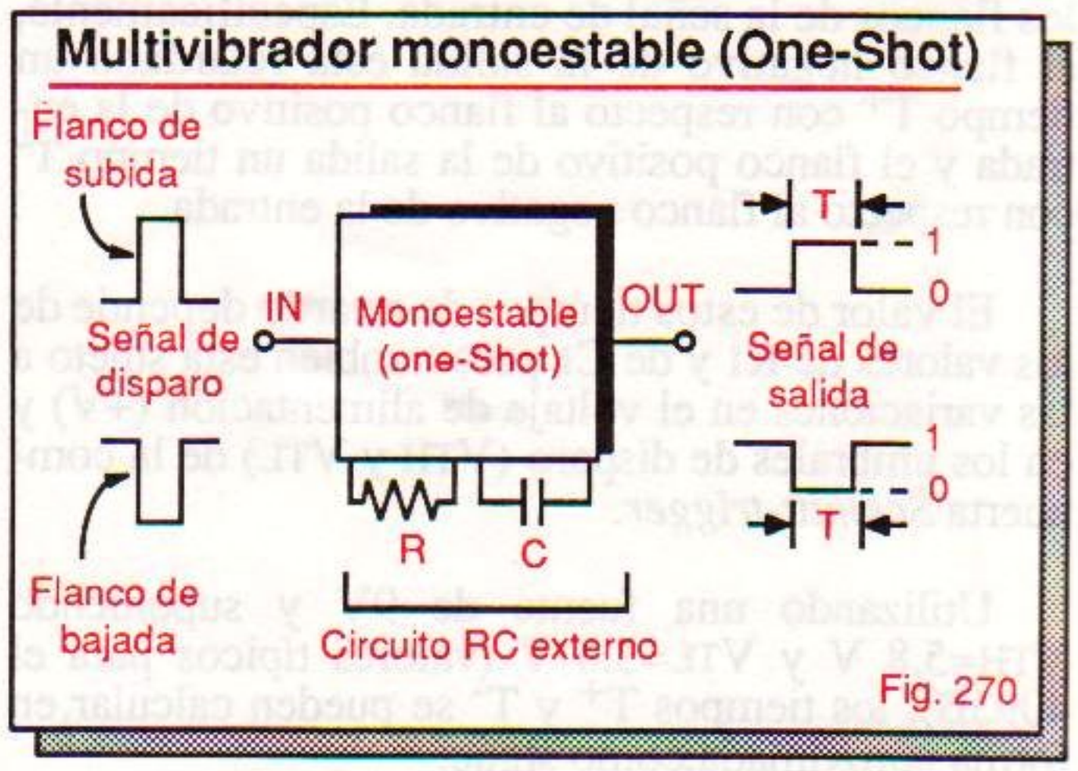


Fig. 270

La duración del pulso (T) la determina un circuito RC externo, constituido, generalmente, por una o dos resistencias y un condensador. En condiciones normales, sin aplicar una señal de disparo, la salida de un monoestable permanece en uno de sus dos estados posibles (**alto** o **bajo**). A este estado se le llama **estado estable**.

Cuando el monoestable se dispara, la salida pasa al estado opuesto y permanece en ese estado durante un período fijo de tiempo, al cabo del cual retorna nuevamente a su estado estable. A este estado se le llama **estado inestable** o estado activo.

La palabra *monoestable* enfatiza el hecho de que el multivibrador posee un sólo estado estable (**1** ó **0**), a diferencia de un *biestable* , que tiene dos estados estables (puede permanecer indefinidamente en **1** ó en **0**), y de un *astable* el cual no posee un estado estable (oscila indefinidamente entre **1** y **0**).

Los multivibradores astables o relojes (*clocks*) se estudian en la próxima lección (la número 17) de este curso. Los multivibradores biestables, incluyendo los cerrojos o *latches* y los *flip-flops*, se estudian en las lecciones 19 y 20.

Tipos de multivibradores monoestables

Existen básicamente dos tipos de multivibradores monoestables: **redisparables** y **no redisparables**. En ambos casos, la aplicación de una señal de disparo válida causa el cambio de estado de la salida y su permanencia en el estado inestable durante un determinado período de tiempo. Al terminar este último, la salida retorna a su estado estable.

La diferencia entre ellos radica en la forma como cada uno se comporta ante señales subsecuentes de disparo, es decir, ante señales aplicadas con posterioridad a la señal que inició el ciclo interno de temporización , y durante la vigencia de este último.

Mientras un monoestable no redisparable ignora estas señales, uno redisparable las acepta, iniciando con cada una un nuevo ciclo de temporización. En las siguientes secciones se analiza en detalle cada uno de estos dispositivos. Ambos tipos de monoestables son ampliamente utilizados en la práctica.

Monoestables no redisparables

En un monoestable no redisparable o estándar (figura 271), el arribo de la señal de disparo inicia un ciclo interno de temporización, el cual causa que la salida del monoestable cambie de estado cuando comienza el ciclo de temporización y retorne a su estado estable cuando este ciclo termina.

Una vez que el ciclo de temporización se ha iniciado, el multivibrador no redisparable es inmune a los efectos de señales de disparo subsecuentes, hasta que el período de temporización termina. Cualquier señal de disparo aplicada durante este tiempo no tendrá efecto alguno en la salida.

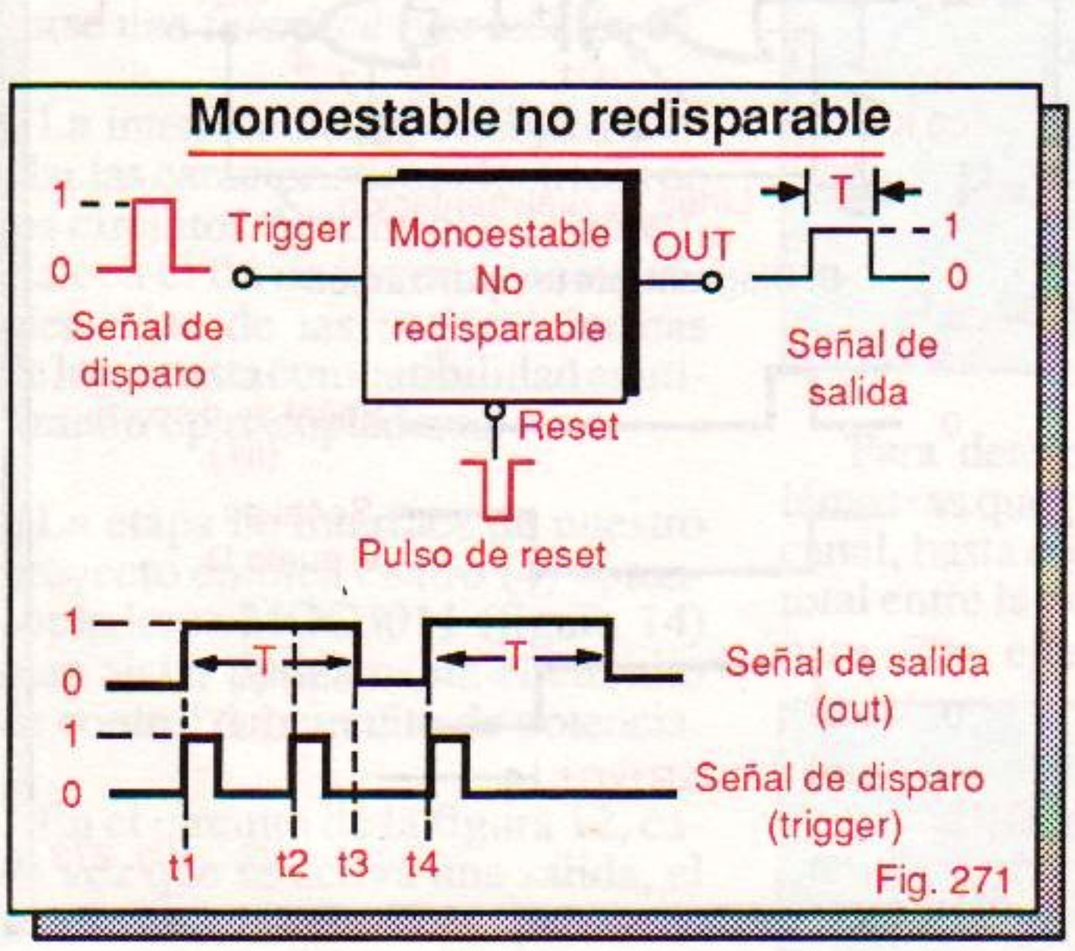


Fig. 271

Este tipo de circuito se puede modificar agregándole una entrada de control llamada *reset*, la cual, cuando se activa, causa que el pulso de salida se cancele y obliga al dispositivo a retornar a su estado estable. La disposición de una línea de *reset* permite terminar o *abortar* el período de temporización en cualquier momento.

Para comprender mejor el principio de operación de un monoestable no redisparable, analicemos el diagrama de temporización de la figura 271, correspondiente a un circuito de este tipo que se dispara con flancos de subida y genera pulsos activos en **alto**. En condiciones normales, la salida está en el estado estable, es decir en **bajo**.

En el instante t_1 el monoestable recibe un pulso de disparo (TRIGGER) y la salida pasa del estado estable (**bajo**) al estado inestable (**alto**), permaneciendo en ese estado durante un período de tiempo determinado (**T**).

Cuando este lapso termina, en el instante t_3, la salida retorna nuevamente a su estado estable (**bajo**) y permanece en ese estado hasta que el monoestable reciba otro pulso de disparo válido en el instante t_4.

La característica esencial del monoestable no redisparable se observa examinando lo que sucede en el instante t_2. En ese momento, el circuito recibe un segundo pulso de disparo. Sin embargo, como la salida aún está activa, es decir en el estado inestable (**alto**), ese pulso es ignorado por el circuito, es decir, no afecta el estado de la salida.

Monoestables redisparables

En un monoestable redisparable (figura 272), cualquier señal de disparo retorna el dispositivo a su estado estable e inicia un nuevo ciclo de temporización, incluso si la señal de disparo se aplica en medio de un ciclo existente. En otras palabras, cada pulso de disparo provoca un nuevo pulso de salida.

De acuerdo a lo anterior, la salida de un monoestable redisparable puede permanecer en su estado activo tanto tiempo como se desee, dependiendo de los nuevos pulsos de disparo aplicados antes de que termine el ciclo de temporización en curso.

Para comprender mejor el principio de operación de un monoestable redisparable, analicemos el diagrama de temporización de la figura 272, correspondiente a un dispositivo de este tipo que se dispara con flancos de subida y genera pulsos activos

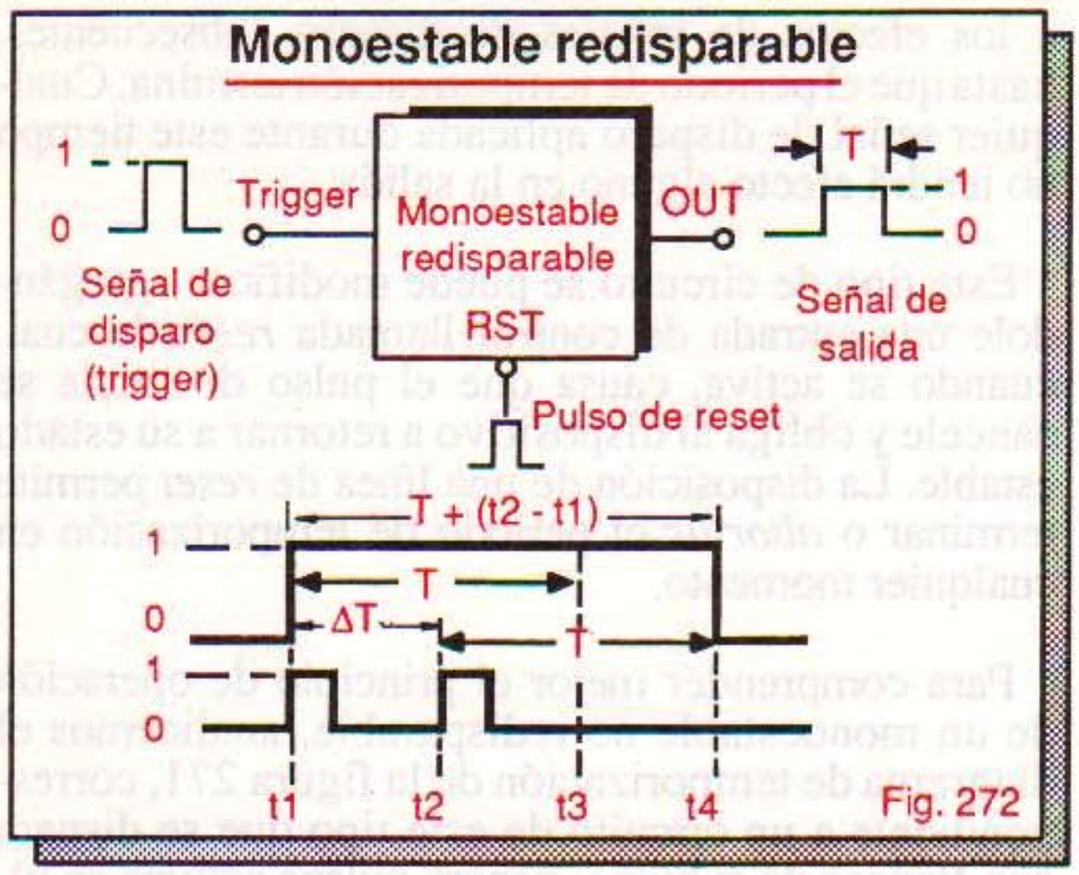


Fig. 272

en **alto**. Inicialmente, sin señal de disparo, la salida es de nivel **bajo**.

En el instante t_1 se aplica un pulso de disparo y la salida pasa al estado inestable o activo (**alto**). En condiciones normales, sin aplicar pulsos subsecuentes de disparo, permanecería en ese estado hasta que termine su período T en el instante t_3.

Sin embargo, en el instante t_2 recibe un segundo pulso de disparo, el cual aborta o cancela el pulso de salida existente y redispara el monoestable por otro período T. El dispositivo se mantiene en su estado inestable (**alto**) hasta que éste período expira por sí mismo, en el instante t_4. Al cabo de este tiempo, el monoestable retorna a su estado estable.

Como resultado del proceso anterior, la salida ha permanecido en el estado inestable (**alto**) durante un tiempo total igual a $\Delta T + T$, siendo $\Delta T = t_2 - t_1$ la porción no cancelada del primer período y T la duración del segundo período. El siguiente ejemplo aclara este concepto.

Ejemplo. Suponga que el monoestable redisparable de la figura 272 ha sido calculado para un período de temporización T de 100 milisegundos y recibe dos pulsos de disparo: el primero en el instante $t_1 = 0$ ms, para iniciar la temporización, y el segundo en el instante $t_2 = 40$ ms, para reactivarla. Determine el tiempo total que la salida permanece en **alto**.

Solución. Cuando se aplica el primer pulso, en el instante $t_1 = 0$ ms, el monoestable se dispara y su salida se hace **alta** durante 40 ms, tiempo al cabo del cual se redispara, manteniéndose en **alto** durante los 100 ms que dura el período normal de temporización.

Como resultado, la salida permanece **alta** durante 40+100=140 ms ó, lo que es lo mismo, durante un tiempo $t = (t_2 - t_1) + T = (40-0) + 100 = 40 + 100 = 140$ ms. Este tiempo es superior a los 100 ms que duraría en **alto** la salida si no se aplicarán pulsos de disparo posteriores al que inicio la temporización.

Monoestables con compuertas NAND y NOR

La forma más simple y económica de realizar un monoestable estándar o no redisparable es utilizando compuertas NAND o NOR. Este tipo de circuitos se utiliza cuando el ancho del pulso de salida no es una consideración crítica. Su precisión está sujeta a las variaciones en el voltaje de alimentación, la temperatura y otros factores.

Una característica importante de los monoestables con compuertas radica en que el pulso de disparo se puede aplicar directamente, sin necesidad de condensadores de acoplamiento. Además, la duración del pulso de disparo tiene muy poco efecto en el ancho del pulso generado.

En la figura 273 se muestran el circuito práctico y el diagrama de temporización de un monoestable redisparable con compuertas NOR CMOS 4001B que responde a flancos de subida y genera un pulso de salida activo en **alto**.

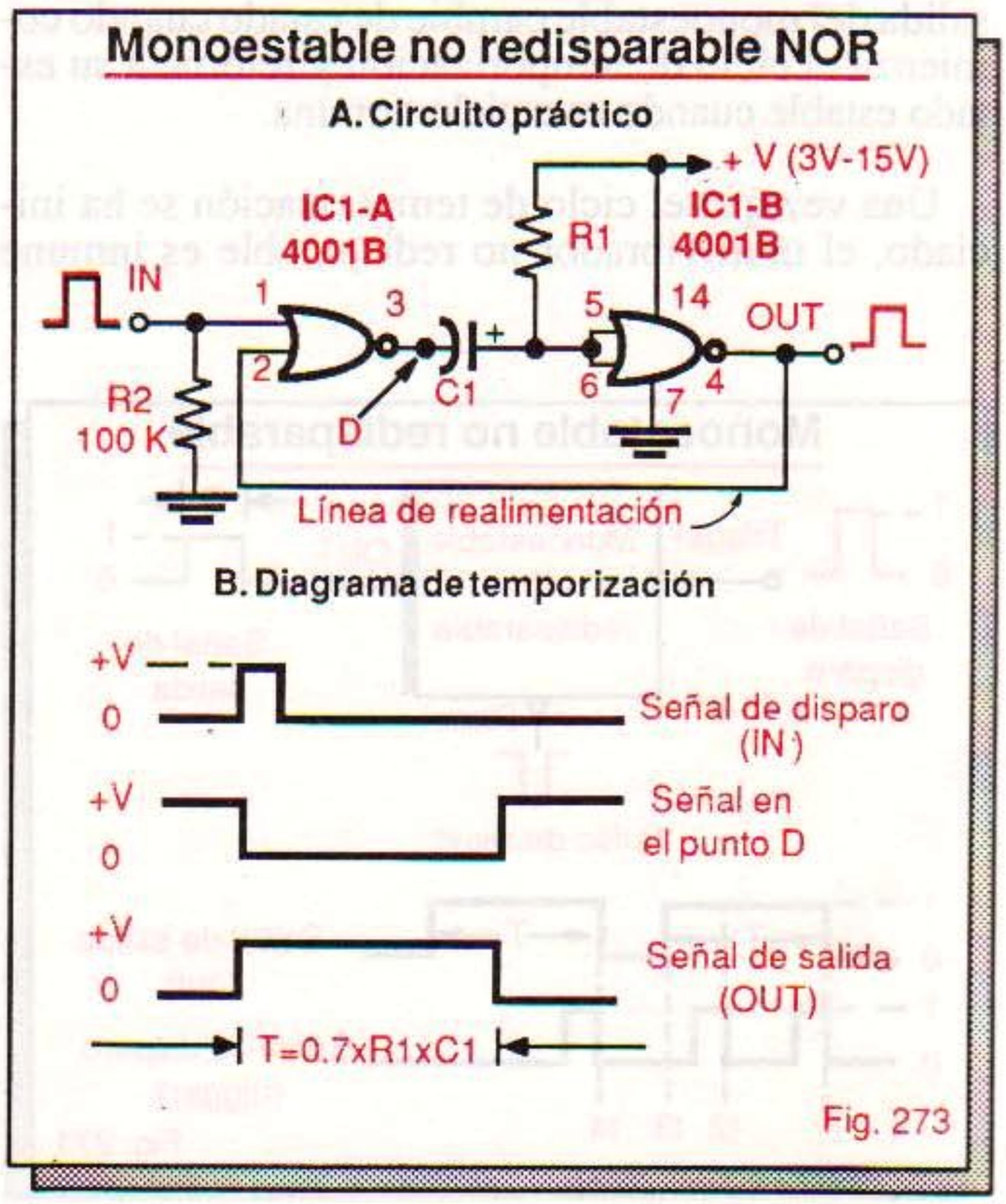


Fig. 273

La duración del pulso de salida (T) la determinan los valores de R1 y C1 y se calcula, en forma aproximada, mediante la siguiente fórmula:

$$T = 0.7 \times R1 \times C1$$

En la práctica, el valor de C1 fluctúa entre 100 pF y 2000 µF y el de R1 entre 4.7 KΩ y 10 MΩ. Por ejemplo, si R1=1 MΩ y C1=10 µF, se obtiene un pulso de salida de $0.7 \times 10^6 \times 10 \times 10^{-6} = 7$ segundos de duración.

El funcionamiento del circuito de la figura 273 es muy simple. Observe que IC1-A e IC1-B son compuertas NOR de dos entradas pero esta última está conectada como inversor. En condiciones normales, sin señal de disparo, la salida del circuito (OUT) es de nivel **bajo** y la entrada superior de la compuerta IC1-A recibe un **bajo** a través de R2.

Puesto que la compuerta IC1-A recibe un **bajo** en ambas entradas, su salida (punto D) es **alta** y el condensador C1 está descargado. Cuando se aplica momentáneamente un pulso de disparo positivo (activo en **alto**), la salida de IC1-A se hace inmediatamente **baja** y el condensador C1 aplica un **bajo** a la entrada de la compuerta IC1-B.

Como consecuencia de lo anterior, la salida del circuito (OUT) se hace **alta**. Este **alto** se realimenta a la entrada inferior de la compuerta IC1-A, obligando a la salida de esta última (punto D) a permanecer en **bajo**, sin importar el estado de la señal de disparo. Esta señal debe hacerse **baja** antes de terminar el período de temporización.

El condensador C1 comienza entonces a cargarse a través de R1. Cuando el voltaje sobre C1 crece hasta alcanzar un valor aproximadamente igual a +V/2, es decir, la mitad del voltaje de alimentación, la compuerta IC1-B lo interpreta como un **alto** y la salida del circuito (OUT) se hace **baja**.

El resultado neto de todo este proceso es la emisión de un pulso de duración T, activo en **alto**, a la salida. Para que el circuito opere de la forma descrita anteriormente, es condición indispensable que el pulso de disparo finalice antes de terminar el pulso de salida.

El circuito de la figura 273 se puede modificar para proveerlo de la función de *reset*, es decir de la posibilidad de cancelar el pulso de salida antes de que termine el período de temporización. Esto se hace interrumpiendo la línea de realimentación, como se muestra en la figura 274.

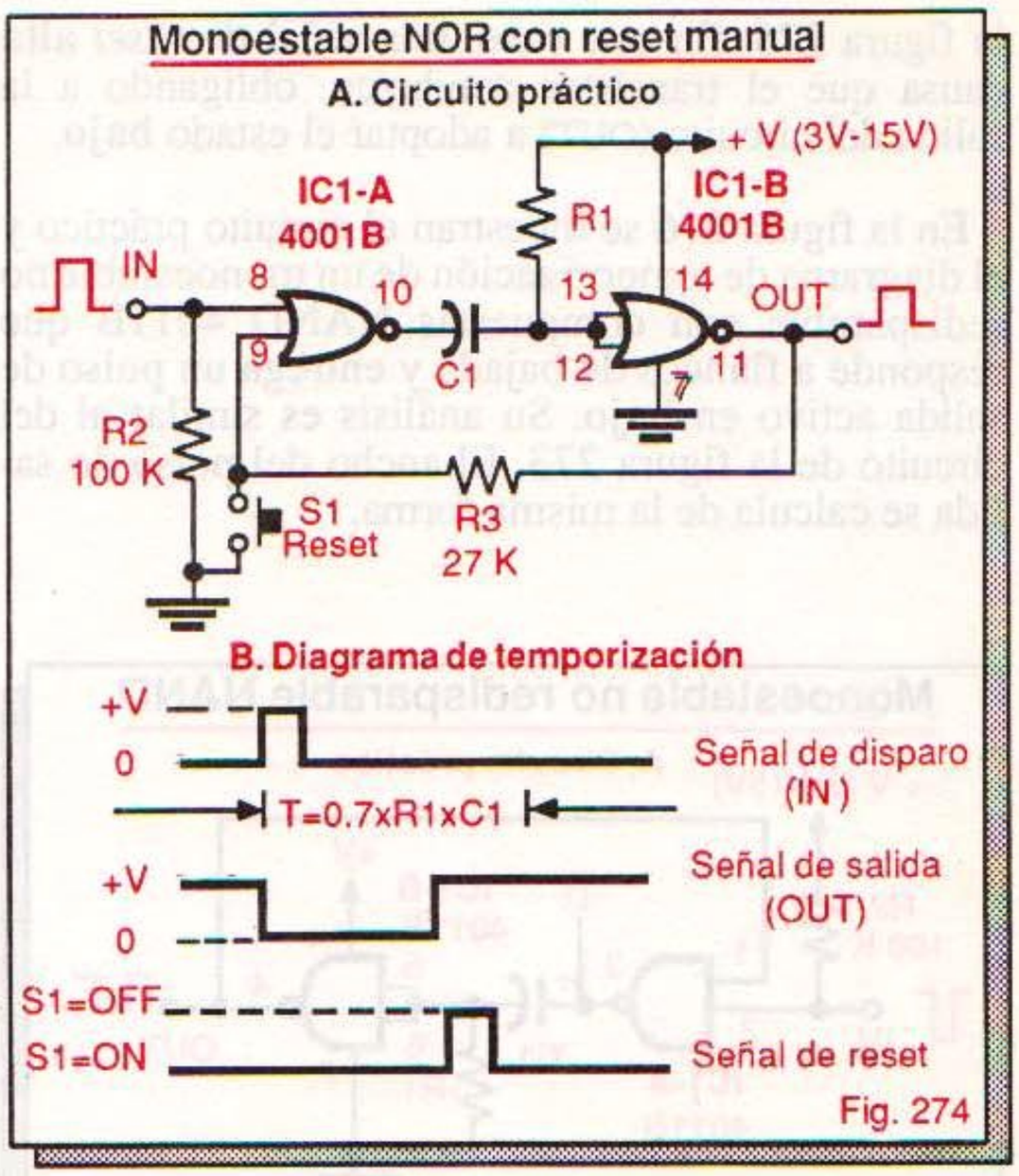


Fig. 274

En este caso, la conexión entre la salida del circuito (OUT) y la entrada inferior de la compuerta IC1-A se realiza a través de la resistencia R3. Cuando se aplica momentáneamente el pulso de disparo, la señal de salida se hace **alta** y se inicia el ciclo de temporización previamente explicado.

Sin embargo, si se pulsa el interruptor S1 (RESET), se aplica un **bajo** a la entrada inferior de IC1-A y la salida de esta compuerta se hace forzosamente **alta**, descargando el condensador C1 y obligando a la salida (OUT) a retornar al estado **bajo** o de reposo.

En el circuito de la figura 274, la señal de *reset* se aplica manualmente. Para permitir que el pulso de salida pueda ser cancelado electrónicamente, S1 se puede sustituir por un transistor, como se indica en

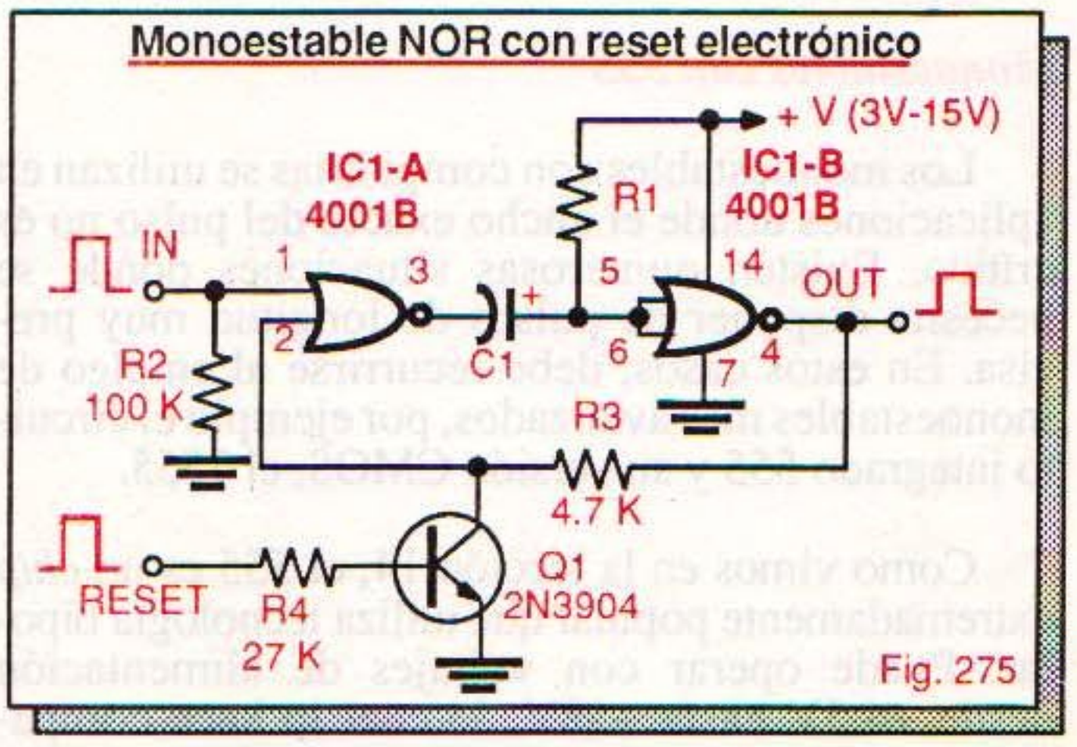


Fig. 275

la figura 275. En este caso, una señal de *reset* **alta** causa que el transistor conduzca, obligando a la salida del circuito (OUT) a adoptar el estado **bajo**.

En la figura 276 se muestran el circuito práctico y el diagrama de temporización de un monoestable no redisparable con compuertas NAND 4011B que responde a flancos de bajada y entrega un pulso de salida activo en **bajo**. Su análisis es similar al del circuito de la figura 273. El ancho del pulso de salida se calcula de la misma forma.

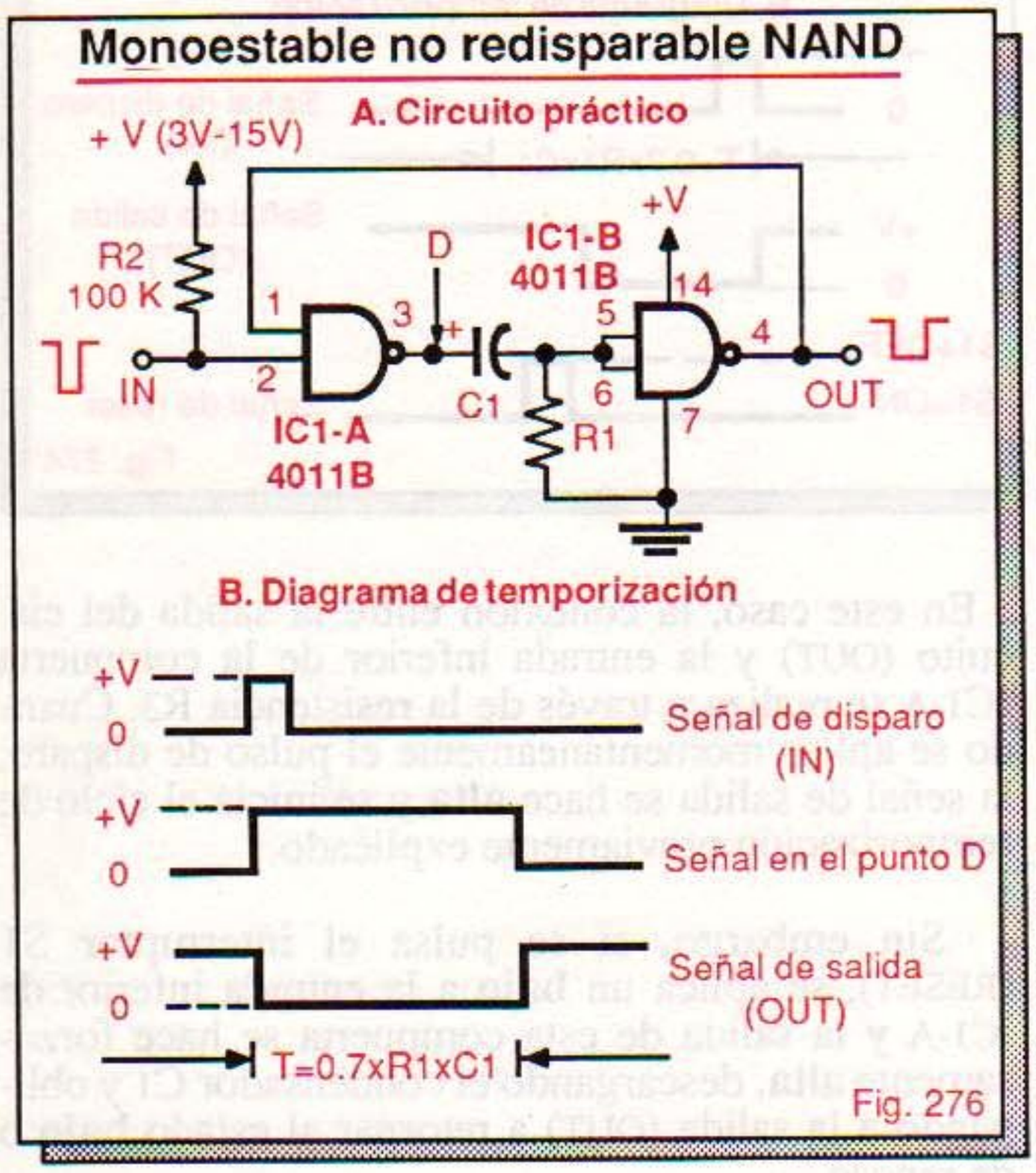


Fig. 276

En la figura 277 se ilustra la forma de dotar al circuito de la figura 276 de la función de *reset* utilizando un interruptor (S1). El análisis de este circuito es similar al de la figura 274. El interruptor se puede sustituir por un transistor PNP, como se indica, para aplicar electrónicamente la señal de *reset*

Monoestables con 555

Los monoestables con compuertas se utilizan en aplicaciones donde el ancho exacto del pulso no es crítico. Existen numerosas situaciones donde se necesita disponer de pulsos de longitud muy precisa. En estos casos, debe recurrirse al empleo de monoestables más avanzados, por ejemplo el circuito integrado 555 y su versión CMOS, el 7555.

Como vimos en la lección 14, el 555 es un *chip* extremadamente popular que utiliza tecnología bipolar. Puede operar con voltajes de alimentación desde +4.5V hasta +18V, lo cual lo hace compatible con la mayoría de familias lógicas de circuitos integrados digitales.

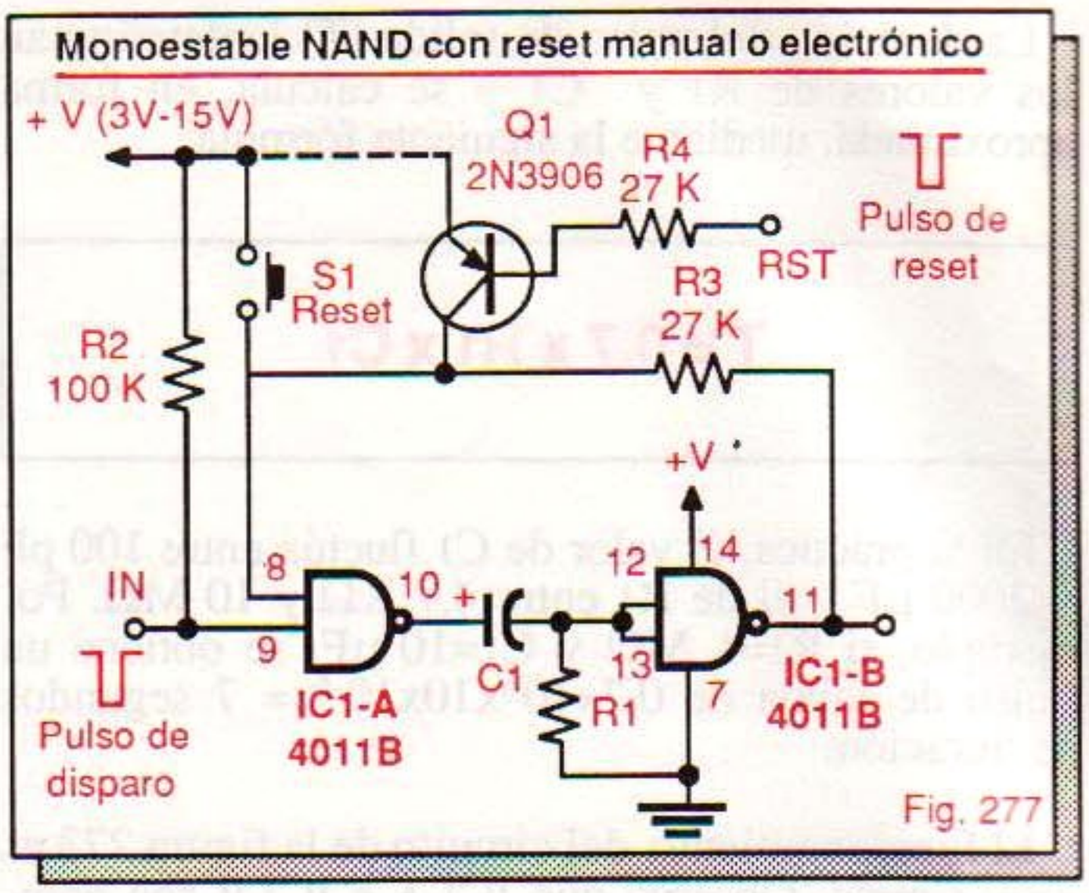


Fig. 277

El 7555 es funcionalmente idéntico al 555 pero se caracteriza por su bajo consumo de potencia y porque puede trabajar con voltajes de alimentación entre +2V y +18V. Todos los circuitos que se describen a continuación utilizan el 7555 como elemento central pero son igualmente válidos con el 555.

En la figura 278 se ilustra la forma de utilizar el 7555 como un monoestable no redisparable. El circuito responde a flancos de bajada y entrega un pulso activo en **alto**. La duración de este pulso depende de los valores de R1, R2 y C1 y no está sujeta a las variaciones del voltaje de alimentación ni a los cambios de temperatura.

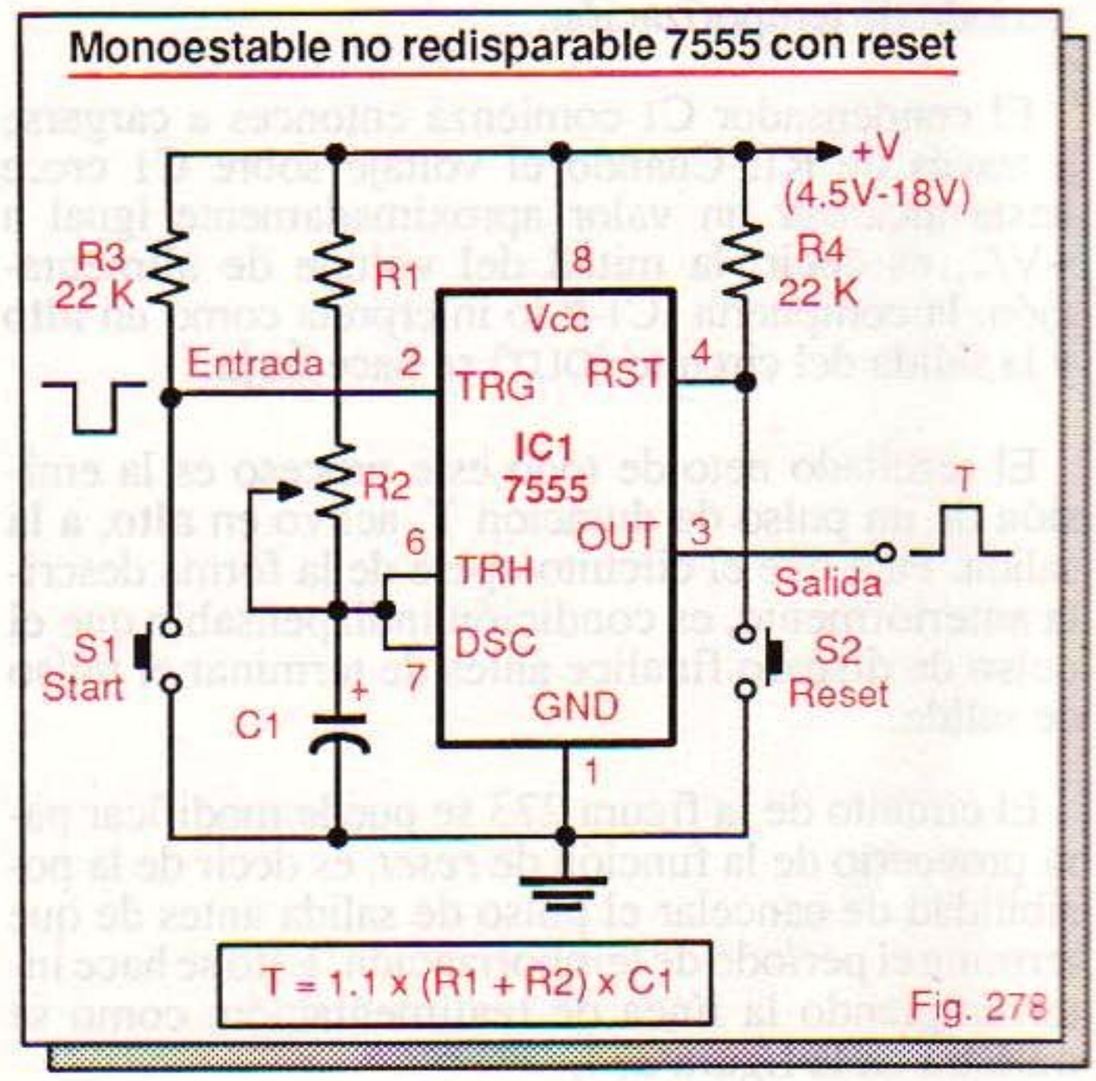


Fig. 278

El monoestable se dispara cuando se pulsa el interruptor S1 y el pin 2 (TRIGGER) recibe un nivel **bajo** de voltaje inferior a +V/3, es decir a la tercera parte del voltaje de alimentación. En ese instante, la salida OUT (pin 3) se hace alta y C1 comienza a cargarse a través de R1 y R2.

Cuando el voltaje sobre C1 se hace ligeramente superior a +2V/3 (las dos terceras partes del voltaje de alimentación), el pin 2 (TRESHOLD) recibe un nivel **alto** y la salida cambia abruptamente de estado, haciéndose **baja**. De este modo finaliza el ciclo de temporización y el circuito queda a la espera del próximo pulso de disparo.

El resultado del proceso anterior es un pulso positivo de salida de duración T. El ciclo de temporización se puede abortar o cancelar prematuramente, antes de que termine por sí mismo, aplicando un **bajo** al pin 4 (RESET). Esto se consigue pulsando momentáneamente el interruptor S2.

El ancho del pulso de salida se evalúa mediante la siguiente fórmula:

$$T = 1.1 \times (R1 + R2) \times C1$$

Por ejemplo, si R1=10 KΩ ($10x10^3$ Ω), C1= 100 µF ($100x10^{-6}$ F) y R2= 1 MΩ ($1x10^6$ Ω), el ancho del pulso resultante con el potenciómetro en su posición máxima (1 MΩ) será, entonces:

$$T_{máx} = 1.1 \times (10x10^3 + 1x10^6) \times 100x10^{-6}$$
$$T_{máx} = 111 \text{ segundos}$$

Es decir, la salida permanecerá en **alto** durante 1 minuto con 51 segundos, contados a partir del momento en que se aplica la señal de disparo. Si el potenciómetro se sitúa en su posición mínima (0Ω), el ancho del pulso resultante será:

$$T_{mín} = 1.1 \times (10x10^3 + 0) \times 100x10^{-6}$$
$$T_{mín} = 1.1 \text{ segundos}$$

En conclusión, el potenciómetro permite obtener períodos de temporización desde un segundo hasta prácticamente dos minutos. Pulsando S2 (RESET), cualquier pulso de temporización en curso se cancela y el circuito queda a la espera del próximo pulso de disparo.

En la mayoría de aplicaciones prácticas, es deseable disparar el temporizador 7555 electrónicamente (mediante una señal), en lugar de hacerlo manualmente (pulsando un botón). En la figura 279 se muestra una forma de adaptar el circuito de la figura 278 para disparo electrónico.

Monoestable 7555 disparado electrónicamente (I)

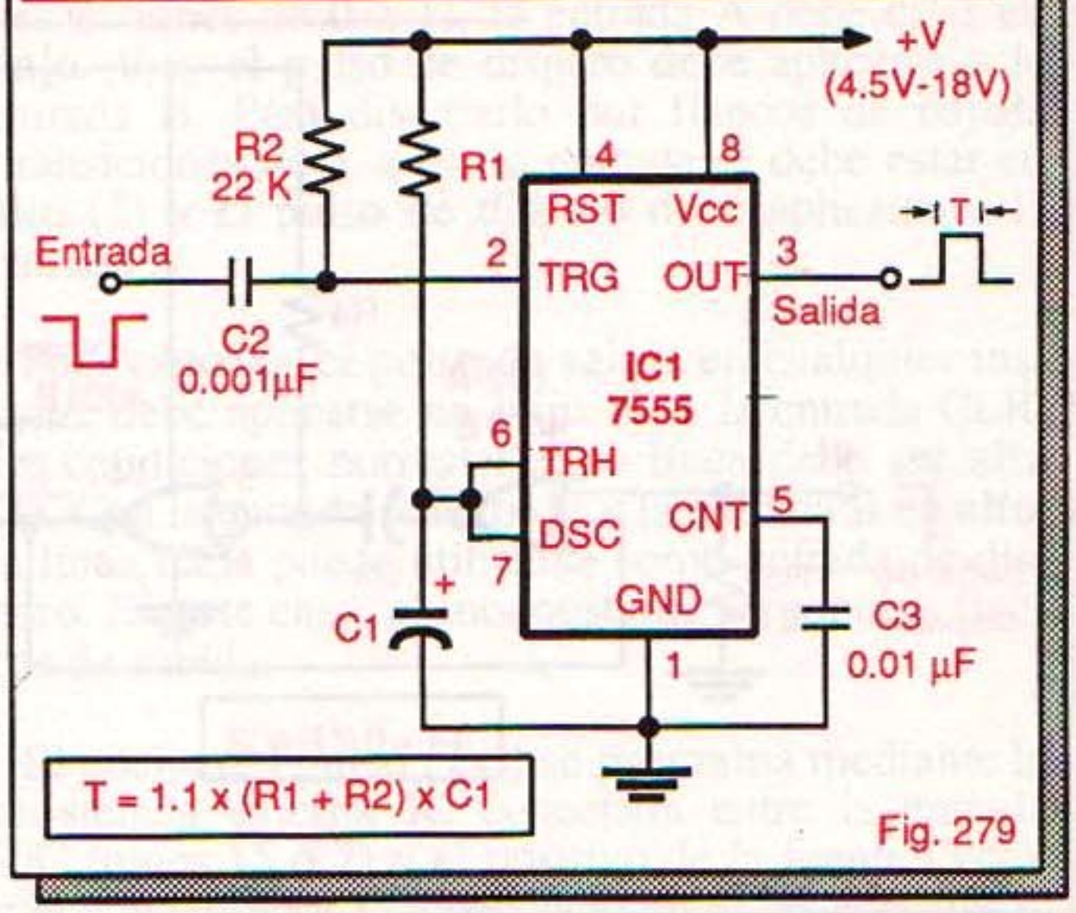


Fig. 279

Observe que el pulso de disparo es activa en **bajo** y se acopla al pin 2 (TRIGGER) del 7555 a través del condensador C2 y la resistencia R2. El ancho de este pulso debe ser mayor de 100 ns (nanosegundos) pero menor que el ancho del pulso de salida deseado. El circuito RC formado por R2 y C2 se denomina un *diferenciador*.

Sin embargo, la mejor forma de disparar electrónicamente el 7555 es utilizar previamente un monoestable de mediana precisión para generar un pulso de ≈100 ns, activo en **alto**, y acoplar este último al pin 2 (TRIGGER) mediante un transistor, como se muestra en la figura 280. En este caso, se utiliza un monoestable con compuertas NOR.

Las configuraciones anteriores corresponden a monoestables no redisparables. En la figura 281 se muestra la forma de convertir el 7555 en un monoestable redisparable. La señal de disparo se aplica a la base de los transistores Q1 y Q2. El primero descarga el condensador de temporización C1 y el segundo aplica el pulso de disparo al pin 2.

Cada vez que se aplica un pulso de disparo, activo en **alto**, el transistor Q1 conduce y descarga el condensador C1, cancelando el período de temporización en curso. Al mismo tiempo, el transistor Q2 también conduce y aplica un pulso, activo en **bajo**, al pin 2 (TRIGGER) del 7555.

Como resultado, el pin 3 (OUT) se hace **alto**. Cuando la señal de disparo desaparece, es decir retorna a su estado **bajo**, los transistores dejan de conducir y el condensador C1 comienza otra vez a cargarse a través de R1, iniciándose un nuevo ciclo de temporización. Si no se aplican más pulsos de disparo, la salida se hace **baja** al cabo de un tiempo T.

Monoestable 7555 disparado electrónicamente (II)

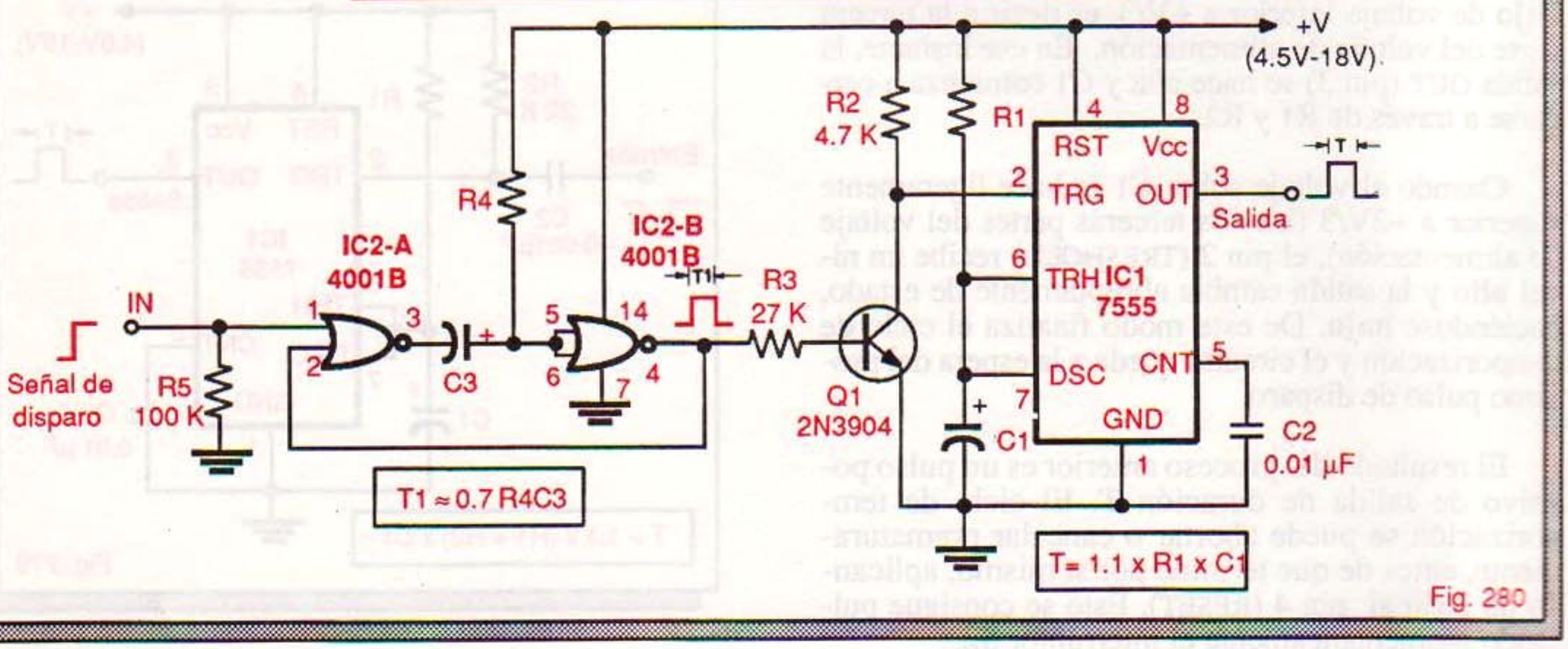


Fig. 280

Circuitos integrados monoestables TTL

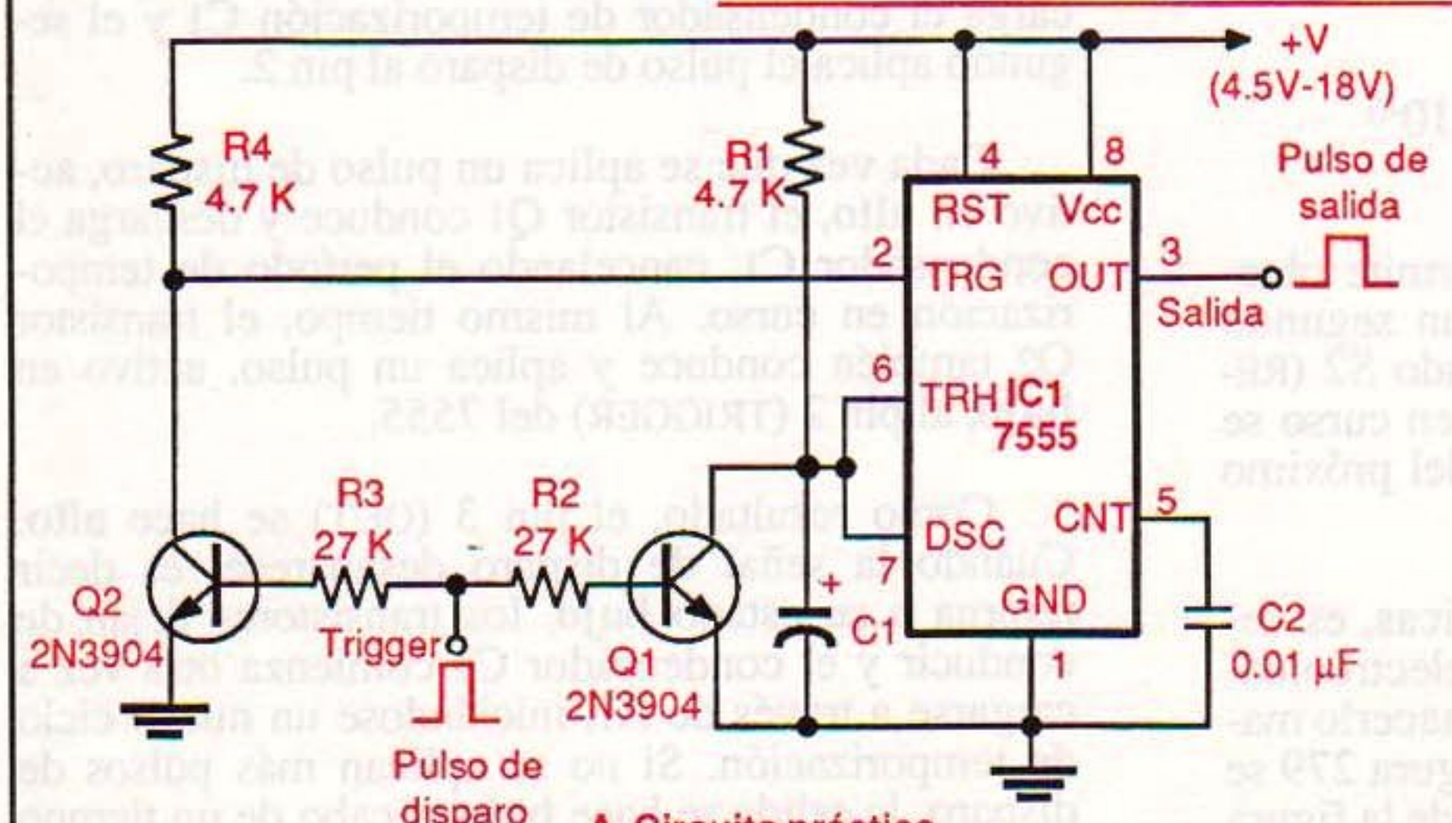
Los fabricantes de circuitos integrados han desarrollado una gran variedad de multivibradores monoestables TTL tanto en tecnología estándar como en Schottky de baja potencia o LS. En esta y las secciones que siguen describiremos los más representativos, aprenderemos a utilizarlos eficientemente y experimentaremos con ellos.

Los monoestables TTL son muy versátiles, rápidos, precisos y fáciles de usar. Sus características de diseño los hacen aptos para ser utilizados en aplicaciones que requieran generación y conformación de pulsos, retardos de tiempo, demodulación y detección de flancos, entre otras necesidades.

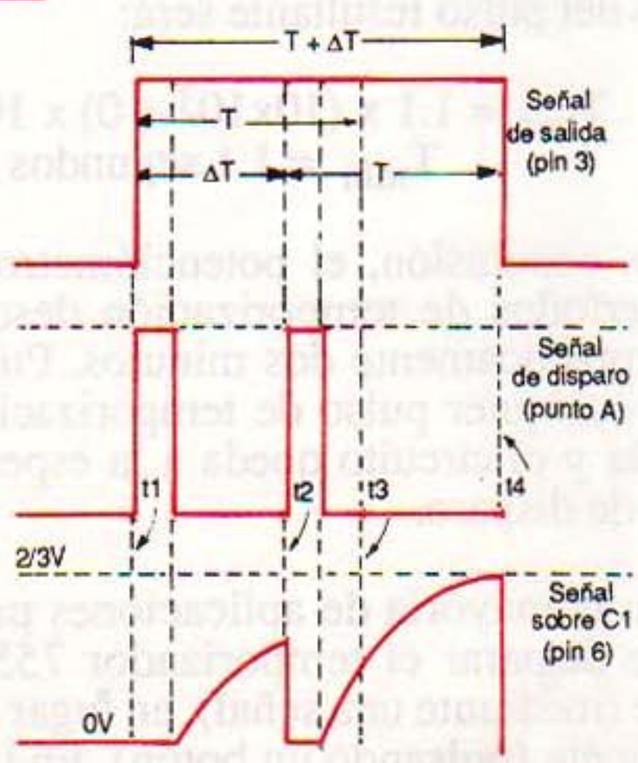
Además de su función básica, la mayoría de estos dispositivos pueden proporcionar funciones auxiliares como disponibilidad de una o dos unidades idénticas en una misma cápsula, opción de elegir entre redisparables y no redisparables, existencia de entradas de *reset*, entradas tipo *Schmitt-trigger*, disparo por flancos de subida o de bajada, salidas complementarias, etc.

En todos los monoestables TTL, el ancho del pulso de salida se programa mediante un circuito RC externo y es independiente del ancho del pulso de disparo. Los valores de los componentes utilizados para establecer el período de temporización no son, generalmente, críticos pero deben respetarse las restricciones impuestas por los fabricantes.

Monoestable redisparable con 7555



A. Circuito práctico



B. Diagrama de temporización

Fig. 281

En la tabla 16-1 se relacionan los monoestables TTL estándar y LS más representativos y se resumen sus características generales más notables. Todos operan a partir de una fuente de alimentación de +5V y entregan pulsos positivos, es decir activos en **alto**. A continuación se describen los circuitos integrados 74LS221 y 74LS123.

Monoestable TTL representativos

Referencia	Chips por cápsula	Disparo	Reset	Nº de pines
74121	1	No redisparable	No tiene	14
74122 74LS122	1	Redisparable	En bajo	14
74123 74LS123	2	Redisparable	En bajo	16
74221 74LS221	2	No redisparable	En bajo	16
9601	1	Redisparable	No tiene	14
9602 96LS02	2	Redisparable	En bajo	16

Tabla 16.1

El circuito integrado 74LS221

El **74LS221** (figura 282) es un dispositivo que contiene dos monoestables no redisparables independientes en una misma cápsula de 16 pines. Cada monoestable posee dos entradas de disparo (A y B), dos salidas complementarias (Q y $\overline{Q}$) y una entrada de *reset* o *clear* (CLR). Se puede disparar por flancos de subida o por flancos de bajada.

Para disparar el 74LS221 por flancos de subida (transiciones de **0** a **1**), la entrada A debe estar en **bajo** (**0**) y el pulso de disparo debe aplicarse a la entrada B. Para dispararlo por flancos de bajada (transiciones de **1** a **0**), la entrada B debe estar en **alto** (**1**) y el pulso de disparo debe aplicarse a la entrada A.

Para cancelar el pulso de salida en cualquier instante, debe aplicarse un **bajo** (**0**) a la entrada CLR. En condiciones normales, esta línea debe ser **alta** (**1**). Con la entrada A en **bajo** y la entrada B en **alto**, la línea CLR puede utilizarse como entrada de disparo. En este caso, el monoestable responde a flancos de subida.

El ancho del pulso (Tw) se programa mediante la resistencia externa **R**, conectada entre la entrada R/C (pines 15 ó 7) y el positivo de la fuente (Vcc), y el condensador **C**, conectado entre las entradas C (pines 14 ó 6) y R/C (pines 15 ó 7). El valor de R debe estar entre 1.4 KΩ y 100 KΩ y el de C no debe ser superior a 1000 µF.

El valor del período de temporización Tw se evalúa mediante la siguiente fórmula:

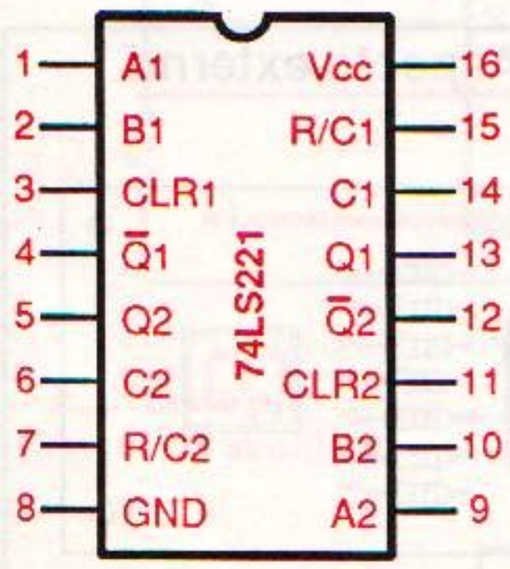
$$Tw = 0.693 \times R \times C$$

Por ejemplo, si R=47 KΩ ($47x10^3$ Ω) y C=100 µF ($100x10^{-6}$), entonces:

$$\mathbf{Tw} = 0.693 \times 47x10^3 \times 100x10^{-6} = \mathbf{3.25\ s}$$

Es decir, se obtiene un pulso de 3.25 segundos de duración. Una vez disparado el monoestable, la salida Q se hace **alta** e ignora cualquier pulso de disparo aplicado durante este tiempo. Sin embargo, si

Circuito integrado 74LS221



Entradas			Salidas	
CLR	A	B	Q	$\overline{Q}$
0	X	X	0	1
X	1	X	0	1
X	X	0	0	1
1	0	⌐	⌐	¬
1	¬	1	⌐	¬
⌐	0	1	⌐	¬

X: Puede ser 0 ó 1

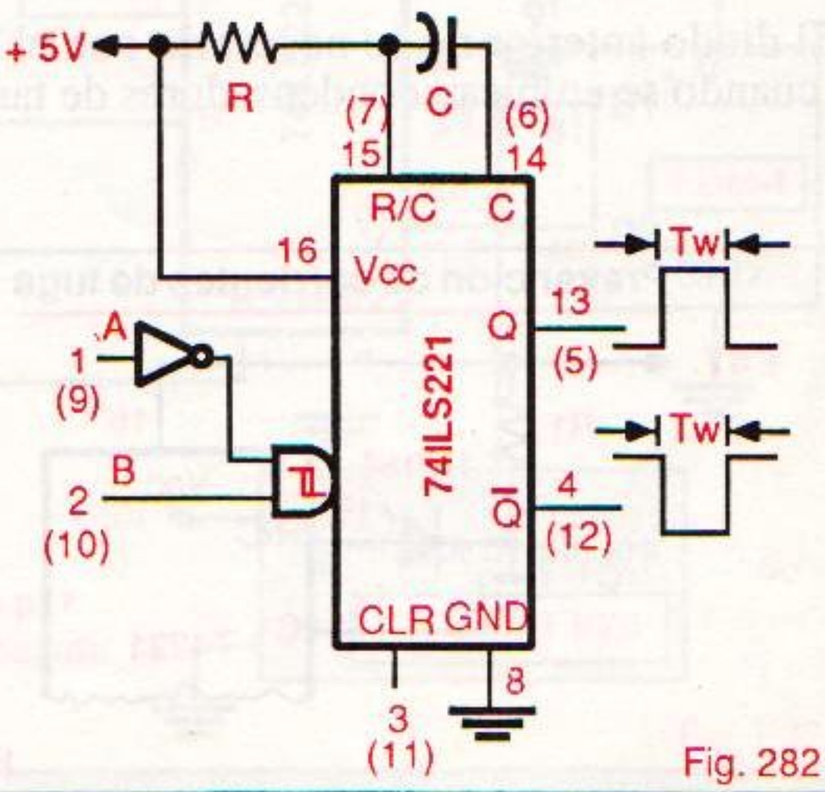


Fig. 282

se aplica un **bajo** en la entrada CLR (pin 3 ó 11) durante este lapso, la salida Q se hace automáticamente **baja**, abortando el pulso en pleno período de temporización.

En aplicaciones donde se requieran tiempos muy cortos, se recomienda utilizar condensadores de cerámica o de poliestireno. Para períodos largos se recomienda emplear condensadores de tantalio o de aluminio especial. Para obtener pulsos de ancho variable, puede utilizarse un potenciómetro, como se indica en la figura 283.

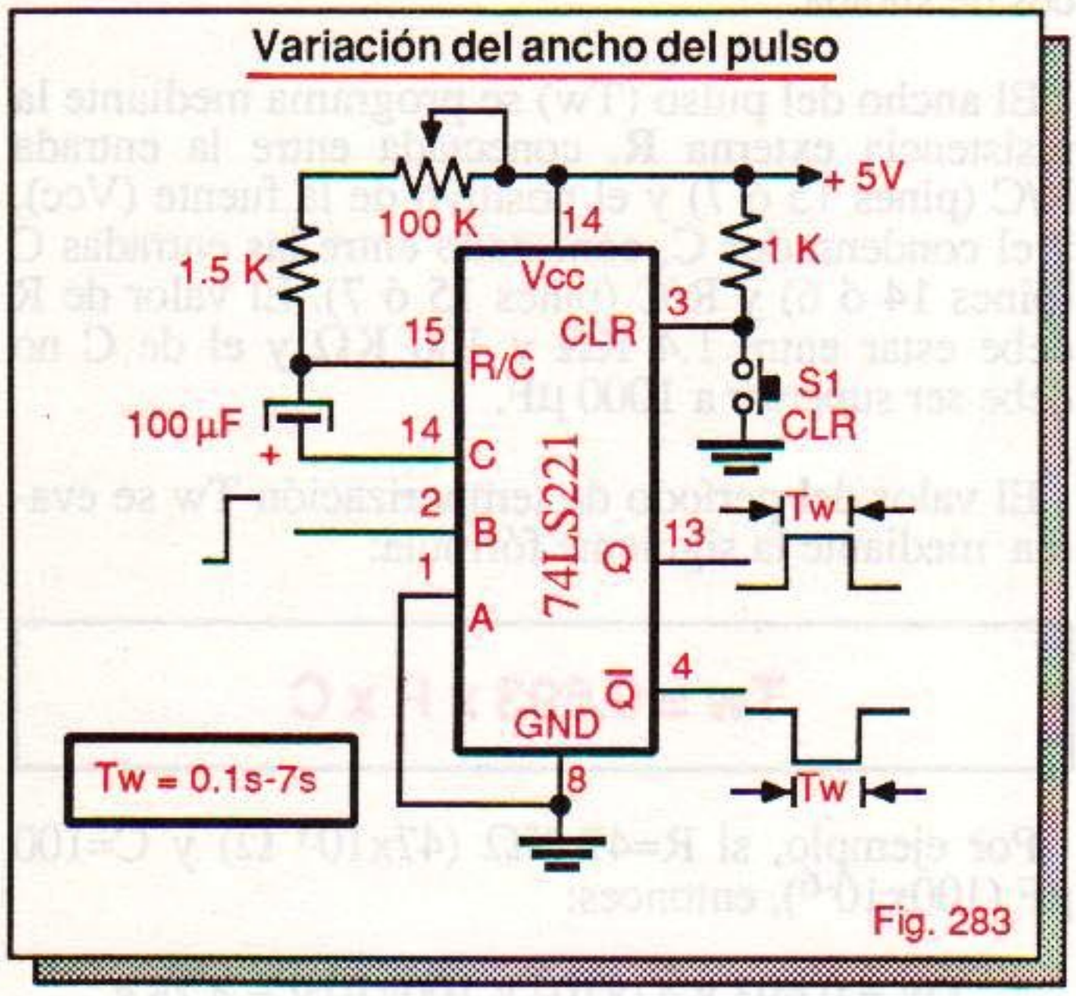


Fig. 283

La versión TTL estándar del 74LS221 es el circuito integrado 74221. Cuando se utilice este último dispositivo en aplicaciones que requieran de un condensador electrolítico, debe insertarse un diodo de conmutación para reducir los efectos de las altas corrientes de fuga del condensador. En la figura 284 se indica la forma de conectar este componente.

El diodo anterior no es necesario con el 74LS221 ni cuando se emplean condensadores de tantalio.

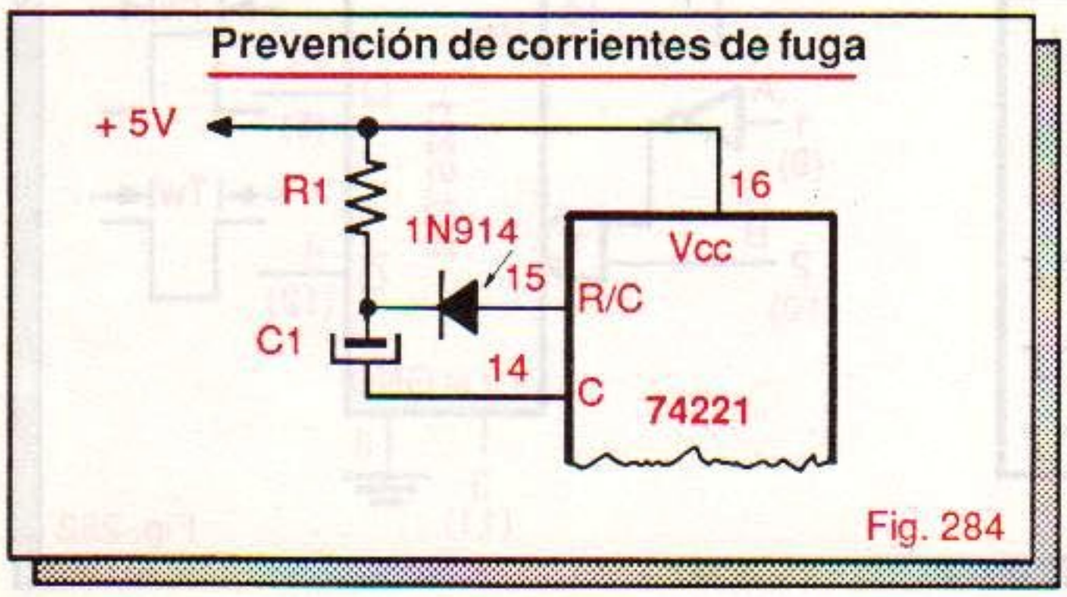


Fig. 284

EXPERIMENTO 19

Operación de un monoestable no redisparable TTL

Objetivos

- Analizar la operación de un monoestable no redisparable TTL 74LS221
- Familiarizarse con el uso de un *kit* contador de pulsos.
- Aprender a disparar un monoestable por flancos de subida o de bajada.

Materiales y herramientas necesarios

1 circuito integrado 74LS221. IC1
1 módulo EDM-1 (4 monitores lógicos). D1, D2.
1 contador de pulsos (*kit* CEKIT K20 o similar).
1 fuente regulada de 5V, 1A (*kit* CEKIT K11).
2 pulsadores normalmente abiertos (NA). S1, S2.
1 resistencia de 47KΩ. R1.
2 resistencias de 1 KΩ. R2, R3.
1 condensador electrolítico de 100 µF/16V. C1.
1 reloj o un cronómetro.
1 *protoboard*
Puentes de alambre telefónico Nº 22 ó Nº 24

Aspectos prácticos previos. Descripción del *kit* contador de pulsos CEKIT K20

El *kit* CEKIT K20 (figura E30) es un circuito que cuenta pulsos en forma decimal (desde 0 hasta 9) y registra el estado de la cuenta en un *display* de 7 segmentos. La longitud del conteo se puede extender a cualquier número de dígitos conectando varias unidades K20 en cascada. El circuito opera a partir de una fuente de 5V.

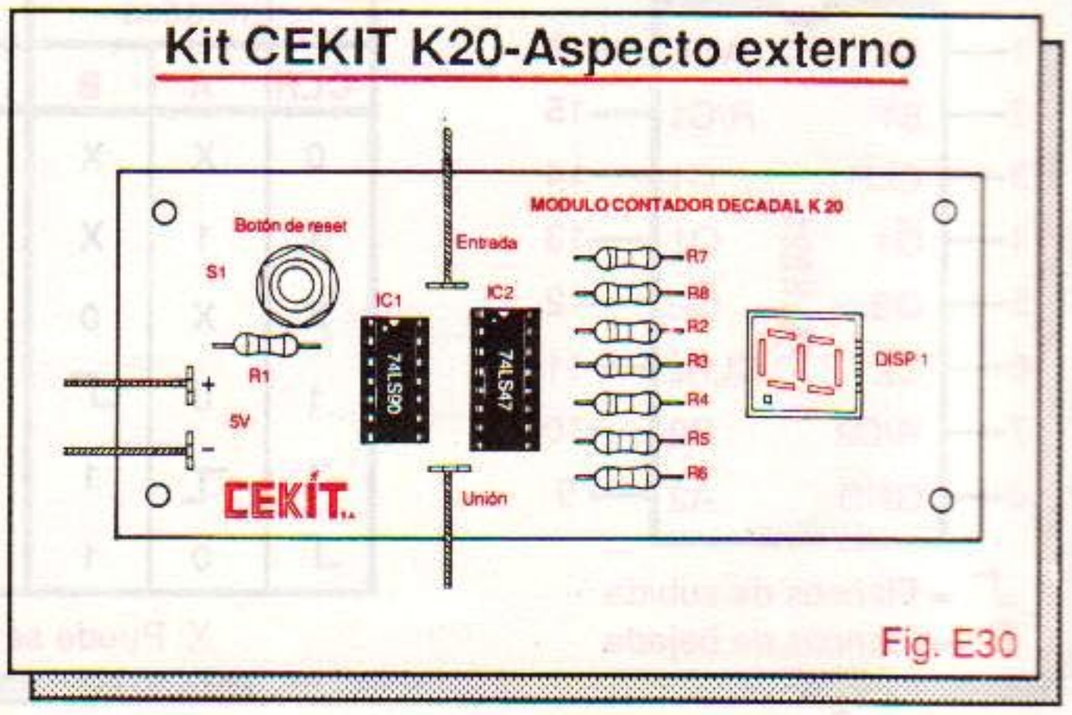


Fig. E30

Desde el punto de vista de su utilización, el *kit* K20 posee un botón de *reset*, dos líneas de alimentación, una línea de entrada y una línea de expansión. Los pulsos se aplican a la línea de entrada. La línea de expansión se conecta a la línea de entrada de una unidad similar para extender la longitud de conteo a 99, 999, etc.

El botón de *reset* se utiliza para iniciar la cuenta a partir de 0 (cero) o retornar el contador a este valor en cualquier instante. Cuando la cuenta llega a 9, el contador recicla automáticamente a 0 con el siguiente pulso de entrada y suministra un pulso por la línea de expansión. En la figura E31 se muestra el diagrama esquemático de este *kit*.

El circuito consta de un contador BCD 7490, un decodificador 7447 y un *display* de 7 segmentos. Por cada nuevo pulso de entrada, el código BCD en las salidas del contador se incrementa y el número decimal correspondiente aparece en el *display*. La conversión de códigos BCD a códigos de 7 segmentos la realiza el decodificador.

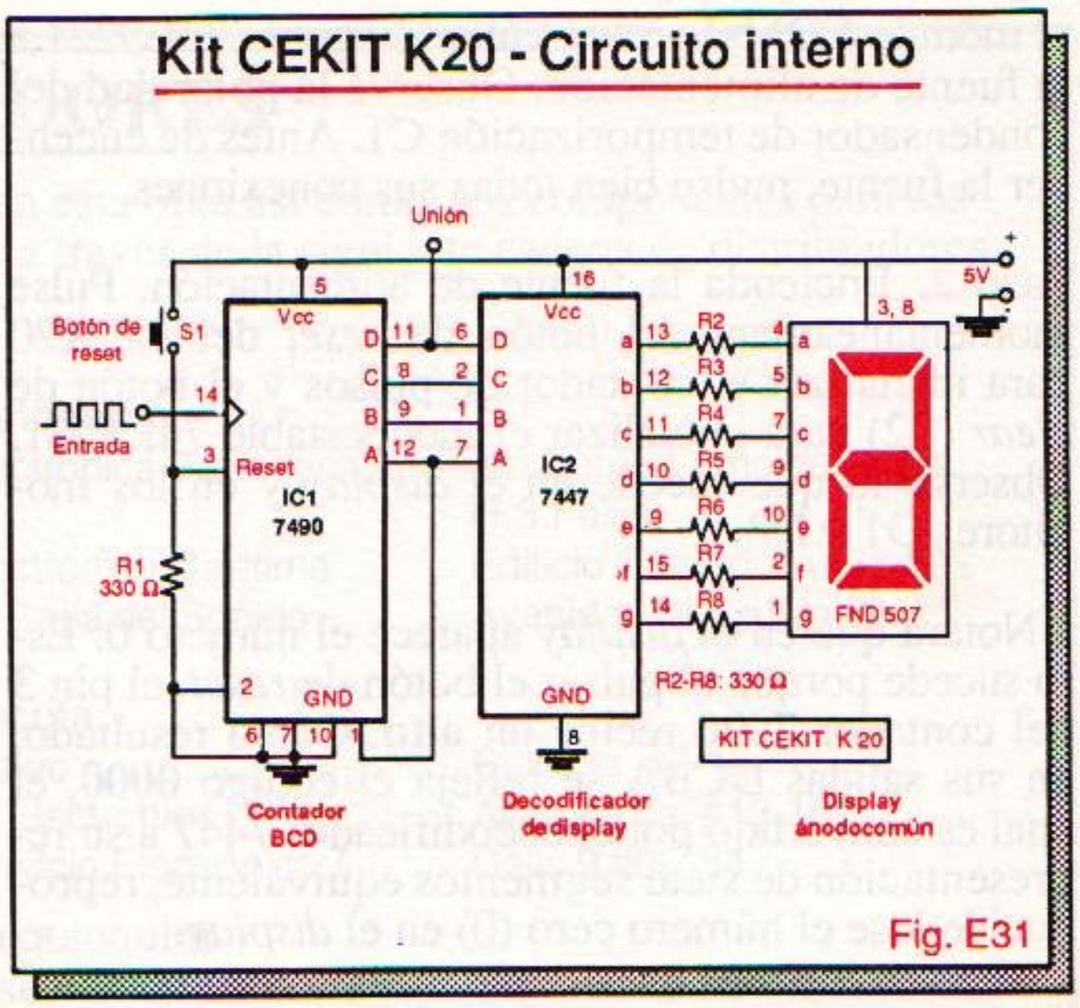


Fig. E31

Descripción de los circuitos de prueba

Para analizar experimentalmente la operación del 74LS221 utilizaremos dos circuitos de prueba. El primero (figura E32-A) ilustra el disparo por flancos de subida y el segundo (figura E32-B) el disparo por flancos de bajada. En ambos casos, la señal de disparo la suministra el interruptor S1 y la de cancelación el interruptor S2.

La presencia del pulso de salida se registra en el *display* del *kit* K20 y en los monitores D1 y D2 del módulo 1. La resistencia R1 y el condensador C1 fijan el ancho del pulso de salida en 3.25 segundos, aproximadamente. Este período de temporización se inicia pulsando S1 y se puede cancelar en cualquier instante pulsando S2.

Procedimiento

Paso 1. Arme sobre el *protoboard* el circuito de la figura E32-A. Conecte adecuadamente el *kit* K20,

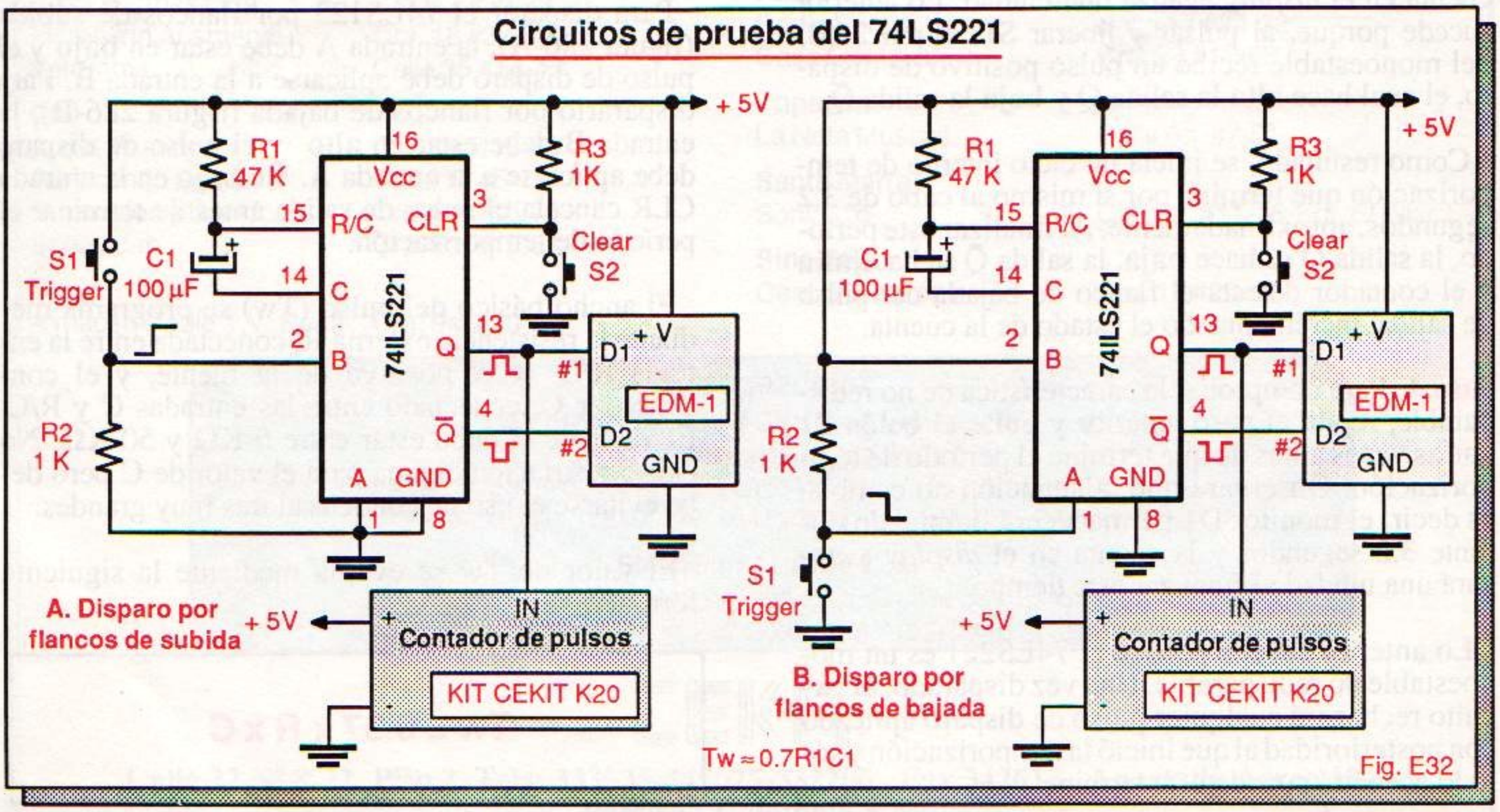


Fig. E32

el módulo EDM-1 y el circuito integrado 74LS221 a la fuente de alimentación. Observe la polaridad del condensador de temporización C1. Antes de encender la fuente, revise bien todas sus conexiones.

Paso 2. Encienda la fuente de alimentación. Pulse momentáneamente el botón de *reset* del *kit* K20 para inicializar el contador de pulsos y el botón de *clear* (S2) para inicializar el monoestable 74LS221. Observe lo que sucede en el *display* y en los monitores D1 y D2.

Notará que en el *display* aparece el número 0. Esto sucede porque al pulsar el botón de *reset*, el pin 3 del contador 7490 recibe un **alto**. Como resultado, en sus salidas DCBA se refleja el código **0000**, el cual es convertido por el decodificador 7447 a su representación de siete segmentos equivalente, reproduciéndose el número cero (0) en el *display*.

Al mismo tiempo, el monitor D1 se apaga y el monitor D2 se ilumina. Esto sucede porque, al pulsar S2, el pin 3 (CLR) del 74LS221 recibe un **bajo**. Como resultado, la salida Q se hace **baja** (D1=*off*) y la salida $\bar{Q}$ se hace **alta** (D2=*on*).

Paso 3. Pulse momentáneamente el botón S1 y observe durante cinco segundos lo que ocurre en los monitores D1 y D2 y en el *display*. Notará que tan pronto se pulsa S1, el monitor D1 se ilumina y el monitor D2 se apaga. En el *display* no se observa cambio alguno.

Sin embargo, al cabo de algunos segundos, el monitor D1 se apaga, el monitor D2 se ilumina y la cuenta en el *display* avanza una unidad. Lo anterior sucede porque, al pulsar y liberar S1, el pin 2 (B) del monoestable recibe un pulso positivo de disparo, el cual hace **alta** la salida Q y **baja** la salida $\bar{Q}$.

Como resultado, se inicia un ciclo interno de temporización que termina por sí mismo al cabo de 3.2 segundos, aproximadamente. Al finalizar este período, la salida Q se hace **baja**, la salida $\bar{Q}$ se hace **alta** y el contador detecta el flanco de bajada del pulso de salida, incrementando el estado de la cuenta.

Paso 4. Para comprobar la característica de no redisparable, repita el paso anterior y pulse el botón S1 varias veces antes de que termine el período de temporización. Observará que la situación no cambia, es decir, el monitor D1 permanecerá iluminado durante 3.2 segundos y la cuenta en el *display* avanzará una unidad al finalizar este tiempo.

Lo anterior sucede porque el 74LS221 es un monoestable no redisparable. Una vez disparado, el circuito rechazará cualquier pulso de disparo aplicado con posterioridad al que inició la temporización y sólo lo aceptará cuando ésta termine.

Paso 5. Para comprobar la función de borrado (CLEAR), pulse el botón S1 con el fin de iniciar un nuevo ciclo de temporización. Notará que el monitor D1 se ilumina y el monitor D2 se apaga. Un instante después de accionar S1, pulse el botón S2. Observará que el monitor D1 se apaga, el monitor D2 se ilumina y el *display* avanza una unidad.

Lo anterior sucede porque, al pulsar S2 en pleno ciclo de temporización, la entrada CLR (pin 3) del 74LS221 recibe un **bajo**, el cual causa que la salida Q cambie abruptamente de estado y se haga **baja**, cancelándose el pulso en curso. La salida $\bar{Q}$ opera en forma contraria. El contador siempre registra los flancos de bajada de la señal aplicada en su entrada.

Paso 6. Desconecte la fuente de alimentación y arme sobre el *protoboard* el circuito de la figura E32-B. Una vez armado, repita los pasos 2 al 5 anteriores. Observará que el circuito se comporta exactamente de la misma forma. La única diferencia radica en que el disparo del monoestable se efectúa por flancos de bajada.

* * *

El circuito integrado 74LS123

El 74LS123 (figura 285) es un dispositivo TTL que contiene dos monoestables redisparables independientes en una misma cápsula de 16 pines. Cada monoestable posee dos entradas de disparo (A y B), dos salidas complementarias (Q y $\bar{Q}$) y una entrada de borrado o *clear* (CLR). Se puede disparar por flancos de subida o por flancos de bajada.

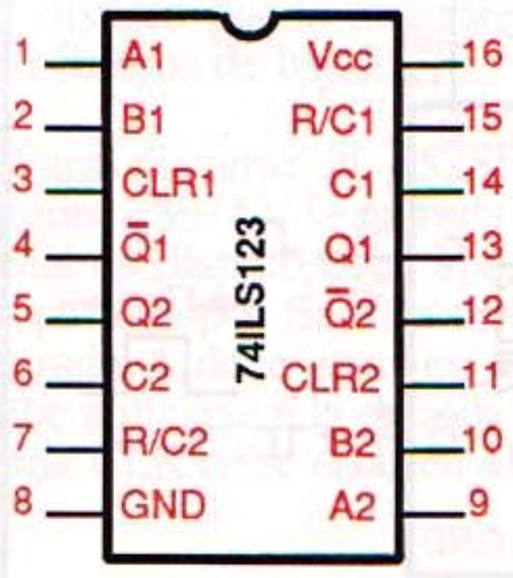
Para disparar el 74LS123 por flancos de subida (figura 286-A), la entrada A debe estar en **bajo** y el pulso de disparo debe aplicarse a la entrada B. Para dispararlo por flancos de bajada (figura 286-B), la entrada B debe estar en **alto** y el pulso de disparo debe aplicarse a la entrada A. Un **bajo** en la entrada CLR cancela el pulso de salida antes de terminar el período de temporización.

El ancho básico del pulso (Tw) se programa mediante la resistencia externa **R**, conectada entre la entrada R/C y el positivo de la fuente, y el condensador **C**, conectado entre las entradas C y R/C. El valor de **R** debe estar entre 5 KΩ y 50 KΩ. No existe restricción alguna para el valor de **C** pero debe evitarse el uso de condensadores muy grandes.

El valor de Tw se evalúa mediante la siguiente fórmula:

$$Tw = 0.37 \times R \times C$$

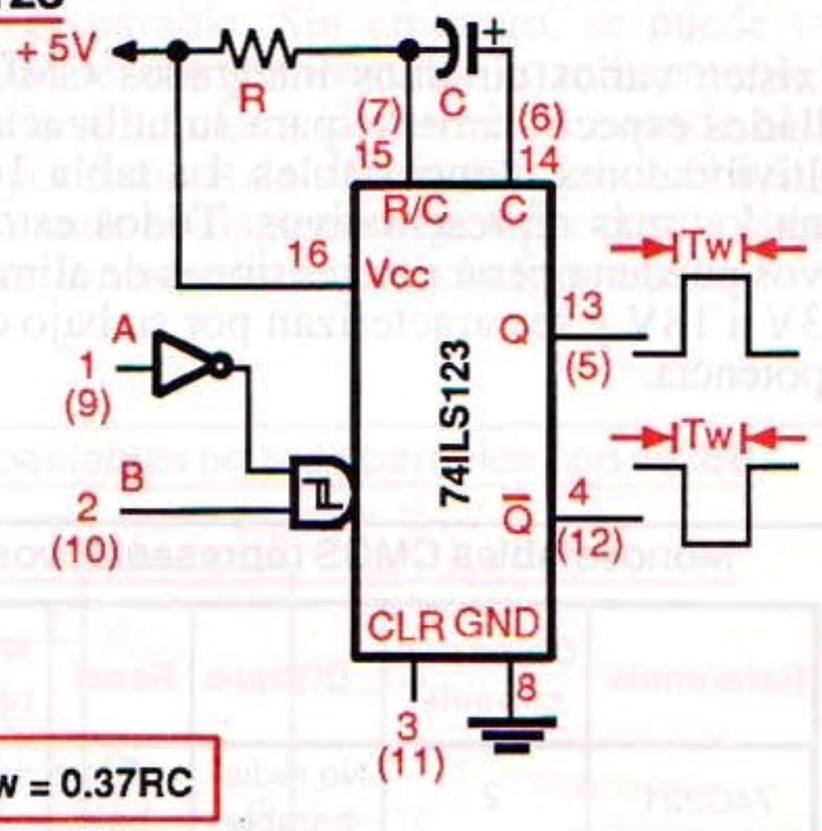
Circuito integrado 74LS123



= Flancos de subida
= Flancos de bajada

Entradas			Salidas	
CLR	A	B	Q	Q̄
0	X	X	0	1
X	1	X	0	1
X	X	0	0	1
1	0	↑	⊓	⊔
1	↓	1	⊓	⊔
↑	0	1	⊓	⊔

X: Puede ser 0 ó 1
⊔ : Pulso negativo
⊓ : Pulso positivo



Tw = 0.37RC

Fig. 285

Monoestables redisparables con 74LS123

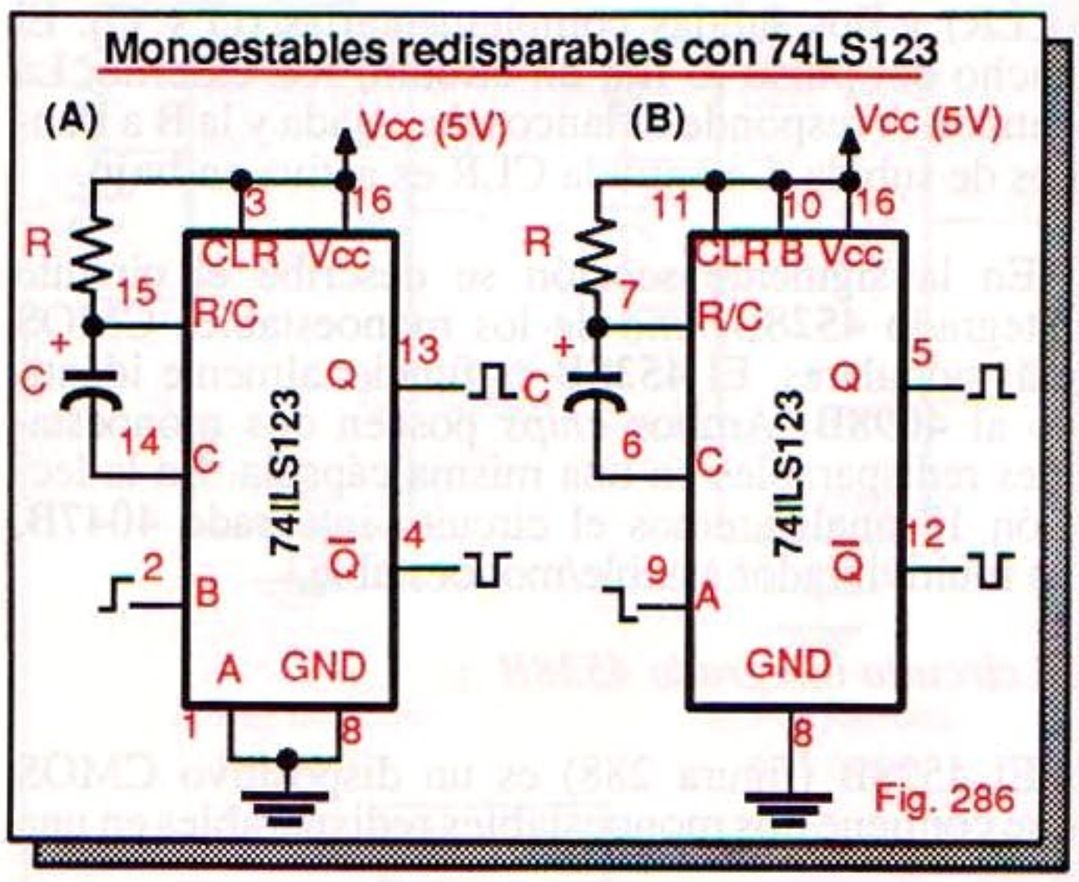


Fig. 286

Si, dentro de este lapso, el dispositivo se redispara, el pulso de salida en curso se cancela y se inicia un nuevo ciclo de temporización. El proceso se puede repetir indefinidamente con el fin de obtener pulsos de muy larga duración. El siguiente ejemplo ilustra el uso de la fórmula anterior.

Ejemplo. Calcular los valores de R y C necesarios para obtener un pulso básico de 10 µs de duración con un monoestable 74LS123. Recuerde que el valor de R no debe ser inferior a 5 KΩ ni superior a 50 KΩ. Cualquier valor de C es válido.

Solución. El procedimiento para determinar los valores de R y C que satisfacen los requisitos del problema se puede resumir en los siguientes términos:

Reorganizamos la ecuación Tw=0.37RC con el fin de expresar R en términos de Tw y C. Es decir:

$$R = Tw/(0.37xC)$$

Asumimos un valor arbitrario para el condensador de temporización, por ejemplo C=0.001 µF y calculamos R, remplazando Tw y C por sus valores respectivos. Si el valor resultante de R no está dentro del rango de 5 KΩ a 50 KΩ, asumimos otro valor de C y repetimos el cálculo hasta que esto suceda. En nuestro caso:

$$R\ (\Omega) = 10x10^{-6}/(0.37x0.001x10^{-6})$$

$$R = 27 \times 10^3\ \Omega = 27\ K\Omega$$

Este valor (comercial) está dentro del rango de validez especificado para el 74LS123. Por tanto, con un condensador de 0.001 µF y una resistencia de 27 KΩ obtenemos el ancho de pulso de 10 µs solicitado. Dependiendo del valor asumido para C, son posibles otras parejas de valores (por ejemplo, C=0.002 µF y R=13.5 K).

Observe, por comparación de las figuras 285 y 282, que el 74LS123 tiene la misma configuración de pines del 74LS221. Sin embargo, estos dos dispositivos no son funcionalmente idénticos ni se pueden remplazar mutuamente. Recuerde que el 74LS 221 es no redisparable mientras que el 74LS123 es redisparable.

Circuitos integrados monoestables CMOS

Existen varios circuitos integrados CMOS desarrollados específicamente para su utilización como multivibradores monoestables. La tabla 16-2 relaciona los más representativos. Todos estos dispositivos pueden operar con tensiones de alimentación de 3V a 18V y se caracterizan por su bajo consumo de potencia.

Monoestables CMOS representativos

Referencia	Chips por cápsula	Disparo	Reset	Nº de pines
74C221	2	No redisparable	En bajo	16
4098B	2	Redisparable	En bajo	16
4047B	1	Redisparable	En alto	14
4528B	2	Redisparable	En bajo	16

Tabla 16-2

Los monoestables CMOS, en general, no son tan rápidos ni exactos como los TTL. Sin embargo, son muy versátiles, se adaptan al disparo por flancos de subida y de bajada y pueden utilizarse en los modos redisparable y no redisparable. Para mejores resultados, se recomienda trabajarlos a la máxima tensión de alimentación posible (15 ó 18V).

El 74C221 (figura 287) es la versión CMOS del 74LS221. Cada monoestable posee dos entradas de

El circuito integrado 74C221

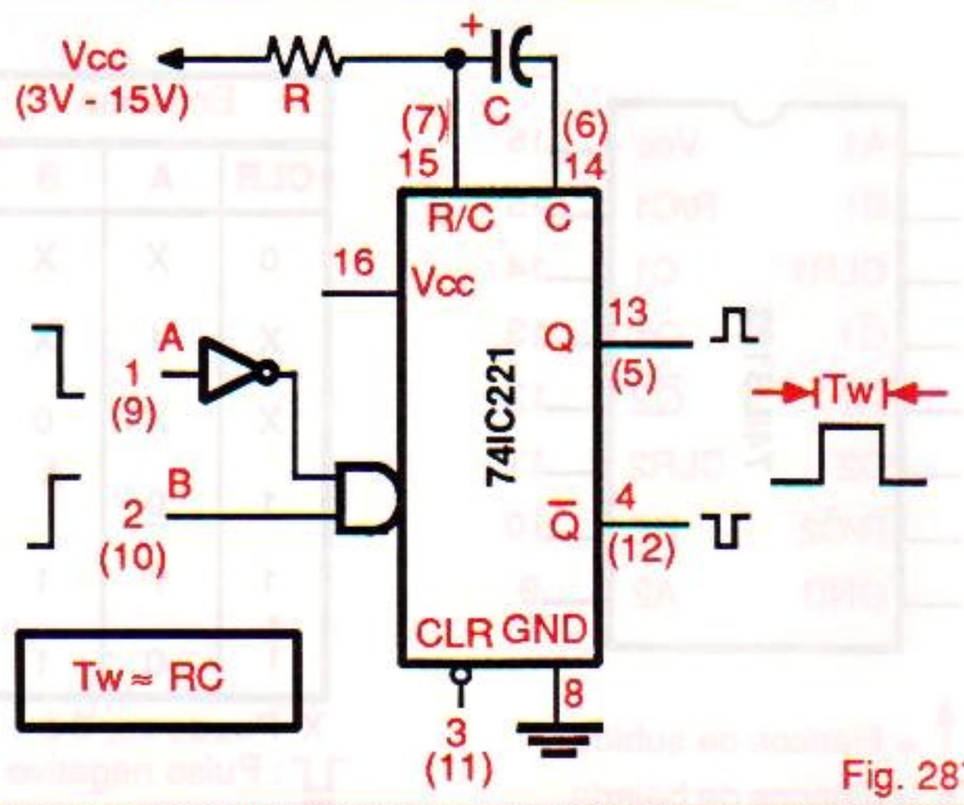


Fig. 287

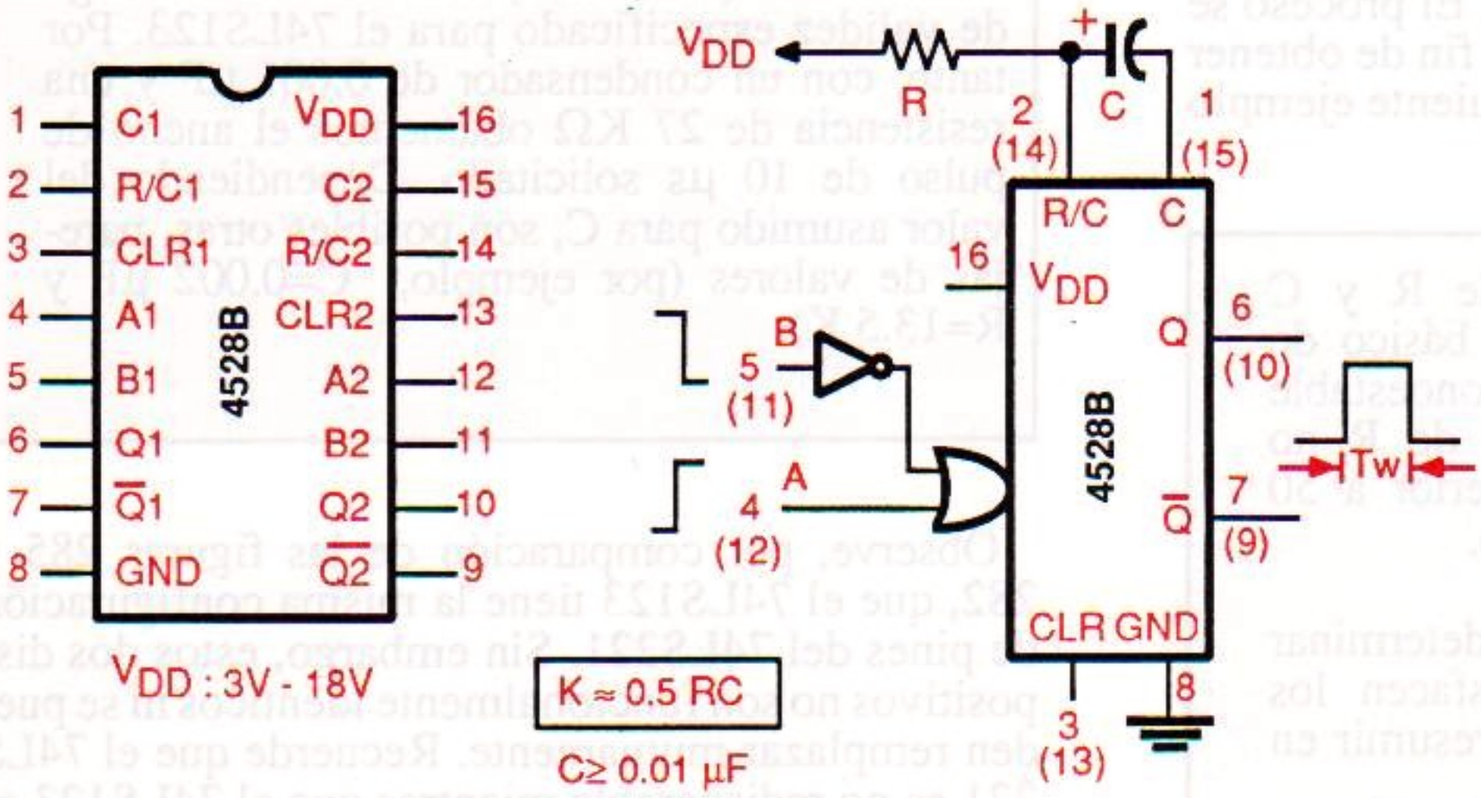
disparo (A y B), una entrada de borrado o *clear* (CLR) y dos salidas complementarias (Q y $\overline{Q}$). El ancho del pulso lo fija un circuito RC externo. La entrada A responde a flancos de bajada y la B a flancos de subida. La entrada CLR es activa en **bajo**.

En la siguiente sección se describe el circuito integrado **4528B**, uno de los monoestables CMOS más populares. El **4528B** es funcionalmente idéntico al **4098B**. Ambos *chips* poseen dos monoestables redisparables en una misma cápsula. En la lección 17 analizaremos el circuito integrado **4047B**, un multivibrador astable/monoestable.

El circuito integrado 4528B

El 4528B (figura 288) es un dispositivo CMOS que contiene dos monoestables redisparables en una

El circuito integrado 4528B



Entradas			Salidas	
CLR	A	B	Q	Q̄
0	X	X	0	1
X	1	X	0	1
X	X	0	0	1
1	0	↓	⊓	⊔
1	↑	1	⊓	⊔

X: Puede ser 0 ó 1

↑ : Flancos de subida

↓ : Flancos de bajada

Fig. 288

misma cápsula. Cada monoestable posee dos entradas de disparo (A y B), una entrada de borrado o *clear* (CLR) y dos salidas complementarias (Q y $\bar{Q}$). El disparo puede hacerse por flancos de subida o por flancos de bajada.

Para disparar el 4528B por flancos de subida (figura 289-A), la entrada B debe estar en **alto** y la señal de disparo debe aplicarse a la entrada A. Para dispararlo por flancos de bajada (figura 289-B), la entrada A debe estar en **bajo** y la señal de disparo debe aplicarse a la entrada B. En ambos casos, la entrada CLR debe estar en **alto**.

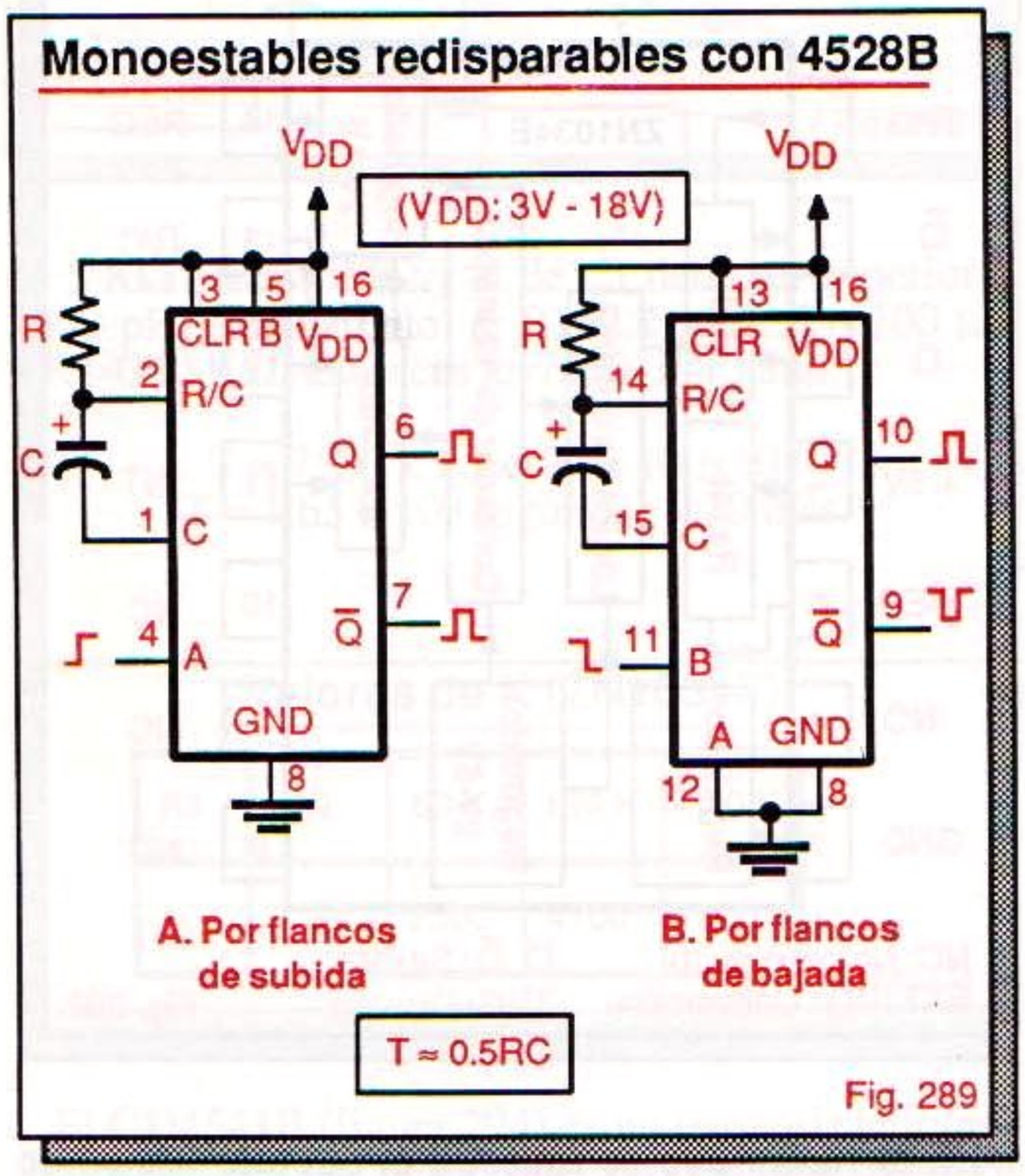


Fig. 289

Un **bajo** en la línea CLR inhibe el disparo y hace **baja** la salida Q. Lo mismo sucede cuando la entrada A está en **alto** o la entrada B está en **bajo**. El ancho del pulso de salida (Tw) lo determinan los valores de R y C y se calcula mediante la siguiente fórmula aproximada:

$$Tw \approx k \times R \times C$$

En esta expresión, k es una constante de proporcionalidad, menor de 1, que depende, entre otros factores, del voltaje, la temperatura y las características internas del *chip*. Como regla general, R no debe ser inferior a 5 KΩ ni superior a 1 MΩ. Para efectos prácticos, con condensadores mayores de 0.01 µF, se puede asumir **K=0.5**.

El 4528B opera normalmente como un monoestable redisparable. Sin embargo, se puede también emplear como monoestable no redisparable conectando la salida $\bar{Q}$ a la entrada B cuando el disparo sea por flancos de subida o la salida Q a la entrada A cuando el disparo sea por flancos de bajada. Estas situaciones se ilustran en la figura 290.

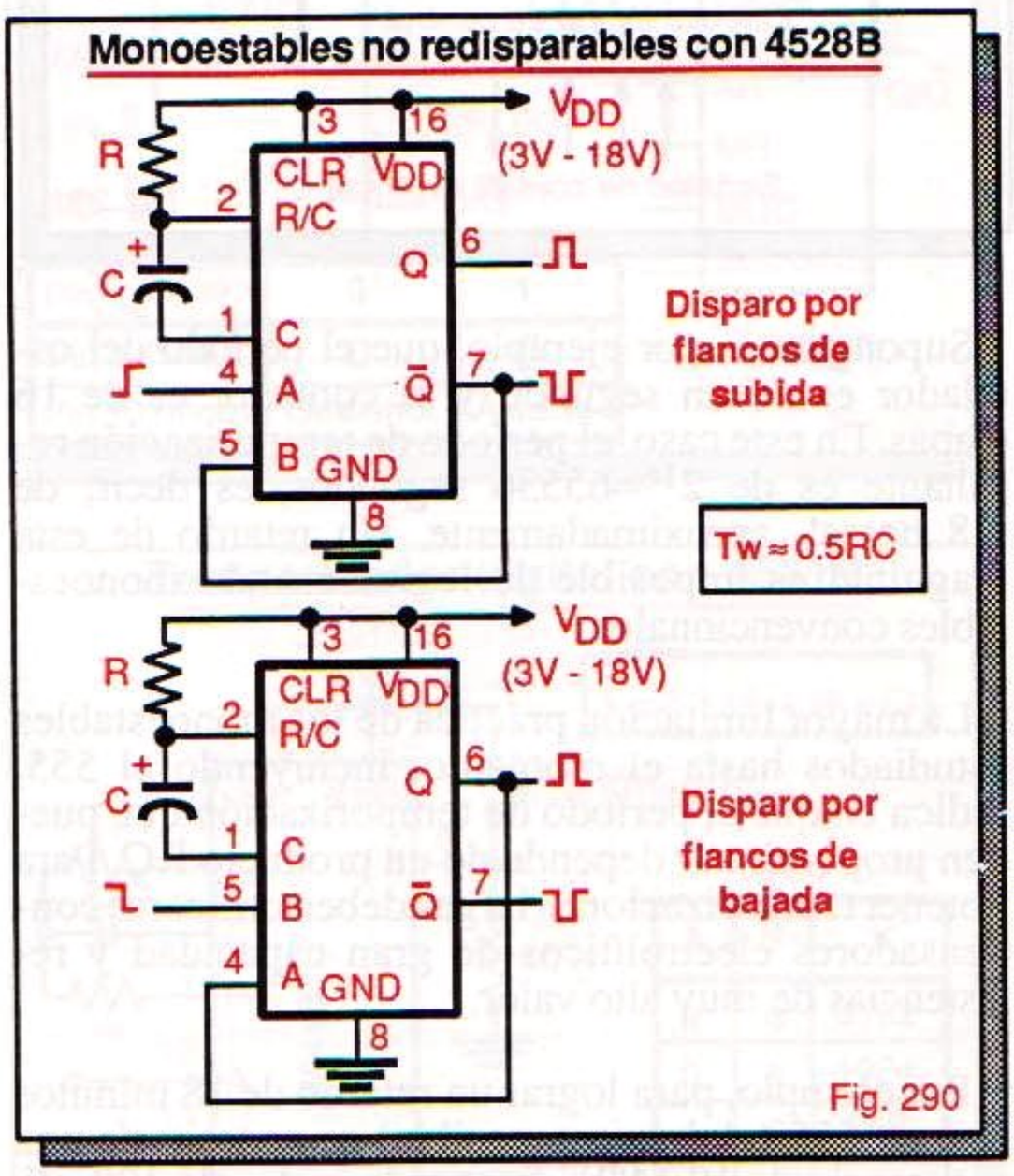


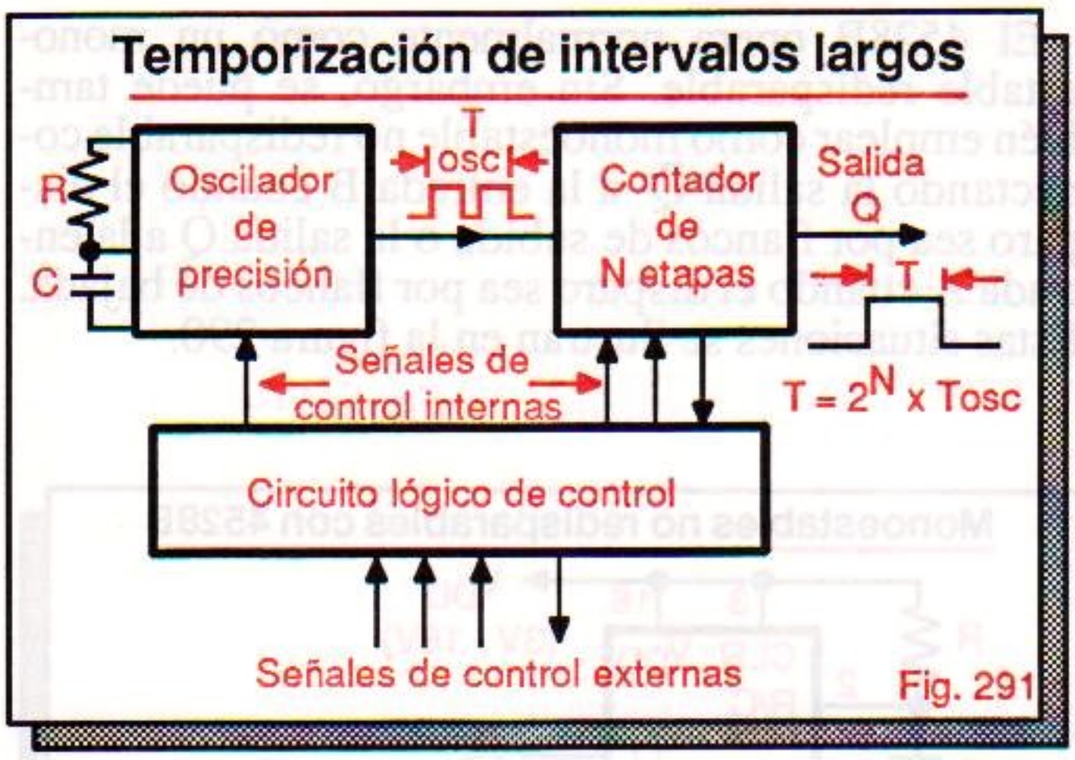
Fig. 290

Temporizadores de intervalos largos

Los temporizadores de intervalos largos (*long-time timers*) o temporizadores/contadores son circuitos diseñados específicamente para proporcionar retardos de tiempo prolongados y precisos, desde unos pocos microsegundos hasta varios días. Se utilizan en una gran variedad de aplicaciones: videograbadoras, alarmas industriales, procesos fotográficos, controles automáticos de riego, etc.

La mayoría de temporizadores de este tipo (figura 291) consisten, básicamente, de un oscilador de precisión y un contador de **n** etapas, gobernados por un circuito lógico de control. Una vez iniciada la temporización, el contador cuenta los pulsos del oscilador y cambia el estado de su salida (Q) después de contabilizar 2^n pulsos de entrada.

En otras palabras, el contador multiplica, por un factor 2^n, el período de la señal del oscilador, obteniéndose así un pulso de salida de considerable duración. Tanto el período del oscilador (TOSC) como el factor de multiplicación (2^n) son, generalmente, programados por el usuario.



Supongamos, por ejemplo, que el período del oscilador es de un segundo y el contador es de 16 etapas. En este caso, el período de temporización resultante es de 2^{16}=65536 segundos, es decir, de ¡18 horas!, aproximadamente. Un retardo de esta magnitud es imposible de lograr usando monoestables convencionales.

La mayor limitación práctica de los monoestables estudiados hasta el momento, incluyendo el 555, radica en que el período de temporización que pueden proporcionar depende de un producto RC. Para obtener temporizaciones largas deben utilizarse condensadores electrolíticos de gran capacidad y resistencias de muy alto valor.

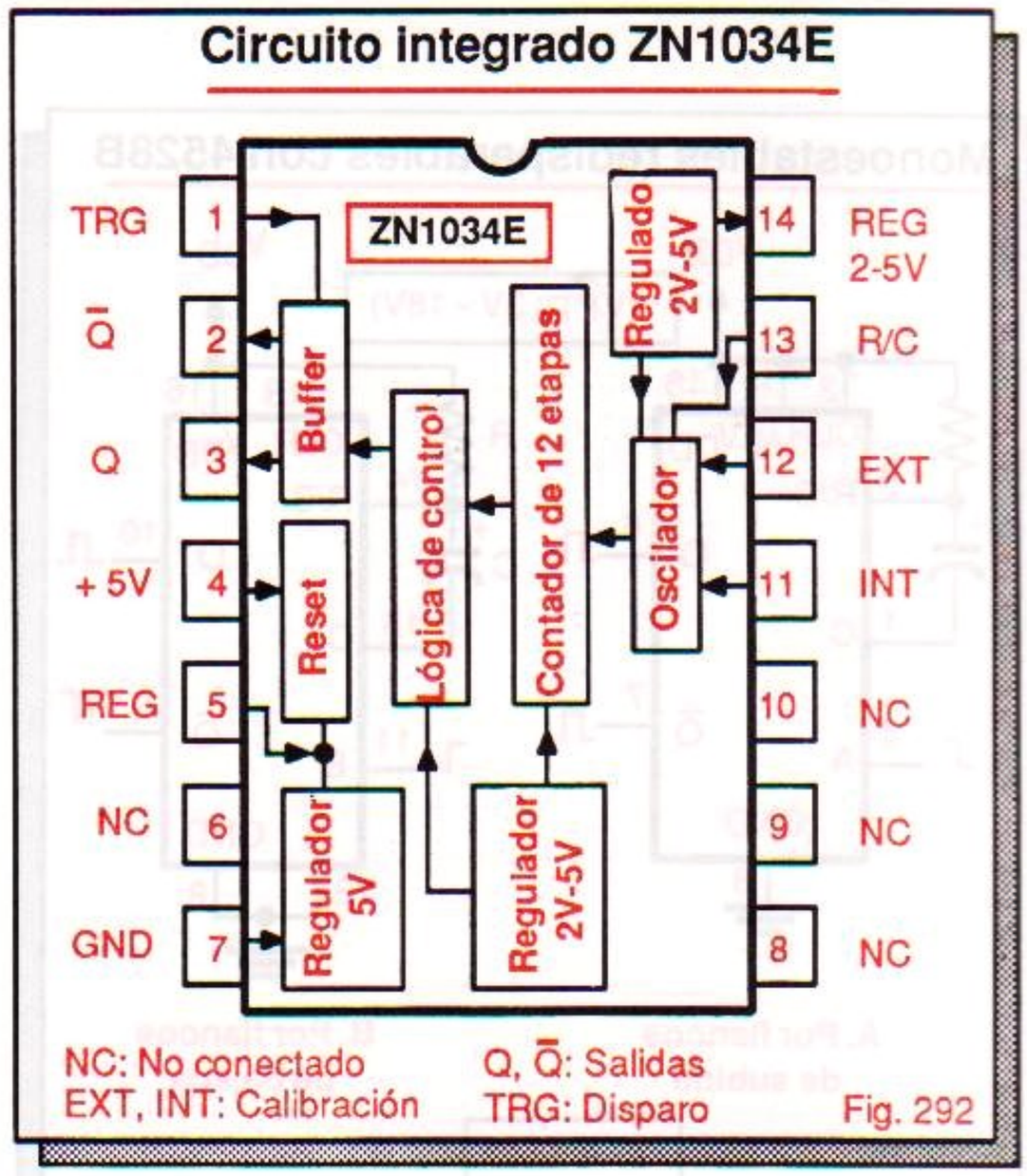
Por ejemplo, para lograr un retardo de 18 minutos con un 555 (el máximo posible) se necesitaría una resistencia de 10 MΩ y un condensador de 100 µF. Sin embargo, la exactitud de esta temporización está sujeta a la precisión de los componentes utilizados. El tiempo real obtenido puede diferir sustancialmente del calculado.

Los condensadores electrolíticos, por su misma naturaleza, son dispositivos imprecisos: su valor no es estable y puede variar con el tiempo, la temperatura y otros factores. Además, las altas corrientes de fuga inherentes a los mismos hacen imposible el uso de resistencias altas en el circuito.

Estas razones obligan a descartar el uso de monoestables con condensadores electrolíticos muy grandes en aplicaciones donde se requieran temporizaciones prolongadas y precisas. La confiabilidad de tales circuitos disminuye a medida que se incrementa la magnitud del retardo requerido. Cuando la exactitud es crítica, hay que buscar otras opciones.

En estos casos, debe recurrirse al empleo de monoestables más especializados, como el popular temporizador programable **XR-2240** de Exar que describiremos en la siguiente sección. Otros temporizadores disponibles en forma de circuitos integrados son el ZN1034E de Ferranti Electronics y el CD4541B de National Semiconductors.

El **ZN1034E** (figura 292) es un temporizador de 14 pines que proporciona retardos precisos de tiempo desde unos pocos milisegundos hasta varios días. Trabaja normalmente con una tensión de alimentación de 5V, aplicada entre los pines 4 (+5V) y 7 (GND). Incluye un regulador interno de voltaje, un oscilador de precisión y un contador binario de doce etapas.

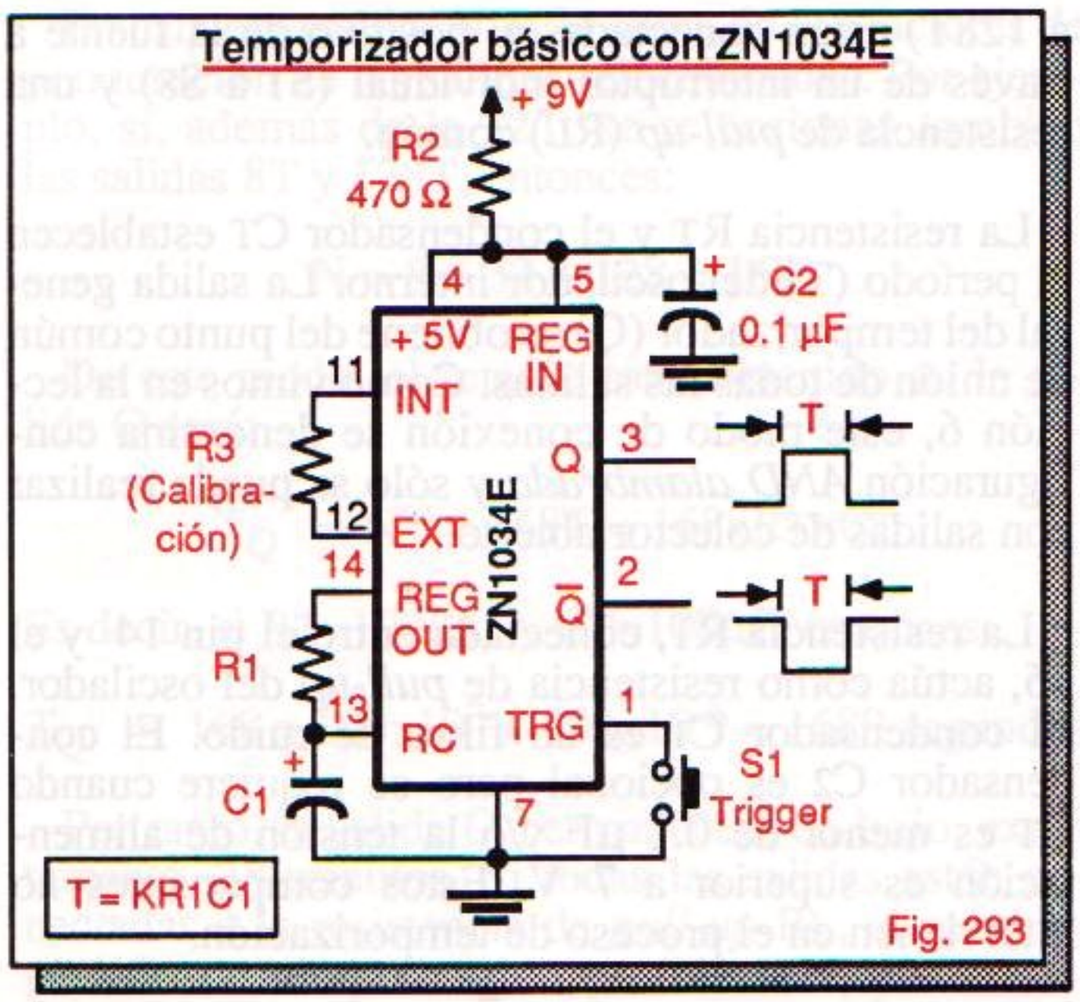


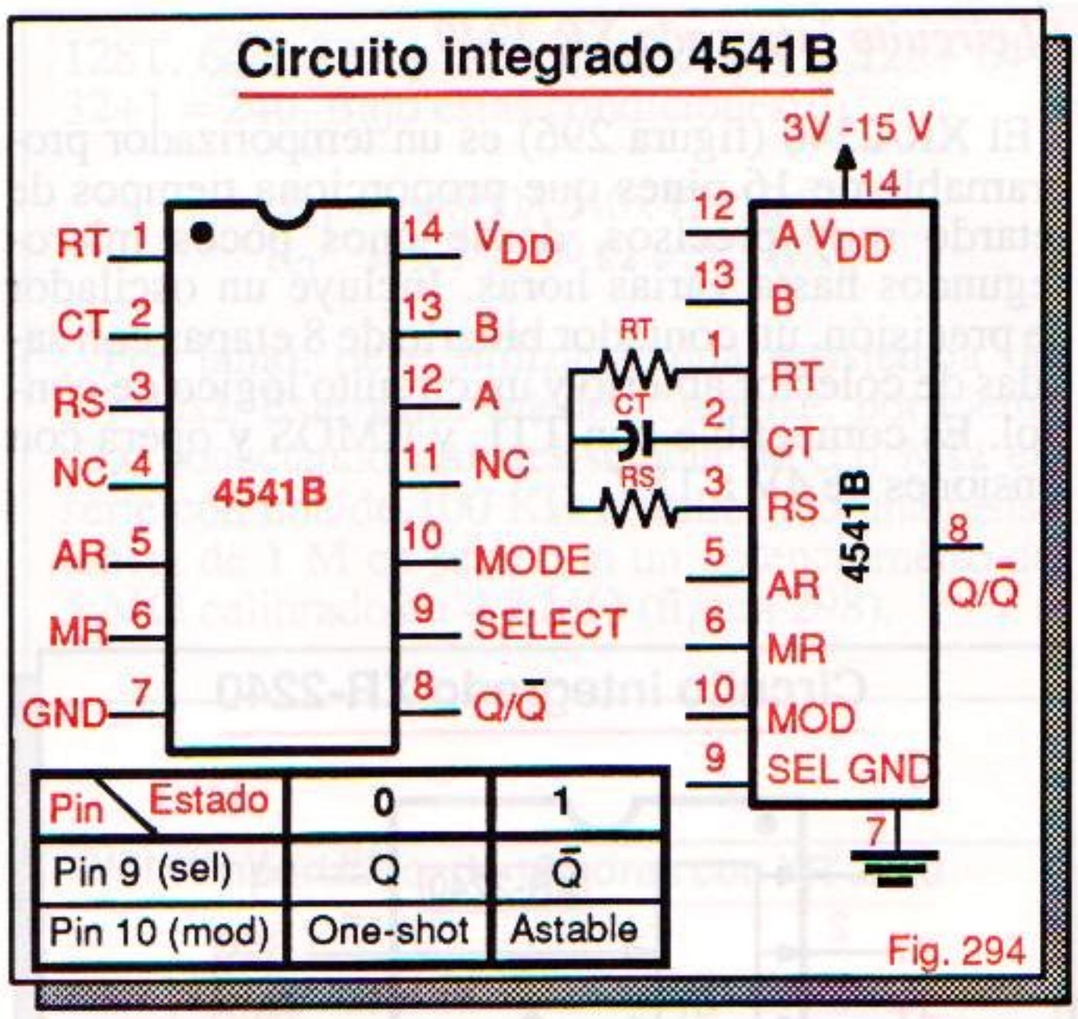
En la figura 293 se muestra el circuito básico de utilización del ZN1034E como temporizador. Observe que los pines 4 (entrada de +5V) y 5 (entrada del regulador) están conectados al positivo de la fuente a través de la resistencia R2. Esto debe hacerse siempre que se utilice una tensión de alimentación superior a 5V.

El período de temporización se inicia pulsando momentáneamente el botón S1 y se evalúa mediante la siguiente fórmula:

$$T = k \times R_1 \times C_1$$

El valor de **k** depende del valor de R3 (CALIBRACION). Cuando R3=0Ω (pines 11 y 12 unidos), **k**=2736. En la tabla 16-3 se relacionan otros valores comunes de k. El valor de R1 puede variar des-





de 5 KΩ hasta 5 MΩ y el de C1 debe ser superior a 3900 pF. Por ejemplo, si R1=2.2 MΩ, C1=100 µF y R3=300 KΩ, entonces k=7500. Por tanto:

$$T = 7500 \times 2.2\times10^{6} \times 100\times10^{-6}$$
$$T = 1.65 \times 10^{6} \text{ segundos} \approx 19 \text{ días}$$

Valores de K (ZN1034E)

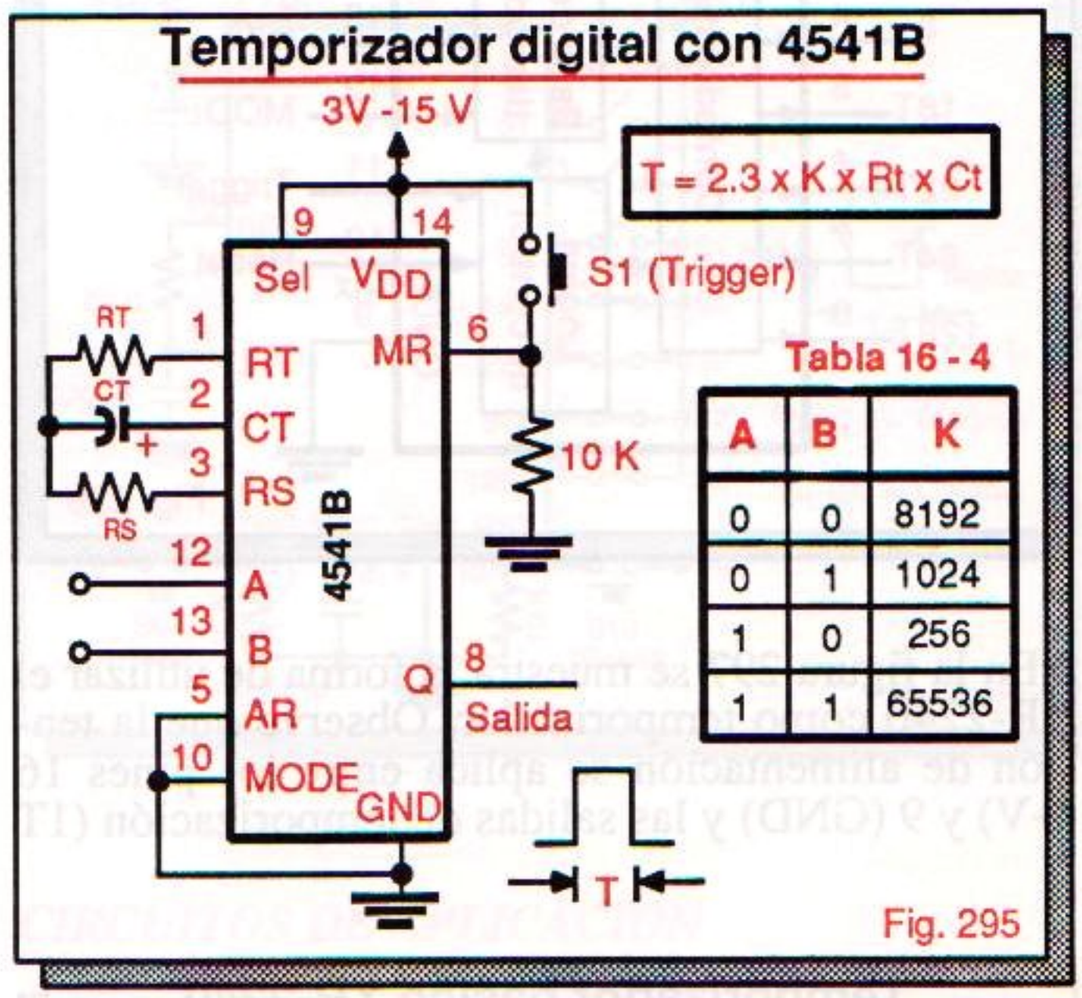
R3	0Ω	50 K	150 K	300 K
K	2736	2500	4100	7500

Tabla 3

El **CD4541B** (figura 294) es un temporizador programable de 14 pines que proporciona retardos precisos de tiempo de unos pocos milisegundos a varias horas. Trabaja con una tensión de alimentación desde 3V hasta 15V aplicada entre los pines 14 (VDD) y 7 (GND). Incluye un contador binario de 16 etapas, un oscilador de precisión y un circuito lógico de control.

En la figura 295 se indica la forma de utilizar el CD4541B como temporizador digital. Observe que los pines 5 (AR) y 10 (MODE) tienen aplicado un nivel **bajo** y el pin 9 (SELECT) tiene aplicado un nivel **alto**. Con esta combinación de estados, el 4541 opera como un monoestable redisparable y entrega en la salida Q (pin 8) un pulso activo en **alto**.·

La temporización se inicia pulsando el botón S1, es decir aplicando un pulso positivo al pin 6 (MR). El tiempo que la salida Q permanece activada se evalúa mediante la siguiente fórmula:



$$T = k \times 2.3 \times RT \times CT$$

El valor de **k** depende del estado lógico de las entradas A (pin 12) y B (pin 13). La tabla 16-4 resume los valores de k correspondientes a cada combinación de A y B. El valor de Rs debe ser superior a 10 KΩ y aproximadamente igual a 2RT. Por ejemplo, si RT= 10 KΩ, CT= 100 µF y AB=**11**, entonces k=65536 y Rs≈20K. Por tanto:

$$T = 65536 \times 2.3 \times 10\times10^{3} \times 100\times10^{-6}$$
$$T = 150.7 \times 10^{3} \text{ segundos} \approx 42 \text{ horas}$$

Nota: Para mas información sobre el CD4541B le sugerimos consultar el proyecto central Nº 7 (Alarma Digital para el Hogar) de este curso.

El circuito integrado XR-2240

El XR-2240 (figura 296) es un temporizador programable de 16 pines que proporciona tiempos de retardo muy precisos, desde unos pocos microsegundos hasta varias horas. Incluye un oscilador de precisión, un contador binario de 8 etapas con salidas de colector abierto y un circuito lógico de control. Es compatible con TTL y CMOS y opera con tensiones de 4V a 15V.

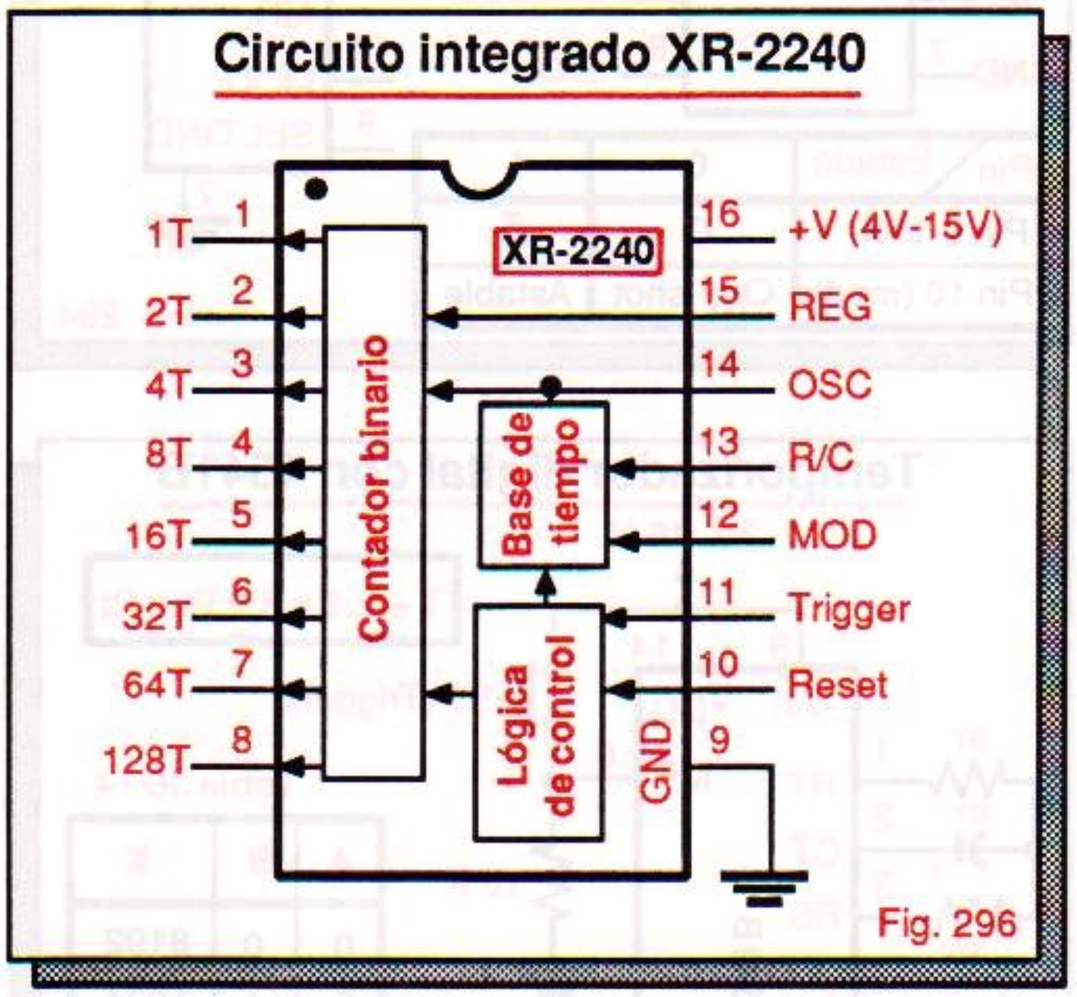


Fig. 296

En la figura 297 se muestra la forma de utilizar el XR-2240 como temporizador. Observe que la tensión de alimentación se aplica entre los pines 16 (+V) y 9 (GND) y las salidas de temporización (1T a 128T) están conectadas al positivo de la fuente a través de un interruptor individual (S1 a S8) y una resistencia de *pull-up* (RL) común.

La resistencia RT y el condensador CT establecen el período (T) del oscilador interno. La salida general del temporizador (Q) se obtiene del punto común de unión de todas las salidas. Como vimos en la lección 6, este modo de conexión se denomina configuración *AND alambrada* y sólo se puede realizar con salidas de colector abierto.

La resistencia R1, conectada entre el pin 14 y el 15, actúa como resistencia de *pull-up* del oscilador. El condensador C1 es un filtro de ruido. El condensador C2 es opcional pero se requiere cuando CT es menor de 0.1 µF y/o la tensión de alimentación es superior a 7 V. Estos componentes no intervienen en el proceso de temporización.

La temporización se inicia pulsando el botón S9, es decir, aplicando un pulso positivo al pin 11 (TRIGGER). Cuando esto sucede, todas las salidas de temporización conectadas a RL, incluyendo la salida general del temporizador (Q), se hacen **bajas**. El tiempo que cada salida kT (1T, 2T, etc.) dura activa en **bajo** se evalúa mediante la siguiente fórmula:

$$T_{kT} = k \times T = k \times R_T \times C_T$$

En esta expresión, **k** es el factor de ponderación asociado a cada salida y **T=RTCT** el período del oscilador. Para la salida 1T (pin 1), k=1, para la salida 2T (pin 2), k=2 y así sucesivamente. Para garantizar un óptimo funcionamiento del circuito, el valor de RT debe estar entre 1 KΩ y 10 MΩ y el de CT entre 0.01 µF y 1000 µF.

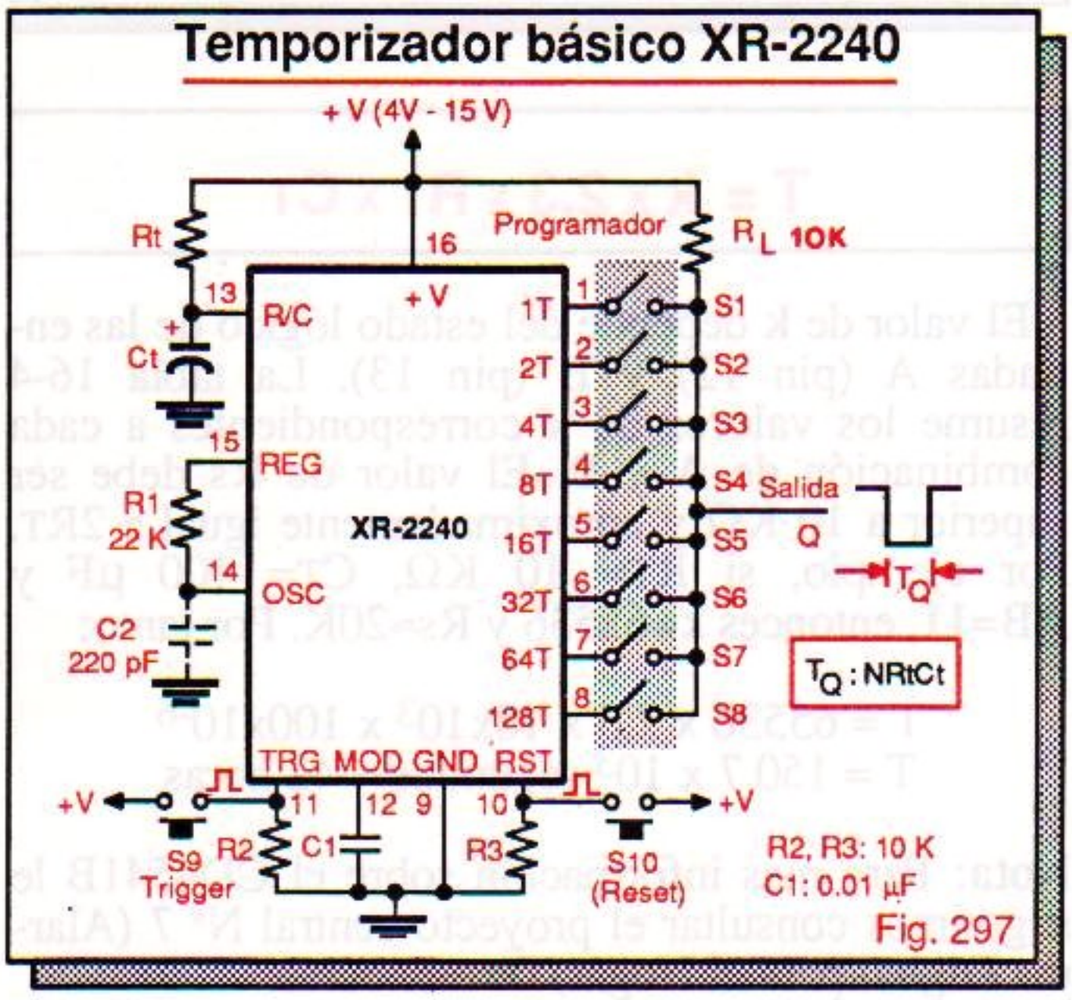


Fig. 297

Por ejemplo, si RT=100 KΩ, CT= 100 µF y se cierra únicamente el interruptor S6, queda seleccionada la salida 32T (pin 6) y, por tanto, k=32. Bajo estas condiciones, el tiempo que la salida 32T permanece en **bajo** será:

$$T_{32T} = 32 \times 100\times10^{3} \times 100\times10^{-6}$$

T_{32T} = 320 segundos = **5 minutos + 20 segundos**

Naturalmente, este es el mismo tiempo que dura activa en **bajo** la salida Q del temporizador. Si existe más de una salida de temporización conectada a RL, en la salida Q se obtiene un retardo de tiempo igual a la suma de los retardos producidos por cada entrada. Es decir:

$$T_Q = NT = N \times R_T \times C_T$$

En esta expresión, N es la suma de los factores de ponderación de las salidas seleccionadas. Por ejemplo, si, además de la 32T, se seleccionan también las salidas 8T y 128T, entonces:

$$N = 8 + 32 + 128 = \mathbf{168}$$

De este modo, el retardo total obtenido en la salida Q será:

$$T_Q = NT = 168T = 168xRTxCT$$

Es decir, si RT=100KΩ y CT=100μF, entonces:

$$T_Q = 168 \times 100x10^3 \times 100x10^{-6} = 1680 \text{ segundos}$$

Por tanto, la salida Q permanecerá en **bajo**, exactamente, 28 minutos. Si todas las salidas están conectadas a la resistencia de *pull-up* RL, el máximo período de temporización posible será, por consiguiente:

$$T_{QMAX} = 255T = 255 \times RT \times CT$$

En nuestro caso:

$$T_{QMAX} = 255 \times 100x10^3 x\ 100x10^{-6} = 2550 \text{ seg}$$

Este tiempo equivale a un retardo de 42 minutos, 30 segundos. Cualquier temporización se puede cancelar pulsando el botón S10, es decir aplicando un pulso positivo al pin 10 (RESET). Cuando esto sucede, todas las salidas se hacen **altas** y el circuito queda a la espera del próximo pulso de disparo.

El siguiente ejemplo amplía el uso de las fórmulas anteriores, aplicadas a un caso concreto de diseño.

Ejemplo. Utilizando un temporizador programable XR-2240, calcule los valores de RT y CT necesarios para obtener un retardo de 18 horas utilizando la configuración circuital de la figura 297. Especifique las combinación de salidas que debe utilizarse

Solución. La mejor forma para resolver este tipo de problemas de diseño con el XR-2240 es seleccionar previamente los valores de CT y N dentro de las especificaciones del dispositivo y calcular el valor de RT a partir de la fórmula TQ = NT = NxRTxCT así:

$$\mathbf{R_T = T_Q/(N x C_T)}$$

En nuestro caso, **TQ**=18 horas, es decir, **64800** segundos. Si escogemos un condensador **CT** de **47 μF** y seleccionamos las salidas 128T, 64T, 32T y 16T, entonces **N** = 128+ 64+ 32+1 = **240**. Bajo estas condiciones:

$$R_T = 64800/(240x47x10^{-6})$$
$$R_T = 5.7 \times 10^6\ \Omega = 5.7\ M\Omega$$

Por tanto, debe utilizarse una resistencia de 5.7 MΩ. Este valor puede obtenerse, por ejemplo, conectando una resistencia de 5.6 MΩ en serie con una de 100 KΩ o utilizando una resistencia de 1 M en serie con un potenciómetro de 5 MΩ calibrado en 4.7 MΩ (figura 298).

Temporizador de 18 horas con XR-2240

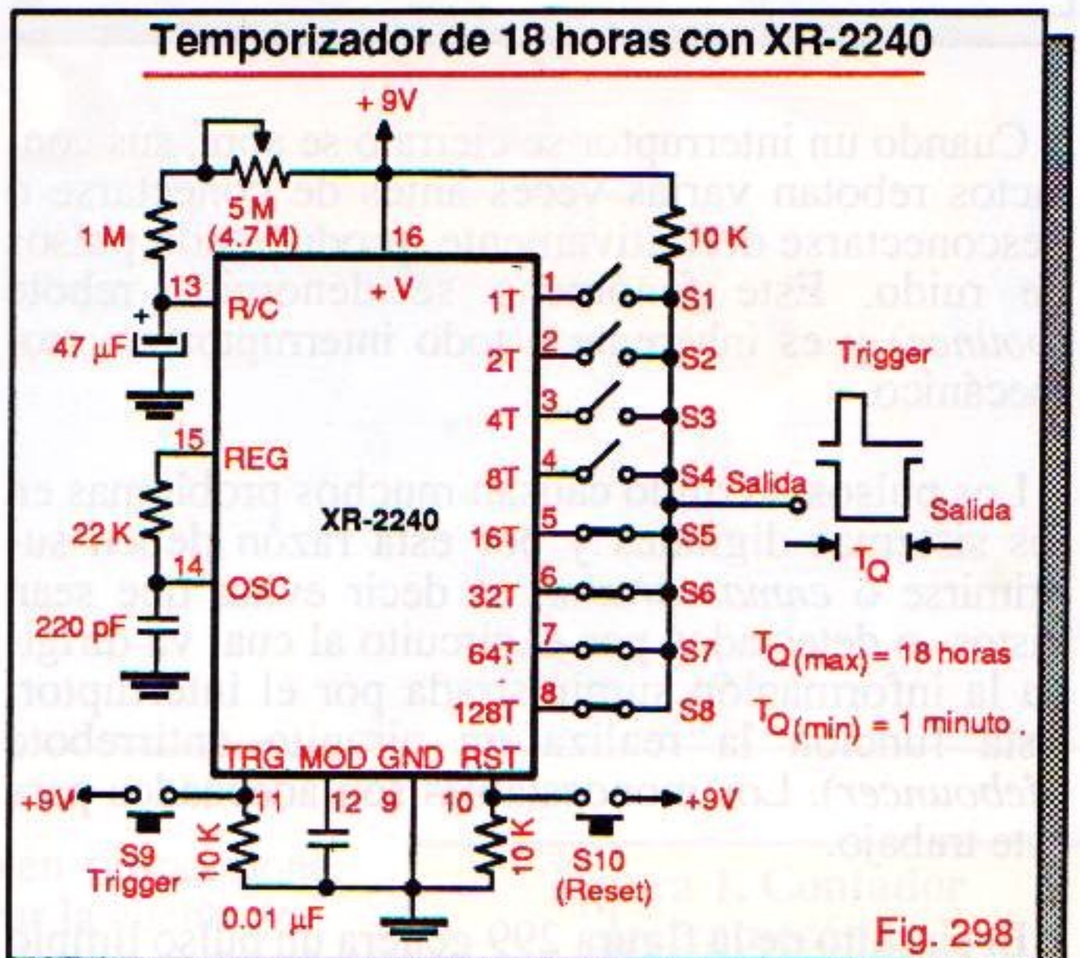


Fig. 298

CIRCUITOS DE APLICACION

Se presentan a continuación algunos circuitos de aplicación con monoestables y temporizadores que complementan los numerosos circuitos prácticos analizados a lo largo de esta lección y los que usted mismo puede diseñar, aplicando los conocimientos adquiridos.

Describiremos un eliminador de rebote, una alarma médica, dos interruptores de tacto, un temporizador para el carro, un generador de efectos sonoros y un temporizador de aparatos electrodomésticos. En lecciones posteriores encontraremos más aplicaciones. Varios proyectos centrales de este curso utilizan monoestables y temporizadores.

Eliminador de rebote con 7555

Una aplicación muy común de los monoestables no redisparables es como eliminadores de rebote.

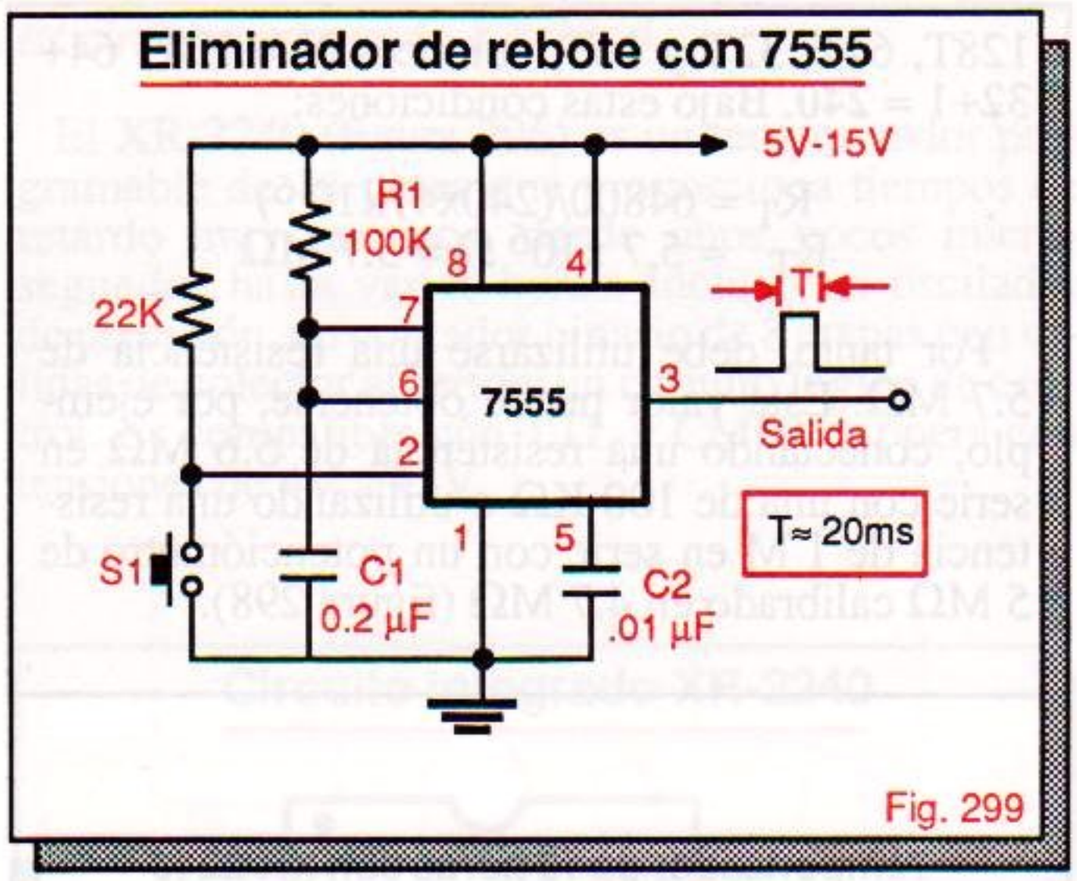


Fig. 299

Cuando un interruptor se cierra o se abre, sus contactos rebotan varias veces antes de conectarse o desconectarse definitivamente, produciendo pulsos de ruido. Este fenómeno se denomina rebote (*bounce*) y es inherente a todo interruptor electromecánico.

Los pulsos de ruido causan muchos problemas en los sistemas digitales y por esta razón deben suprimirse o *enmascararse*, es decir evitar que sean vistos o detectados por el circuito al cual va dirigida la información suministrada por el interruptor. Esta función la realiza un circuito antirrebote (*debouncer*). Los monoestables son adecuados para este trabajo.

El circuito de la figura 299 genera un pulso limpio de 20 ms, libre de ruido y perfectamente rectangular, cuando se cierra el interruptor S1. La duración de este pulso (T) depende de los valores de R1 y C1 y debe elegirse de modo que sea superior al período de rebote del interruptor. En interruptores pequeños, este período es de 1 a 10 milisegundos.

Alarma médica

Una aplicación importante de los monoestables redisparables es en circuitos de alarma diseñados para monitorear eventos repetitivos. Por ejemplo, considere su uso en una alarma médica de respiración (figura 300). La alarma sensa la respiración del paciente y genera un pulso en respuesta a la misma, el cual se utiliza para redisparar el monoestable.

El período del monoestable se fija de tal modo que un patrón normal de respiración cause el redisparo continuo del mismo. Si el patrón de respiración se interrumpe, el monoestable no recibe un pulso de redisparo. Por tanto, el circuito se sale de tiempo y suena la alarma, alertando al personal médico de la existencia de una anormalidad.

Interruptor temporizado de toque

Un interruptor de toque (*touch switch*) es un dispositivo en el cual la acción de conmutación no se realiza en forma electromecánica sino por contacto momentáneo de la piel con un sensor táctil. Al tocar el sensor, el interruptor abre o cierra un circuito y lo mantiene en ese estado durante un tiempo determinado o de modo permanente, dependiendo del diseño.

En varias aplicaciones industriales (por ejemplo, martillos electromecánicos), un interruptor de toque puede sustituir un voluminoso y costoso interruptor de potencia. Su uso no es peligroso. Como sensor, se puede utilizar cualquier material conductor dispuesto de forma que pueda ser tocado por un dedo (por ejemplo, una moneda partida por la mitad).

En la figura 301 se muestra un interruptor de toque con un monoestable NAND. El circuito proporciona un pulso de salida de aproximadamente un segundo de duración cuando se toca con la piel un sensor constituido por dos contactos metálicos muy próximos. R1 y C1 determinan el ancho del pulso.

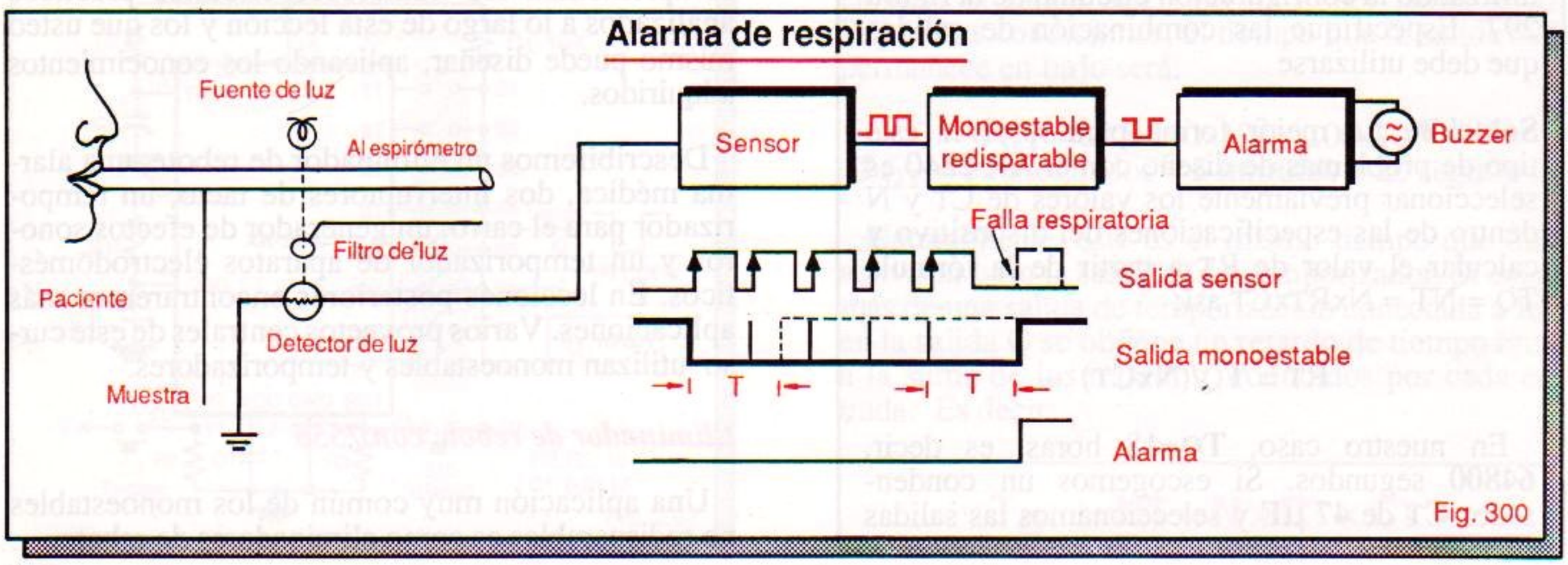
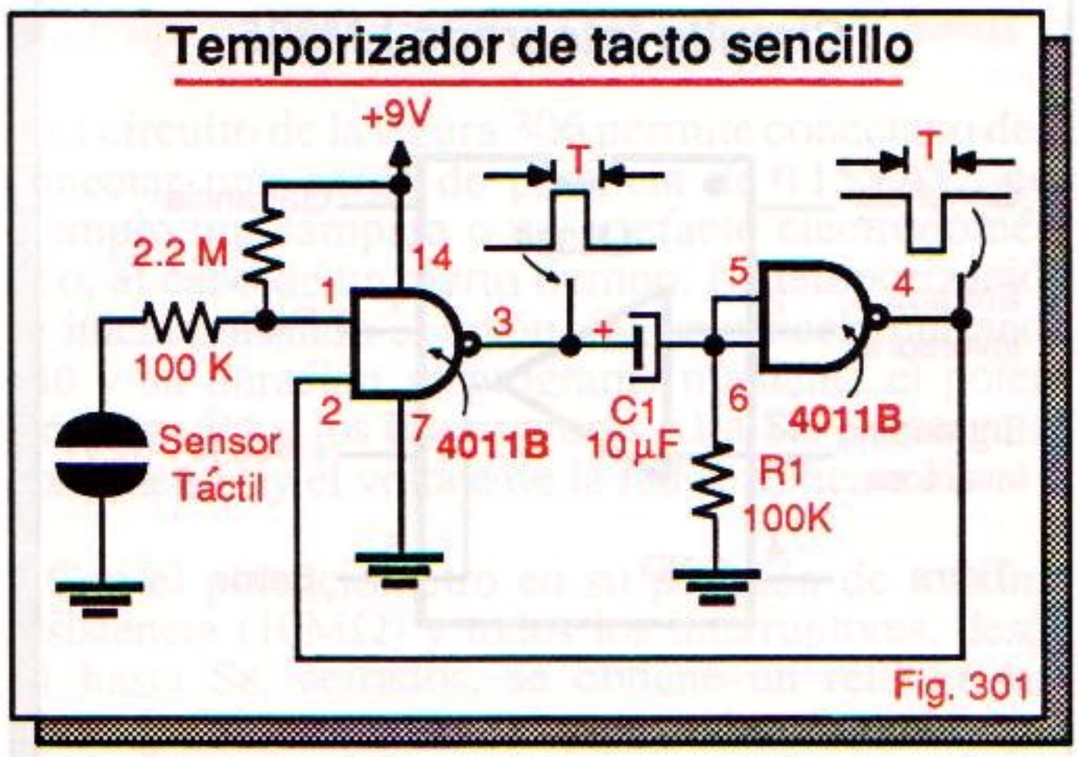
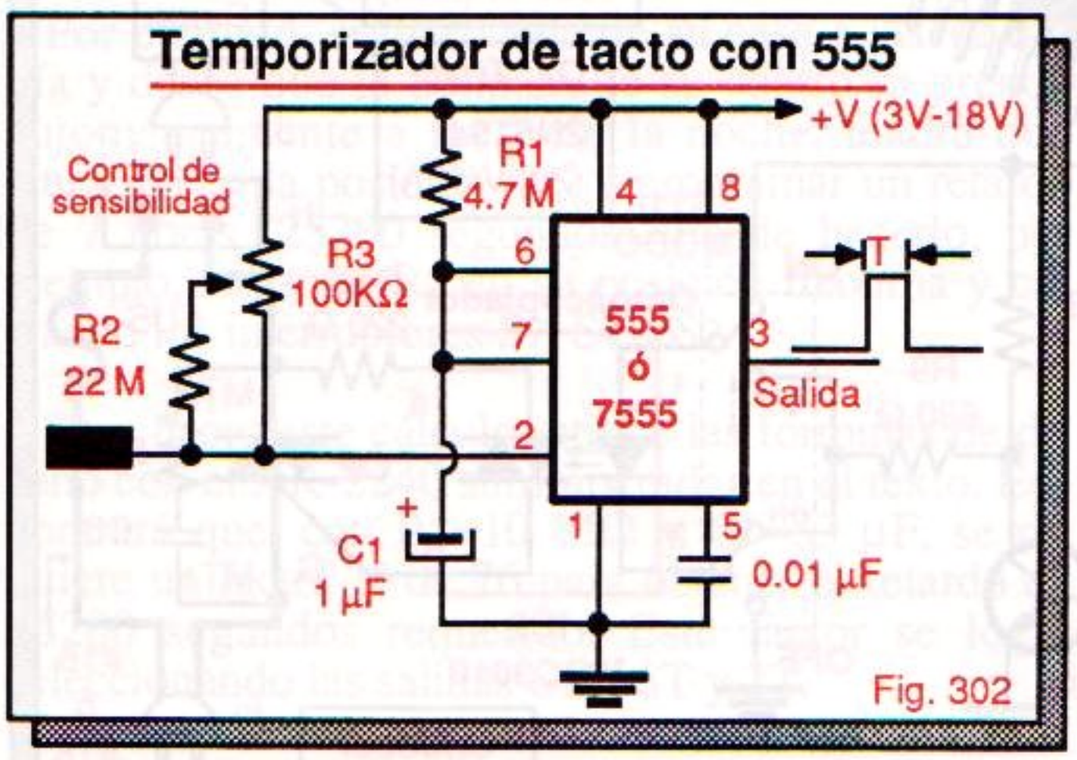


Fig. 300



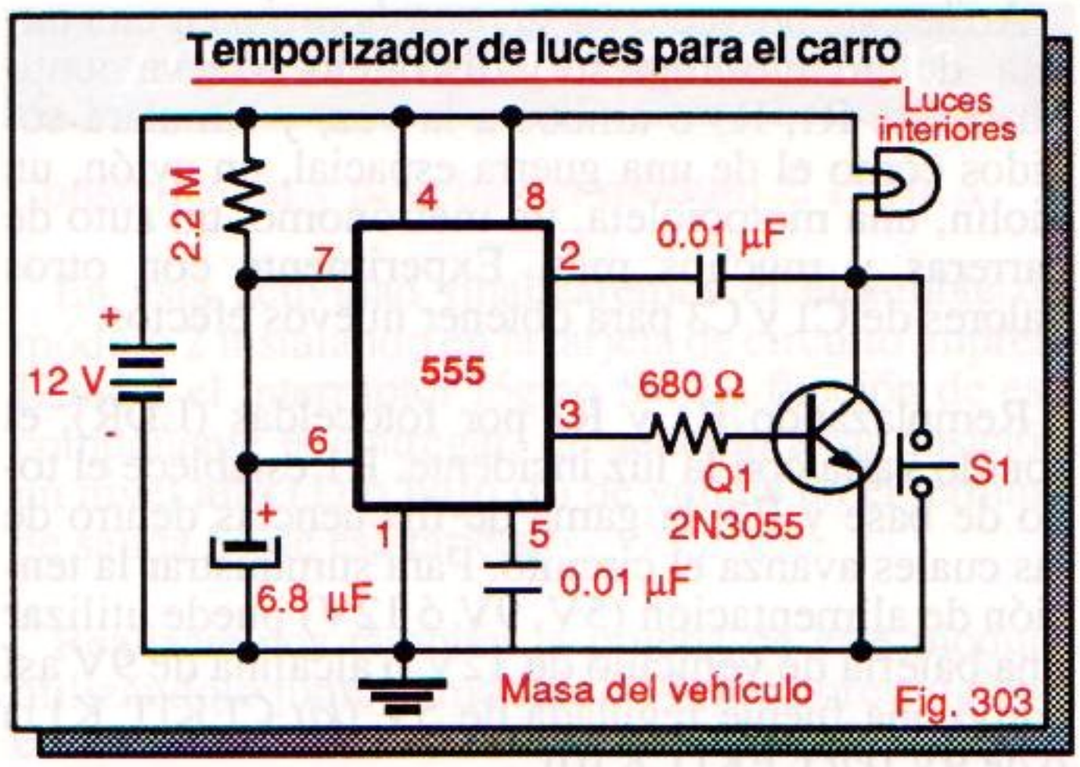
En la figura 302 se muestra un temporizador de tacto desarrollado alrededor de un 555. Al tocar la lámina de contacto, el monoestable se dispara y produce un pulso de aproximadamente 5 segundos de duración. R3 se ajusta para que el voltaje del pin 2 sea superior a +V/3. R2 mejora la sensibilidad del circuito. R1 y C1 establecen la duración del pulso.



Los circuitos anteriores pueden utilizarse para controlar LED, zumbadores, lámparas, motores, etc., conectando a la salida una interface adecuada, por ejemplo, un optoacoplador manejando un triac o un transistor impulsando un relé. La forma de comunicar circuitos digitales con dispositivos del mundo real se explicó en la lección 8 de este curso.

Temporizador de luces para el carro

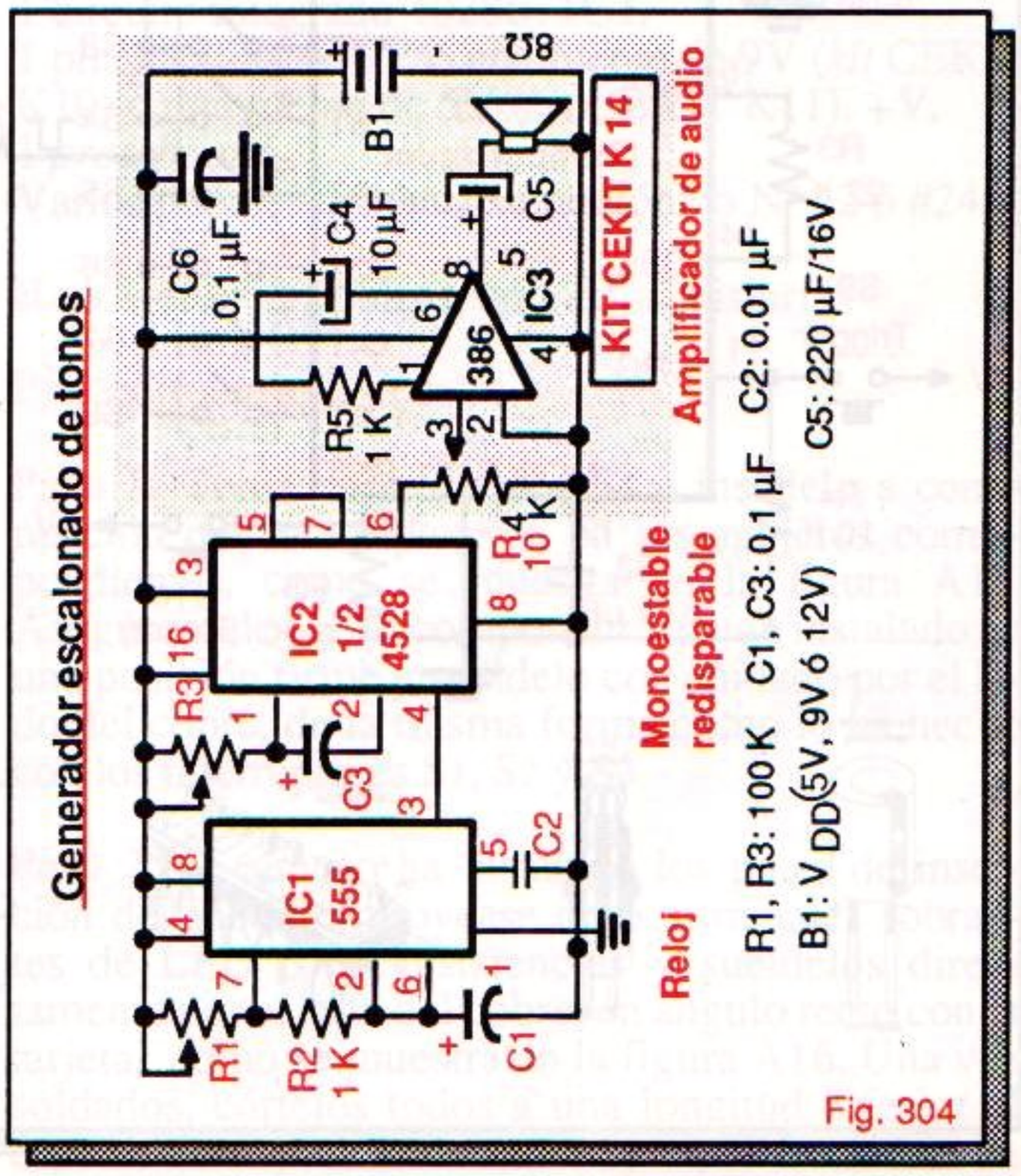
El circuito de la figura 303 enciende las luces interiores del carro durante 15 segundos después de cerrar la puerta del vehículo. Este tiempo es suficiente para que el conductor encuentre la llave de ignición y ponga el motor en marcha. La tensión de alimentación (12 V) se obtiene de la batería. El interruptor S1 es accionado por la puerta.



Cuando la puerta se abre, el interruptor S1 se cierra, las luces interiores se iluminan, el monoestable 555 se dispara, su salida (pin 3) se hace **alta** y el transistor Q1 conduce. Cuando la puerta se cierra, S1 se abre y Q1 mantiene energizadas las luces durante 15 segundos, tiempo al cabo del cual las desconecta, debido a que la salida del monoestable se hace **baja**.

Generador de efectos sonoros

El circuito de la figura 304 utiliza un reloj **555**,un monoestable redisparable **4528B** y un amplificador de audio con **LM386** (*kit* CEKIT K14) para producir en el parlante una gama muy variada de tonos y efectos sonoros cuando se ajustan R1 y R3. R4 es el control de volumen del amplificador.



Arme este proyecto en su *protoboard* o en una tarjeta de circuito impreso y disfrútelo. Mueva continuamente R1, R3 o ambos a la vez, y simulará sonidos como el de una guerra espacial, un avión, un violín, una motocicleta, un metrónomo, un auto de carreras y muchos más. Experimente con otros valores de C1 y C3 para obtener nuevos efectos.

Remplazando R1 y R3 por fotoceldas (LDR), el sonido varia con la luz incidente. R1 establece el tono de base y R3 la gama de frecuencias dentro de las cuales avanza el circuito. Para suministrar la tensión de alimentación (5V, 9V ó 12V) puede utilizar una batería de vehículo de 12V o alcalina de 9V así como una fuente regulada de 5V (*kit* CEKIT K11) o de 9V (*kit* CEKIT K10).

El LM386 (figura 305) es un circuito integrado *análogo* muy popular que amplifica señales de bajo voltaje. La señal de pulsos suministrada por el monoestable al potenciómetro R4 se convierte en pulsos de corriente que excitan, a través de C5, el parlante, el cual los hace audibles. Mas información sobre este *chip* en el manual del *kit* **K14** de CEKIT.

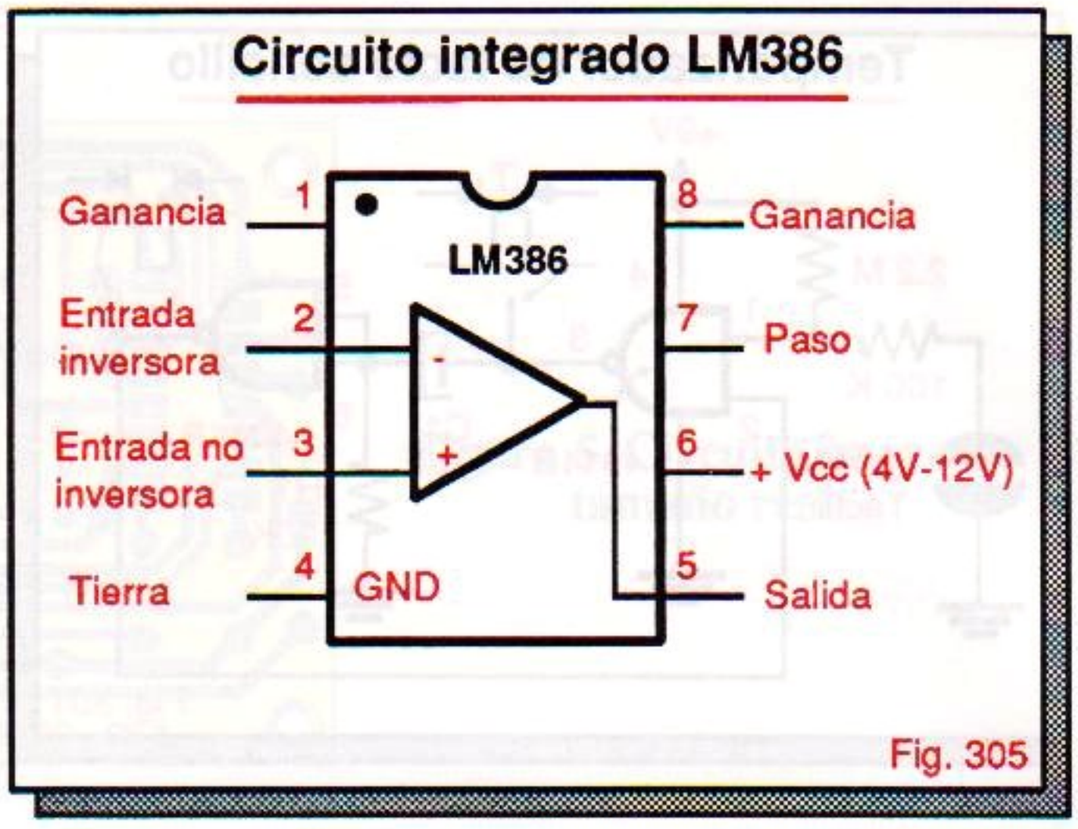


Fig. 305

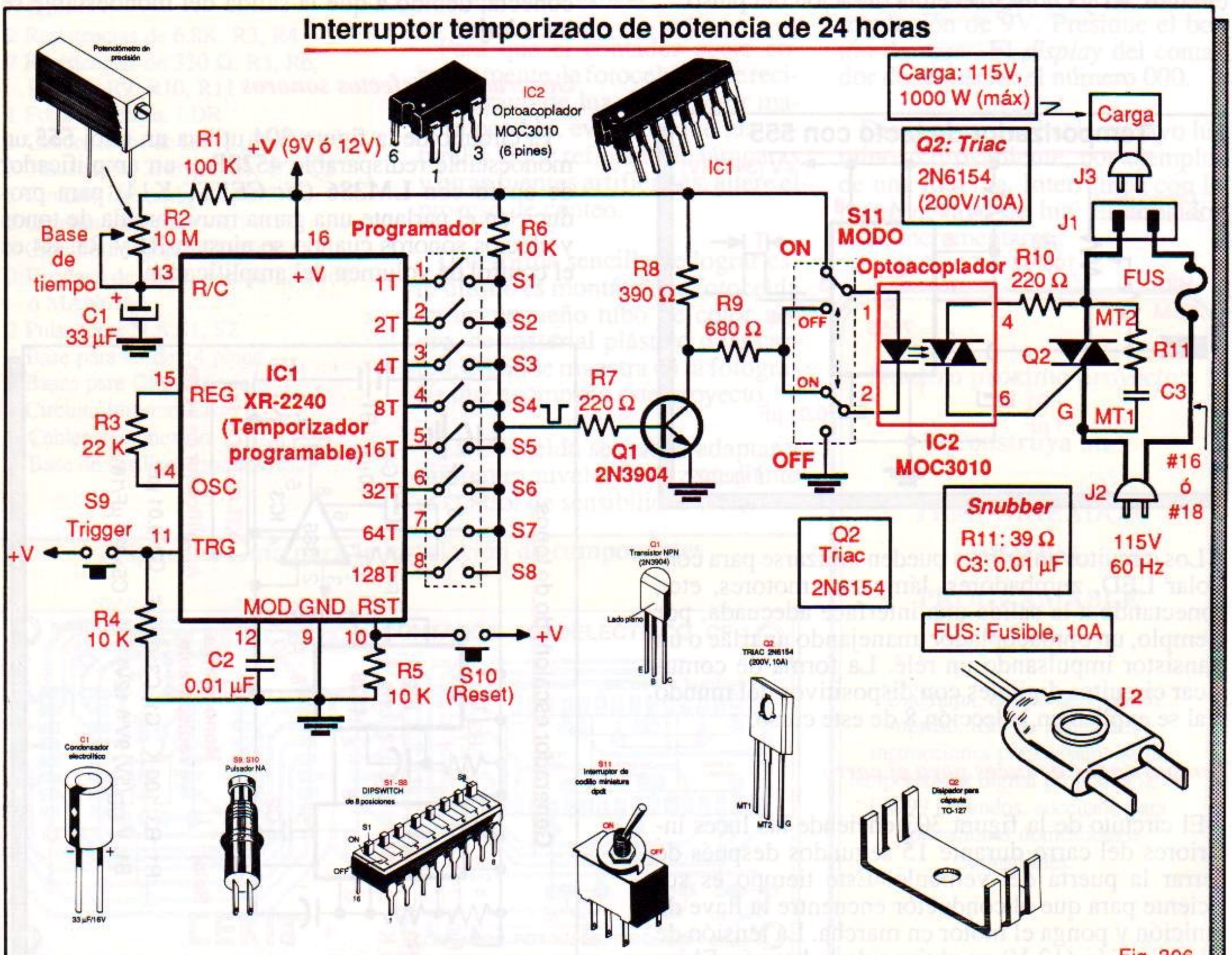


Fig. 306

Interruptor temporizado de potencia de 24 horas

El circuito de la figura 306 permite conectar o desconectar una carga de potencia de 115VAC, por ejemplo una lámpara o un artefacto electrodoméstico, al cabo de un cierto tiempo. La temporización se inicia pulsando el botón S9, se cancela pulsando S10 y su duración se programa mediante el potenciómetro R2 y los interruptores S1 a S8. La carga se conecta a J1 y el voltaje de la red se aplica a J2.

Con el potenciómetro en su posición de máxima resistencia (10MΩ) y todos los interruptores, desde S1 hasta S8, cerrados, se obtiene un retardo máximo de 24 horas. Con el potenciómetro en su posición mínima (0Ω) y el interruptor S1 cerrado, se obtiene un retardo mínimo de 3.3 segundos. Cualquier retardo dentro de este rango es posible.

El modo de operación de la carga se selecciona mediante S11. Con S11 en la posición ON, la carga se energiza automáticamente después de transcurrido el tiempo previamente programado. Con S5 en la posición OFF, la carga se conecta tan pronto se da la orden de temporización y se desconecta automáticamente al cabo del tiempo preestablecido.

Por ejemplo, si usted sale de su casa a las 12 del día y desea que la lámpara de su cuarto se prenda automáticamente a las 7 de la noche, tendrá que situar S5 en la posición ON y programar un retardo de 7 horas (25200 segundos). Puede hacerlo, por ejemplo, situando R2 en su posición máxima y cerrando los interruptores S7, S4 y S2.

Para hacer este cálculo, utilice las fórmulas de diseño con el XR-2240 suministradas en el texto. Encontrará que, con R2=10 MΩ y C1=33 μF, se requiere un factor N de 76 para obtener el retardo de 25200 segundos requerido. Este factor se logra seleccionando las salidas 64T, 8T y 2T.

La interface entre el circuito de control, formado por el temporizador XR-2240 (IC1) y componentes asociados, y el circuito de potencia, formado por la carga y el triac 2N6154 (Q2), se realiza a través del optoacoplador **MOC3010** (IC2). Para más detalles sobre el uso de optoacopladores en aplicaciones de potencia, le sugerimos remitirse a la lección 8.

El triac 2N6154 puede impulsar corrientes hasta de 10 A y manejar cargas hasta de 1000 W/115V. Para un óptimo funcionamiento debe estar provisto de un disipador de calor adecuado.

La tensión de alimentación del circuito de control puede obtenerla de una batería de automóvil de 12V, una pila alcalina de 9V o una fuente regulada de 9V (*kit* CEKIT K10). Para alambrar el circuito de potencia, use cable #16 ó 18.

ACTIVIDAD PRACTICA Nº 12

Construcción y prueba del módulo 2. Parte 5

En esta actividad finalizaremos el ensamble del módulo 2 instalando en la tarjeta de circuito impreso EDM-2 el interruptor lógico S4. La función de este componente es entregar, de acuerdo a su posición, un nivel **alto** (1) o **bajo** (**0**) de voltaje en el terminal de salida S4 de esa tarjeta.

Realizaremos también la prueba de este módulo, utilizándolo junto al módulo 1 (4 monitores lógicos) en un circuito decodificador sencillo, el cual, además, nos permitirá practicar y familiarizarnos con el código BCD.

Veremos también como optimizar el módulo EDM-1 para hacerlo más versátil y poderlo utilizar indistintamente en circuitos TTL y CMOS.

Componentes necesarios

- Para el montaje

1 interruptor miniatura tipo spdt. **S4**
1 circuito impreso CEKIT EDM-2.
1 cautín de baja potencia (15W a 35W)
Soldadura de estaño 60/40

– Para la prueba

1 módulo EDM-1 (4 monitores lógicos).
1 módulo EDM-2 (4 interruptores lógicos).
1 circuito integrado 4028B. **IC1.**
1 pila alcalina de 9V ó una fuente de 9V (*kit* CEKIT K10) ó una fuente de 5V (*kit* CEKIT K11). **+V.**
1 *protoboard*.
Varios puentes de alambre telefónico Nº 22 ó #24.

Herramientas: pinzas, cortafríos, bisturí.

Procedimiento y prueba

Paso 1. Tome el interruptor S4 e instálelo a continuación del interruptor S3, en los agujeros correspondientes, como se muestra en la figura A15. Asegúrese de que el componente quede instalado en una posición firme y suéldelo con cuidado por el lado del cobre, de la misma forma como lo ha hecho con los interruptores S1, S2 y S3.

Paso 2. Si aún no ha instalado los pines de inserción del módulo, provease de 6 terminales sobrantes de LED o de resistencias y suéldelos directamente por el lado del cobre, en ángulo recto con la tarjeta, como se muestra en la figura A16. Una vez soldados, córtelos todos a una longitud inferior al espesor de su *protoboard*, por ejemplo 7 mm.

Módulo 2. Aspecto final

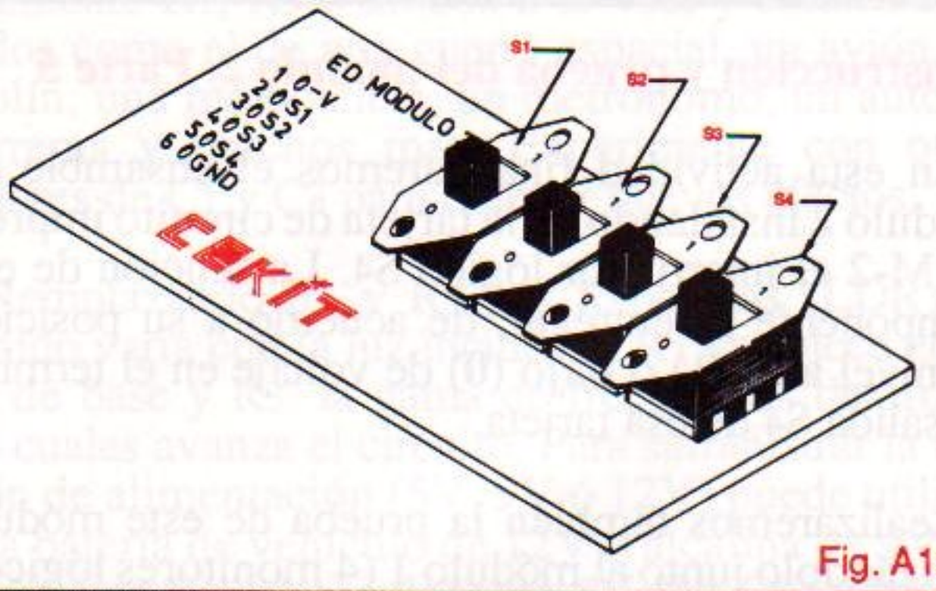


Fig. A15

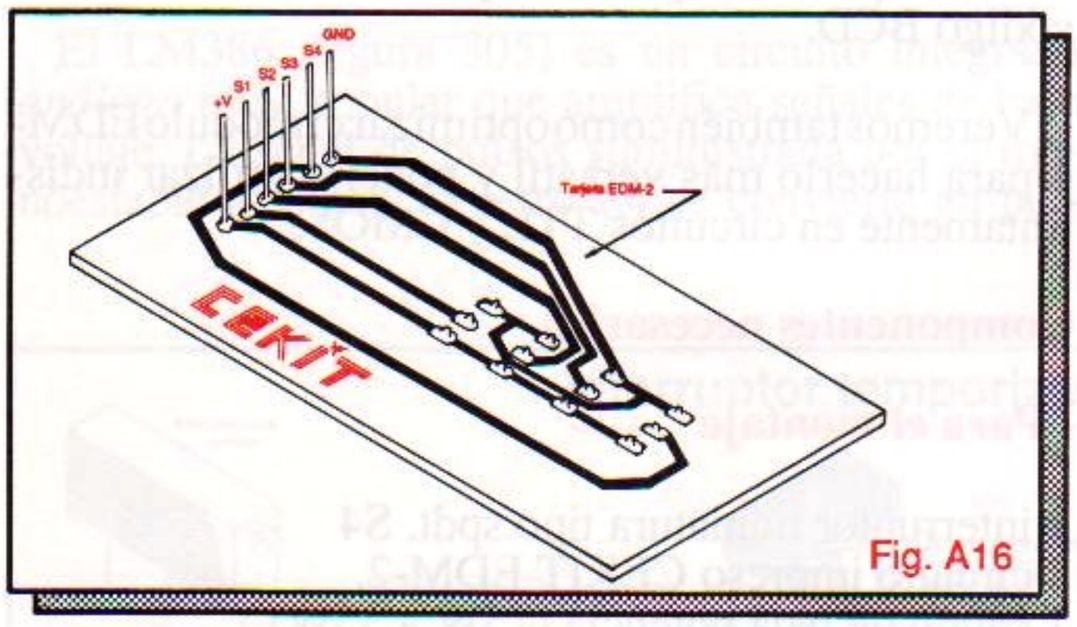


Fig. A16

Paso 3. Descripción del circuito de prueba

Para verificar la operación y el uso del módulo 2, emplearemos el circuito de prueba de la figura A17. Se trata de un decodificador de BCD a decimal con el CI **4028B** (ver lección 10, páginas 121 a 123). El circuito reconoce un código BCD aplicado en las entradas DCBA activando una de las salidas Q0-Q9.

Circuito de prueba del módulo 2

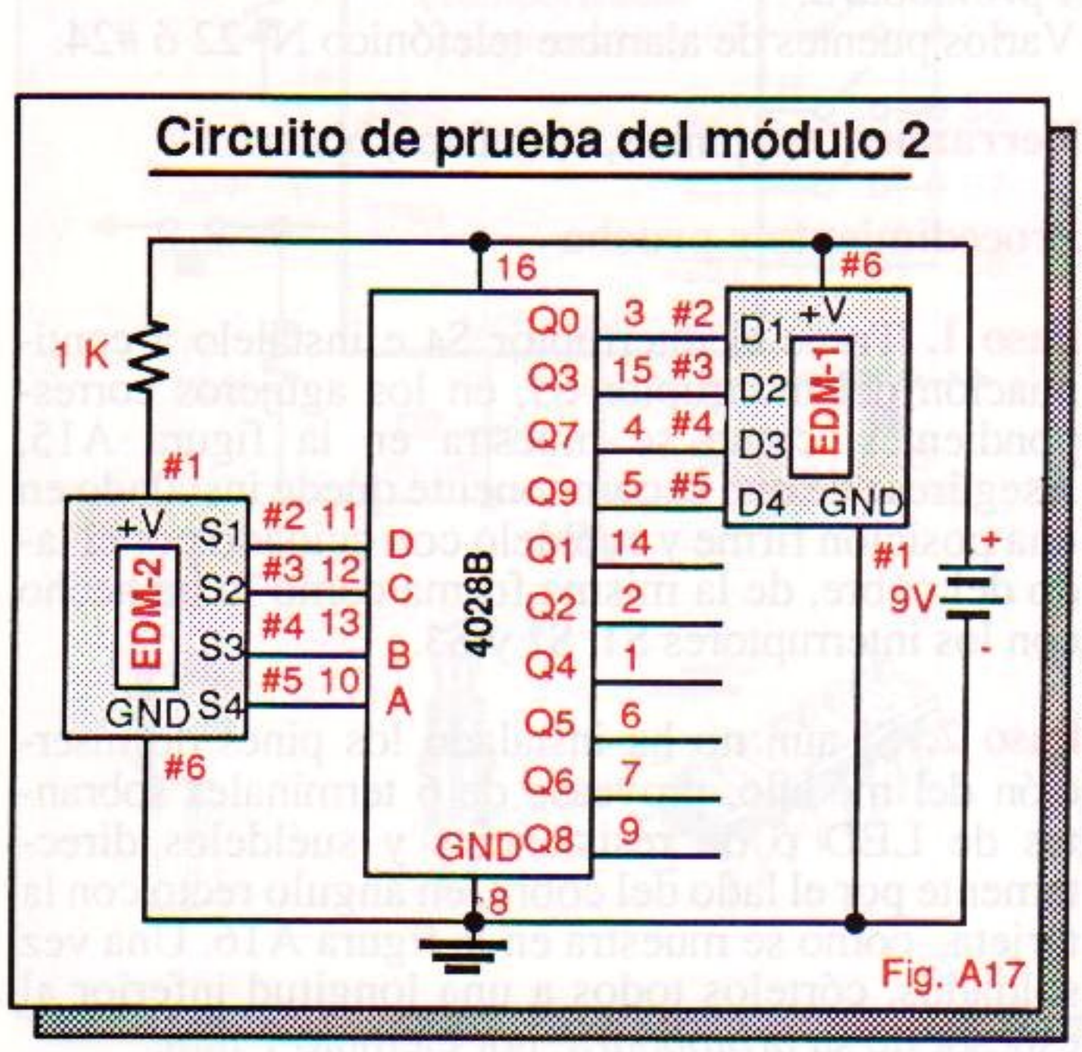


Fig. A17

El módulo 2 (EDM-2) suministra códigos (combinaciones de **1**'s y **0**'s) de 4 *bits* a las entradas del decodificador, correspondiendo S1 al MSB (*bit* más significativo) y S4 al LSB (*bit* menos significativo). El módulo 1 (EDM-1) informa cuándo uno de estos códigos activa una de las cuatro líneas preseleccionadas Q0, Q3, Q7 ó Q9.

Específicamente, el LED D1 se ilumina cuando se aplica el código de entrada **0000**, correspondiente al número decimal 0, el LED D2 cuando se aplica el código **0011**, correspondiente al número 3, el LED D3 cuando se aplica el código **0111**, correspondiente al número 7, y el LED D4 cuando se aplica el código **1001**, correspondiente al número 9.

Un decodificador BCD no debe reconocer códigos BCD *inválidos* (ver Tabla 9-3, página 110). Sin embargo, algunas unidades **4028B**, como el **CD4028BCN** de National utilizado en nuestra prueba, activan la salida Q8 (pin 9) cuando reciben un código BCD inválido *par* y la salida Q9 (pin 5) cuando reciben un código BCD inválido *impar*.

En este caso, el LED D4, que monitorea la salida Q9, se iluminará también cuando se apliquen los códigos BCD inválidos **1011** (11), **1101** (13) y **1111** (15). Si utiliza un **4028B** de otro fabricante, es probable que no se produzca este fenómeno.La distribución de pines y la tabla de verdad del **4028B** aparece en la figura 197, página 121.

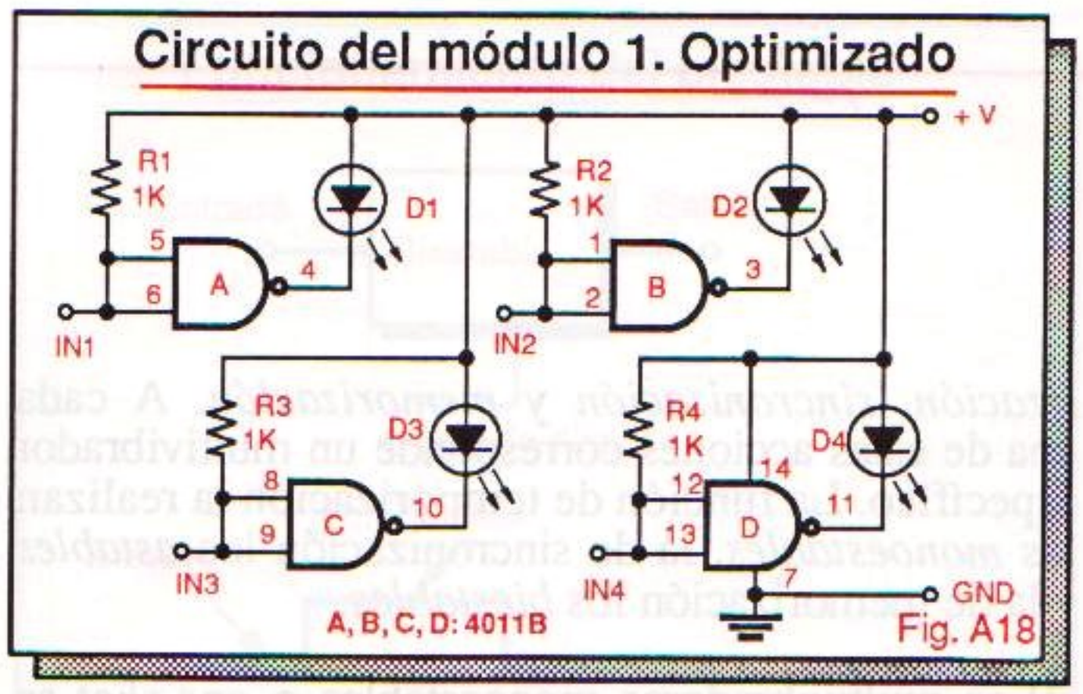
Paso 4. Optimización del módulo EDM-1

Antes de ensamblar el circuito de la figura A17 en su *protoboard*, conviene realizar una ligera modificación técnica en el trazado del circuito impreso del módulo 1, con el fin de hacerlo más versátil, adaptable a varias necesidades y compatible con TTL.

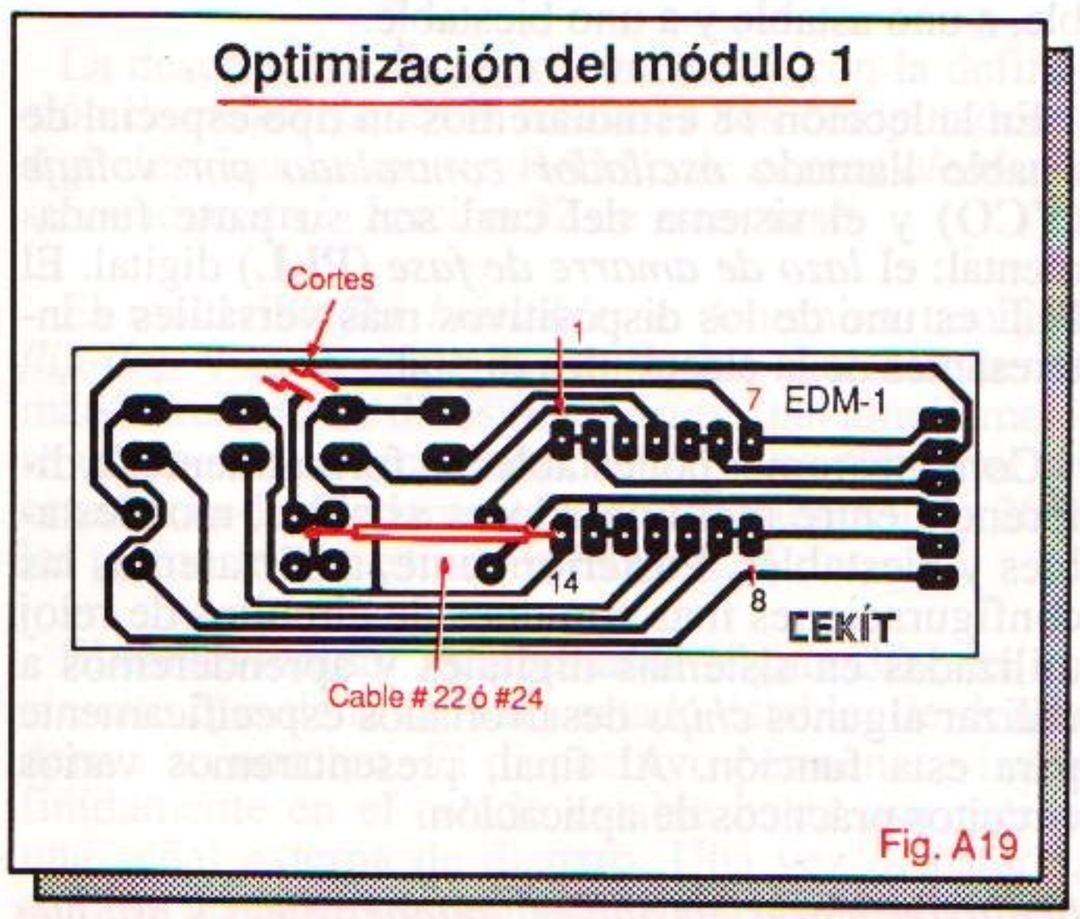
Se ha encontrado que algunas salidas CMOS no tienen la capacidad de corriente suficiente para impulsar las entradas de este módulo debido al efecto de carga que presentan las resistencias de 1K conectadas entre cada entrada del inversor y tierra (ver figura A1, página 19). Esto puede suceder con el CI CD4028BCN utilizado en este experimento.

Para adaptar su módulo a estas circunstancias, el punto común de unión de las resistencias R1, R2, R3 y R4 debe desconectarse de tierra y conectarse al positivo de la fuente, como se indica en la figura A18. De este modo, una salida CMOS **alta** no tiene que impulsar corriente hacia la entrada de cualquier monitor porque ésta proviene de la fuente, a través de la resistencia de 1K.

Para realizar esta modificación, sólo necesitará de un bisturí y un trozo de alambre telefónico aislado de 18 mm de longitud. Tome el módulo 1 por el la-



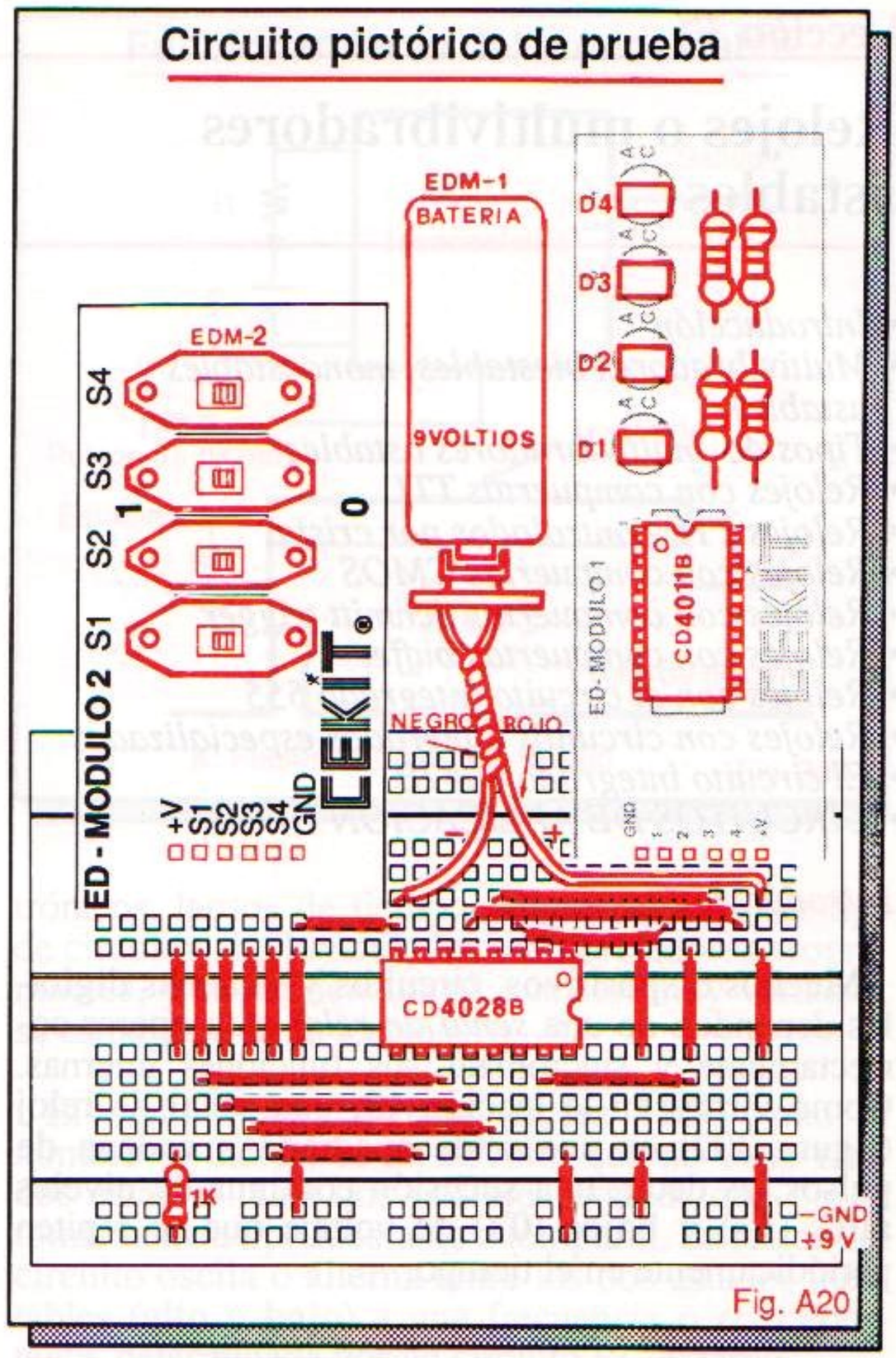
do del cobre y practique, con el bisturí, dos cortes profundos en la pista que une el punto común de unión de las resistencias de 1K con el pin 7 (tierra) del CI 4011B, como se muestra en la figura A19.



De este modo, aislará las resistencias de tierra. Para mayor seguridad, puede levantar y retirar, con el mismo bisturí, la pista de cobre que une los dos puntos de corte. A continuación, suelde el alambre de 18 mm entre el pin 14 (+V) del CI 4011B y el punto común de unión de las resistencias. Así, este último quedará conectado al positivo de la fuente.

Paso 5 Arme sobre su *protoboard* el circuito de la figura A17, como se indica en la figura A20. Inserte con cuidado el circuito integrado 4028B y los módulos EDM-1 y EDM-2. Realice las distintas conexiones empleando puentes cortos.

Antes de conectar la fuente, revise bien todo el alambrado. Asegúrese de que tanto el 4028B como los módulos estén adecuadamente alimentados y no hayan conexiones extraviadas, es decir uniendo puntos que no corresponden.



Paso 6. Conecte la fuente y sitúe todos los interruptores del módulo 2 en la posición "**0**". De este modo, estará aplicando el código **0000** a las entradas del decodificador. Observará que el LED D1 del módulo 1 se ilumina, indicando que el circuito está reconociendo el código BCD del número 0 (**0000**).

Paso 7. Sitúe los interruptores S1 a S4 en las posiciones adecuadas, genere, en su orden, todos los códigos de 4 *bits* siguientes posibles, desde **0001** (1) hasta **1111** (15), y observe los que sucede en los LED del módulo 1. Por ejemplo, para el código **0110** (6), sitúe S1 en la posición **0**, S2 en la posición **1**, S3 en la posición **1** y S4 en la posición **0.**

Notará que el LED D2 sólo se ilumina cuando se aplica el código **0011** (3), el LED D3 cuando se aplica el código **0111** (7) y el LED D4 cuando se aplica el código **1001** (9), Para los códigos superiores a este último, pueden suceder dos cosas:

a) El LED D4 se ilumina cuando se aplican los códigos BCD inválidos impares **1011** (11), **1101** (13) y **1111** (15) ó

b) El LED D4 no se ilumina en absoluto.

Relojes o multivibradores astables

- *Introducción*
- *Multivibradores biestables, monoestables y astables*
- *Tipos de multivibradores astables*
- *Relojes con compuertas TTL*
- *Relojes TTL controlados por cristal*
- *Relojes con compuertas CMOS*
- *Relojes con compuertas Schmitt trigger*
- *Relojes con compuertas buffer*
- *Relojes con el circuito integrado 555*
- *Relojes con circuitos integrados especializados*
- *El circuito integrado 4047B*
- *CIRCUITOS DE APLICACION*

Introducción

Muchos dispositivos, circuitos y sistemas digitales dependen de una *señal de reloj* para operar correctamente y sincronizar sus funciones internas. Como vimos en la lección 13, una señal de reloj (figura 307) es una onda cuadrada o cadena de pulsos, es decir, una sucesión continua de niveles **altos** (**1**'s) y **bajos** (**0**'s) de voltaje que se repiten periódicamente en el tiempo.

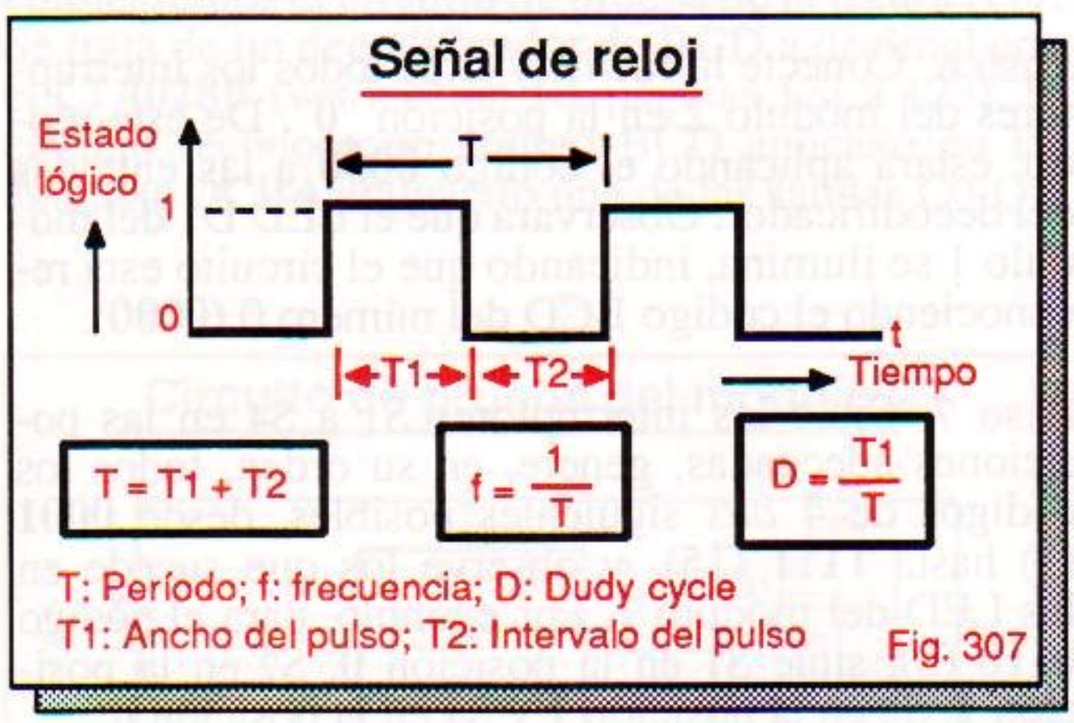


Fig. 307

Los circuitos que producen señales de pulsos se denominan *relojes* o *multivibradores astables*. Los *multivibradores* son circuitos que permiten controlar el *tiempo* en toda clase de aplicaciones análogas y digitales. Sin la presencia del tiempo en los sistemas digitales, éstos se reducirían a simples circuitos combinatorios, es decir a configuraciones estáticas de compuertas.

Existen tres formas diferentes de considerar la acción del tiempo en los circuitos digitales: *temporización*, *sincronización* y *memorización*. A cada una de estas acciones corresponde un multivibrador específico. La función de temporización la realizan los *monoestables*, la de sincronización los *astables* y la de memorización los *biestables*.

Los multivibradores monoestables o *one-shot* se trataron en la lección 16. Los multivibradores astables o *relojes* se estudian en esta lección y los biestables o *flip-flops* en las lecciones 19 y 20.

Por brevedad, utilizaremos con frecuencia los términos *monoestable*, *astable* y *biestable* para referirnos, respectivamente, a un multivibrador monoestable, a uno astable y a uno biestable.

En la lección 18 estudiaremos un tipo especial de astable llamado *oscilador controlado por voltaje* (**VCO**) y el sistema del cual son su parte fundamental: el *lazo de amarre de fase* (**PLL**) digital. El PLL es uno de los dispositivos más versátiles e interesantes de la electrónica digital.

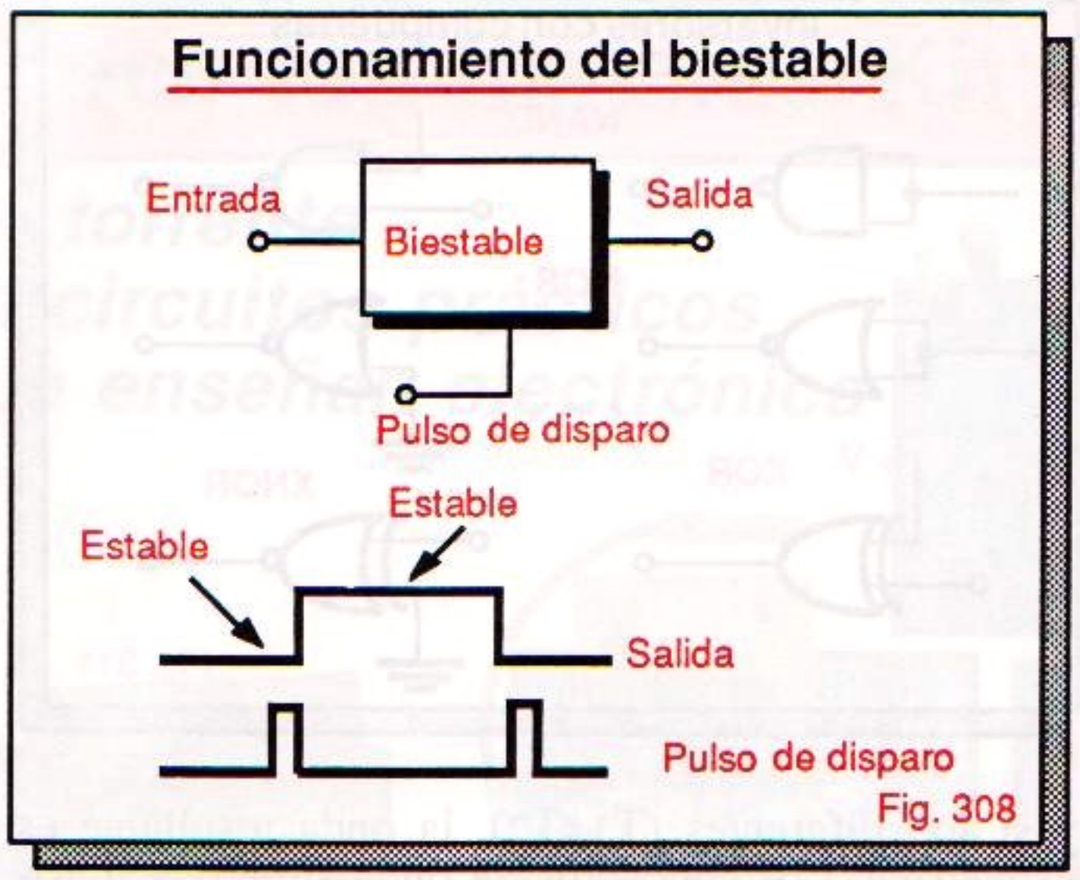
Comenzaremos por establecer, formalmente, la diferencia entre multivibradores astables, monoestables y biestables. Posteriormente, analizaremos las configuraciones más comunes de circuitos de reloj utilizadas en sistemas digitales y aprenderemos a utilizar algunos *chips* desarrollados específicamente para esta función. Al final, presentaremos varios circuitos prácticos de aplicación.

Multivibradores biestables, monoestables y astables

Como se estableció anteriomente, existen tres tipos de multivibradores: biestables, monoestables y astables. A continuación, definiremos claramente la función y el modo de operación de cada uno.

El multivibrador ***biestable*** (figura 308), como su nombre lo indica, es un circuito que tiene tiene dos estados estables: **alto** y **bajo**. El dispositivo permanece indefinidamente en uno de sus dos estados estables hasta que es obligado a cambiar de estado mediante una señal externa de disparo. Una vez disparado, el dispositivo se mantiene en su nuevo estado hasta que aparezca otra señal de disparo.

En resumen, a cada señal de disparo corresponde un cambio de estado estable. Básicamente, la función que desempeña un biestable es la de recordar o *memorizar* un estado determinado. También es posible, en cualquier momento, cambiar el contenido



del circuito, es decir pasarlo de **alto** a **bajo** o viceversa.

La descripción anterior concuerda con la definición de *memoria RAM* usada en los computadores digitales. Las memorias RAM o de *acceso aleatorio* se estudian en la lección 32 de este curso.

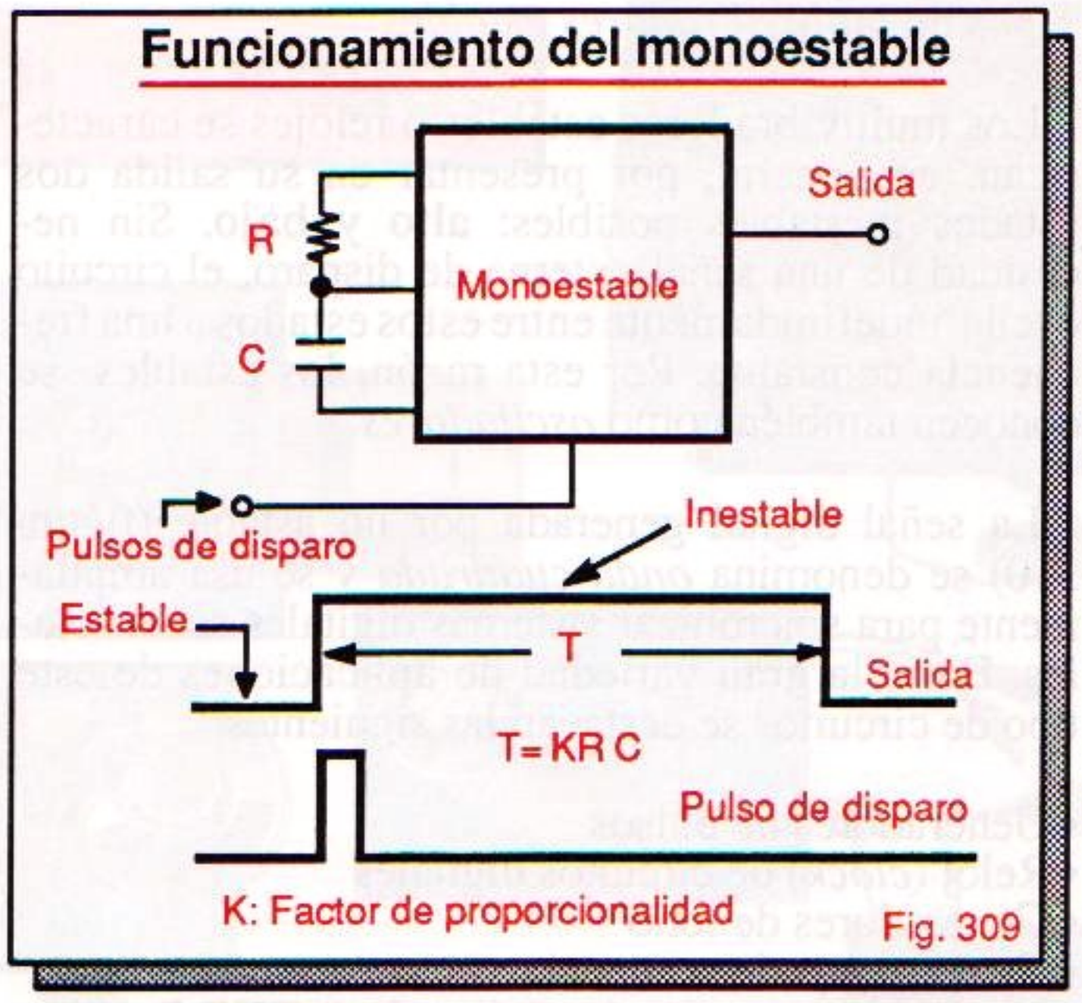
El multivibrador *biestable* se denomina también *flip-flop* y es la celda básica de los sistemas de almacenamiento de datos (*memorias*), tan ampliamente usados en la tecnología actual. Los *flip-flops* se estudiarán detalladamente en las lecciones 19 y 20 y las memorias a partir de la lección 31.

El multivibrador ***monoestable*** (figura 309) es un circuito que tiene un sólo estado estable, de donde deriva su nombre. El dispositivo permanece indefinidamente en el estado estable hasta que recibe una señal externa de disparo. Una vez disparado, cambia de estado y permanece en ese nuevo estado (llamado *inestable*) durante un tiempo, al cabo del cual retorna a su estado estable natural.

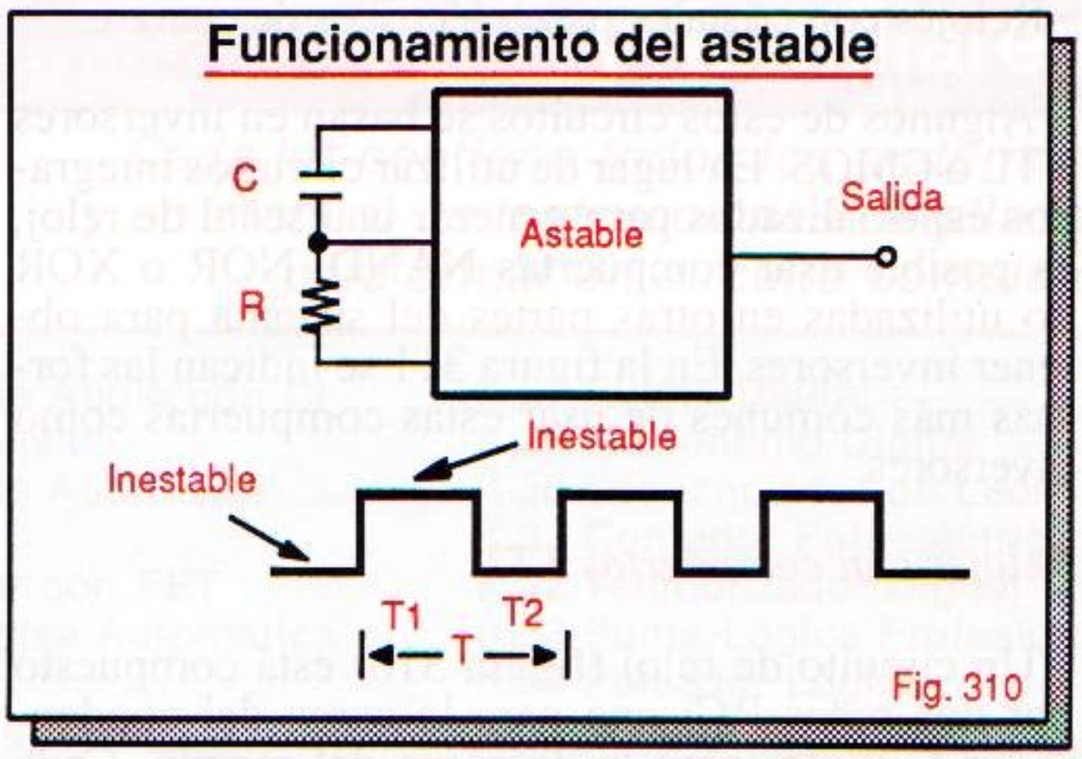
El tiempo que dura la salida en el estado inestable se programa, generalmente, mediante un circuito RC externo. Dependiendo del diseño, el disparo puede producirse por flancos de salida (pulsos positivos) o de bajada (pulsos negativos) y el estado inestable puede ser **alto (1)** ó **bajo (0)**.

Del mismo modo, la señal de disparo puede redisparar continuamente el dispositivo y mantenerlo indefinida o temporalmente en el estado inestable o dispararlo sólo después de que ha realizado la transición del estado inestable al estable. En el primer caso, se habla de monoestables *redisparables* y en el segundo de monoestables *no redisparables*.

La función principal del monoestable es temporizar o generar, en los sistemas digitales y electrónicos, lapsos de tiempo programables. Este tipo de circuitos, incluyendo los temporizadores programables, y sus aplicaciones, que son muy variadas, se estudiaron en la lección 16.



El multivibrador ***astable*** (figura 310), como su nombre lo indica, es un circuito que no tiene estados estables. Los dos posibles estados que puede tomar son de tipo inestable o temporal. La salida del circuito oscila o alterna entre los dos estados inestables (**alto** y **bajo**) a una frecuencia o *rata* constante, determinada por un circuito RC externo.



La señal generada por un astable se utiliza, por lo general, como patrón de tiempo o reloj para sincronizar el funcionamiento de los circuitos de tipo *secuencial*. La lógica que rige estos sistemas la desarrollaremos a partir de la lección 19. En la presente lección estudiaremos las formas de implementar astables en la práctica y aprenderemos a utilizarlos en una gran variedad de aplicaciones útiles.

Tipos de multivibradores astables

Los multivibradores astables o relojes se caracterizan, en general, por presentar en su salida dos estados inestables posibles: **alto** y **bajo**. Sin necesidad de una señal externa de disparo, el circuito oscila indefinidamente entre estos estados a una frecuencia constante. Por esta razón, los astables se conocen también como *osciladores*.

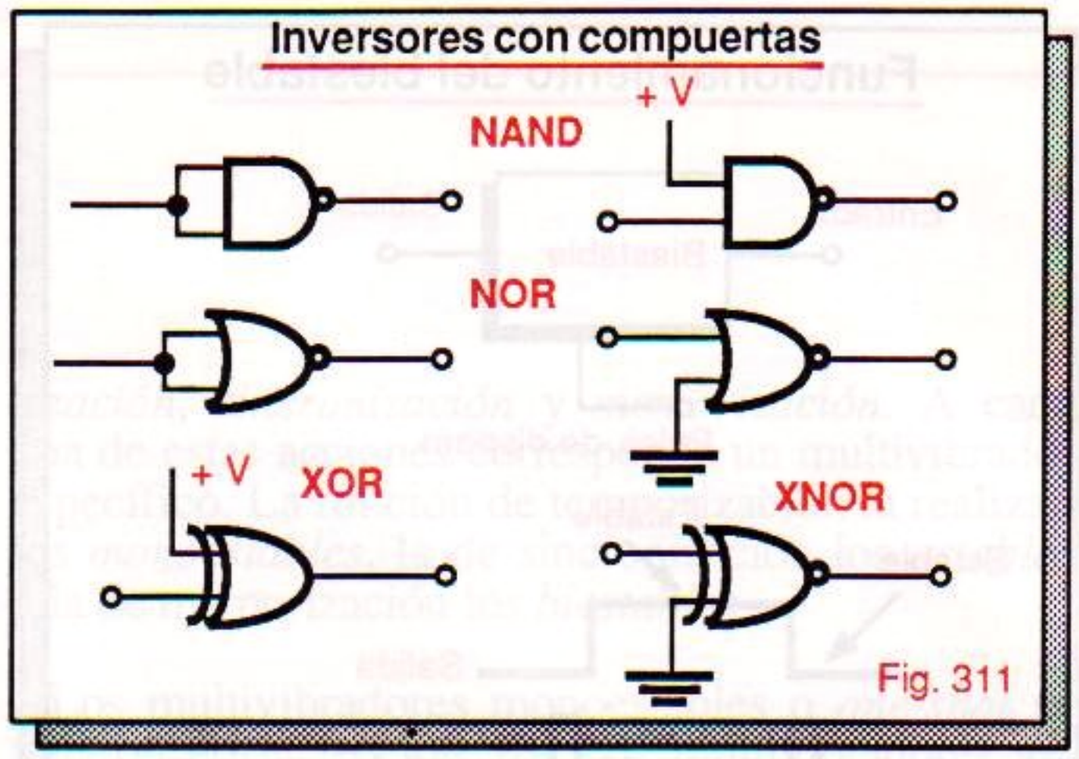
La señal digital generada por un astable (figura 310) se denomina *onda cuadrada* y se usa ampliamente para sincronizar sistemas digitales secuenciales. Entre la gran variedad de aplicaciones de este tipo de circuitos se destacan las siguientes:

- Generadores de pulsos
- Reloj (*clock*) de circuitos digitales
- Generadores de tono
- Generadores de secuencia
- Moduladores por anchura de pulsos (PWM)

Un multivibrador astable puede realizarse en la práctica con transistores bipolares (BJT), transistores de efecto de campo (FET), transistores de monojuntura (UJT) compuertas lógicas TTL o CMOS y circuitos integrados especiales. En esta lección estudiaremos los siguientes tipos de circuitos de reloj adecuados para aplicaciones digitales:

- Relojes con compuertas TTL.
- Relojes con compuertas CMOS.
- Relojes con compuertas *Schmitt trigger*.
- Relojes con compuertas *buffer*.
- Relojes con el circuito integrado 555.
- Relojes con circuitos integrados especializados.
- Relojes con cristales piezoeléctricos de cuarzo.

Algunos de estos circuitos se basan en inversores TTL o CMOS. En lugar de utilizar circuitos integrados especializados para generar una señal de reloj, es posible usar compuertas NAND, NOR o XOR no utilizadas en otras partes del sistema para obtener inversores. En la figura 311 se indican las formas más comunes de usar estas compuertas como inversores.



Relojes con compuertas TTL

Un circuito de reloj (figura 310) está compuesto por dos redes RC: una para la carga del condensador C y otra para la descarga del mismo. Cada uno de estos procesos de carga y descarga genera un tiempo que, a su vez, determina la duración de los estados inestables (T1 y T2).

El período (**T**) de la onda cuadrada resultante es igual a la suma de los dos tiempos transcurridos (**T=T1+T2**). Si estos tiempos son iguales (**T1=T2**), se dice que la onda cuadrada generada es *simétrica* y si son diferentes (**T1≠T2**), la onda resultante es *asimétrica*. Los conceptos de onda simétrica y asimétrica se introdujeron en la lección 13.

El mecanismo de carga y descarga del condensador, con el fin de generar los dos estados inestables, se puede implementar usando compuertas TTL. Existen dos formas de usar la circuitería interna de la compuerta para este fin: como comparador o detector de nivel de voltaje y como amplificador *lineal*.

Como se verá, la segunda opción es más ventajosa y, por tanto, la más adecuada para construir relojes de alta velocidad.

En la figura 312 se muestra un circuito de reloj realizado con inversores TTL trabajando como comparadores de voltaje. Utilizaremos este sencillo circuito sólo para explicar el principio de funcionamiento de los astables. Más adelante, se presentarán circuitos de mayor utilidad práctica. La forma como opera un comparador de voltaje se explicó en la lección 14.

Inicialmente, el condensador C se encuentra descargado y el voltaje entre su terminales (Vc) es de cero (0) voltios. Por tanto, en el momento de conectar el voltaje de alimentación (Vcc= 5V), este condensador se comportará como un corto circuito, aplicando un nivel **bajo** a la entrada del inversor A3.

Como resultado de lo anterior, en la salida del inversor A3 se tendrá, entonces, un nivel **alto**, el cual se aplica a la entrada del inversor A1. La salida del inversor A2 será, por tanto, **alta**. De esta manera, el circuito RC queda alimentado con un nivel de voltaje **alto**. El condensador comienza entonces, a cargarse desde 0V y en dirección del voltaje de alimentación (5V).

Cuando el condensador alcanza el voltaje que la compuerta A3 identifica como una entrada **alta** (VIH= 2.0: ver lección 8), se produce un cambio en

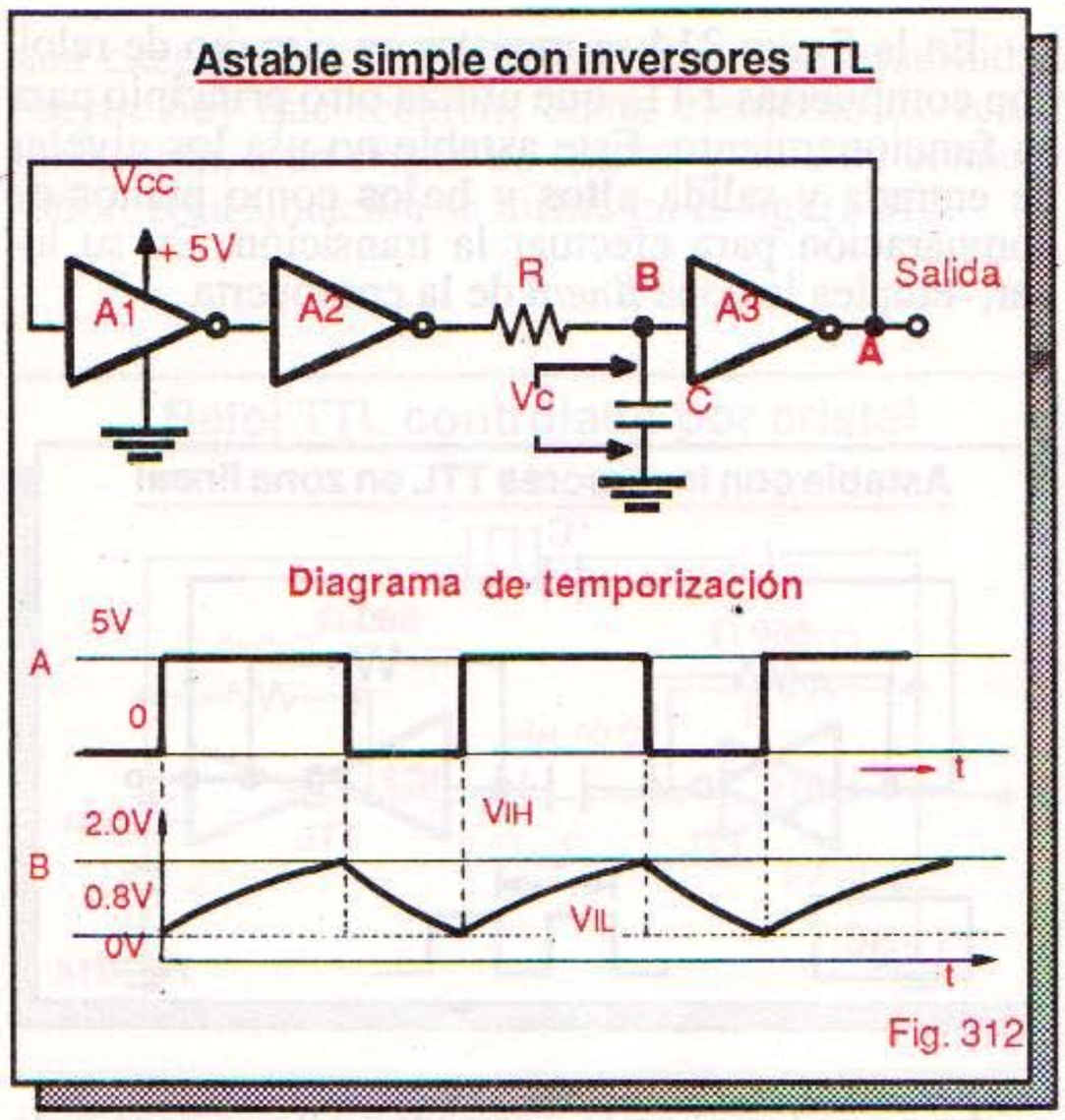


Fig. 312

la salida de A3 de **alto** a **bajo**, el cual se comunica a la entrada del inversor A1. Por tanto, la salida del inversor A2 será **baja**.

En este momento, se le aplica a la red RC un voltaje igual a cero (0) voltios. El condensador comienza, entonces, a descargarse. Cuando el voltaje en el mismo (Vc) llega al nivel que la compuerta A3 identifica como una entrada **baja** (V_{IL}=0.8 V), ésta cambia de estado y, en la salida de A3, se tendrá un nivel **alto** nuevamente.

Como resultado, la salida del inversor A2 es, también, **alta** y, por tanto, el condensador C inicia, otra vez, su carga hacia un valor positivo de voltaje. El proceso se repite constantemente, generando, de ésta manera, una onda cuadrada de una frecuencia que depende de los valores de R y C, la cual se puede determinar en cualquier momento.

Para calcular la frecuencia de oscilación del reloj de la figura 312, se procede de la siguiente manera:

1. Por definición:

$$T = \frac{1}{f}$$

En esta expresión, **T** es el período en segundos (s) y **f** la frecuencia en Hertz (Hz). Si **f** está en Kilohertz (KHz), **T** quedará expresado en milisegundos (ms). Si la frecuencia se expresa en Megahertz (MHz), el período resultante estará en microsegundos (µs).

2. Matemáticamente, se puede demostrar que, si V_{IH}=2V (valor típico), entonces:

$$T/2 \approx 0.7 \times R \times C$$

En esta expresión, **T** es el período en segundos (s) si el valor de **R** se expresa en Ohmios (Ω) y el de **C** en Faradios (F). Si R está en kilo-ohmios (KΩ) y C en microfaradios (µF), que es el caso más usual, T resulta expresado en milisegundos.

3. Se asume un valor cualquiera (comercial) para el condensador C y, de la expresión anterior, se obtiene el valor de R. Es decir:

$$R = \frac{T/2}{0.7 \times C} = \frac{T}{1.4 \times C}$$

Si el valor resultante de R no es comercial o está muy alejado del valor comercial más próximo, puede asumirse otro valor para C y repetir el cálculo o buscar una combinación (en serie o en paralelo) de resistencias comerciales que sea equivalente al valor deseado. El ejemplo de la página 198 aclara el uso de la fórmula anterior.

En la tabla 17-1 se relacionan los valores de acuerdo a las cuales se fabrican las resistencias de composición de carbón (las más comunes) en las series de tolerancias del 5% (última banda dorada), 10% (última banda plateada) y 20% (última banda ausente). Esta tabla es muy importante para diseñar circuitos electrónicos de todo tipo, incluyendo astables y monoestables.

Por ejemplo, en la gama de 5K a 10K se consiguen resistencias, con una tolerancia del 5%, de 5.1K, 5.6K, 6.2K, 6.8K, 7.5K, 8.2K, 9.1K y 10K. Del mismo modo, en la banda de 100K a 200K, existen resistencias, con una tolerancia del 10%, de 100K, 120K, 150K y 180K, únicamente. Estos valores se denominan *series preferentes*.

Valores comerciales de resistencias

Tolerancia	Series preferentes
5%	10 15 22 33 47 68 11 16 24 36 51 75 12 18 27 39 56 82 13 20 30 43 62 91
10%	10 15 22 33 47 68 12 18 27 39 56 82
20%	10 15 22 33 47 68

Tabla 17-1

Ejemplo. Diseñar un circuito de reloj para generar una onda cuadrada de 1 KHz (1000 Hz).

Solución. Aplicando el procedimento anterior, obtenemos:

$$\mathbf{T}\ [ms] = \mathbf{1/f}\ [KHz] = 1/1 = 1\ ms$$

$$T/2 = 0.5\ ms$$

La notación "T [ms]" debe leerse como "T expresado en milisegundos" y la notación "f[KHz]" como "f expresado en kilohertz". Asumiendo un condensador C de 0.01 µF, tenemos:

$$T/2[ms] = 0.7 \times C[\mu F] \times R[K\Omega]$$
$$0.5 = 0.7 \times 0.01 \times R[K\Omega]$$

Por tanto:

$$\mathbf{R}\ [K\Omega] = 0.5/(0.7 \times 0.01) = \mathbf{72\ K\Omega}$$

Es decir, se necesita un condensador **C** de 0.01µF y una resistencia **R** de 72 KΩ para obtener una frecuencia **f** de 1 KHz con el circuito de la figura 312. El valor de R (72 KΩ) no es comercial pero se puede obtener, por ejemplo, conectando una resistencia de 62KΩ en serie con una de 10KΩ o cualquier otra combinación equivalente a 72K.

En la figura 313 se tiene el mismo circuito astable básico de la figura 312, pero se han sustituido los inversores A1 y A2 por una compuerta AND. Así, es posible controlar el proceso de arranque de la oscilación de acuerdo al estado de la señal de control **A**. Si **A** es **alta,** el circuito se habilita y hay oscilación. De lo contrario, si A es **baja**, no se tiene señal de reloj. Este circuito es un ejemplo de reloj *gatillado*.

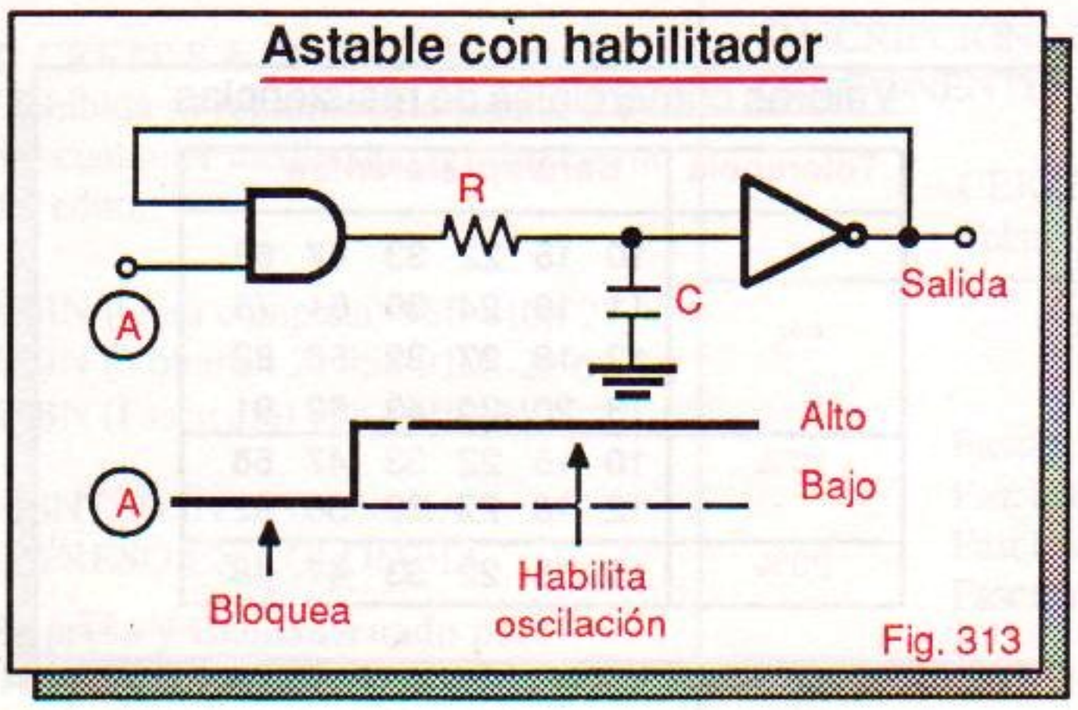


Fig. 313

En la figura 314 se muestra un circuito de reloj, con compuertas TTL, que utiliza otro principio para su funcionamiento. Este astable no usa los niveles de entrada y salida **altos** y **bajos** como puntos de comparación para efectuar la transición. En su lugar, emplea la zona *lineal* de la compuerta.

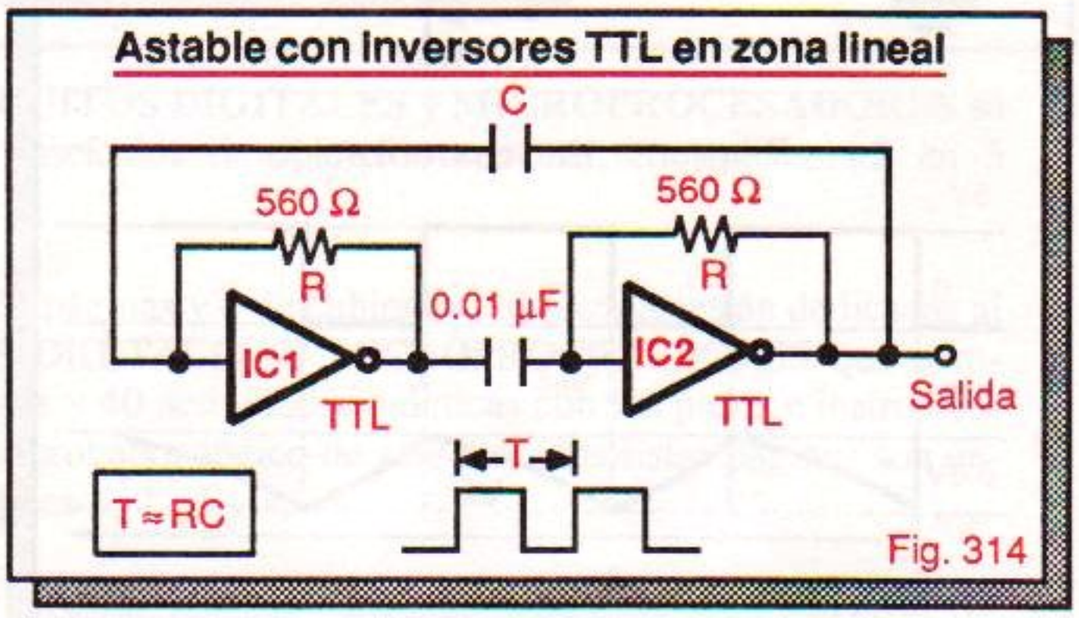


Fig. 314

La zona lineal es la gama de voltajes dentro de la cual cada inversor se comporta como un amplificador. Una ligera variación del voltaje de entrada por debajo de 2.5V, aproximadamente, (por ejemplo de 2.5V a 2.4 V), provoca que la salida se haga **alta** (casi 5V) y viceversa.

En otras palabras, la *realimentación* introducida por la resistencia de 560 Ω, transforma, a cada inversor, en un amplificador de alta ganancia. El acople entre los dos inversores, convertidos en amplificadores, se realiza por medio del condensador de 0.01 µF.

La red de realimentación, que determina la frecuencia de oscilación, es el condensador C conectado entre la salida del reloj y la entrada del primer inversor. En este caso, el período T (en ms), es aproximadamente igual al producto **RxC**, estando R expresada en KΩ y C en µF.

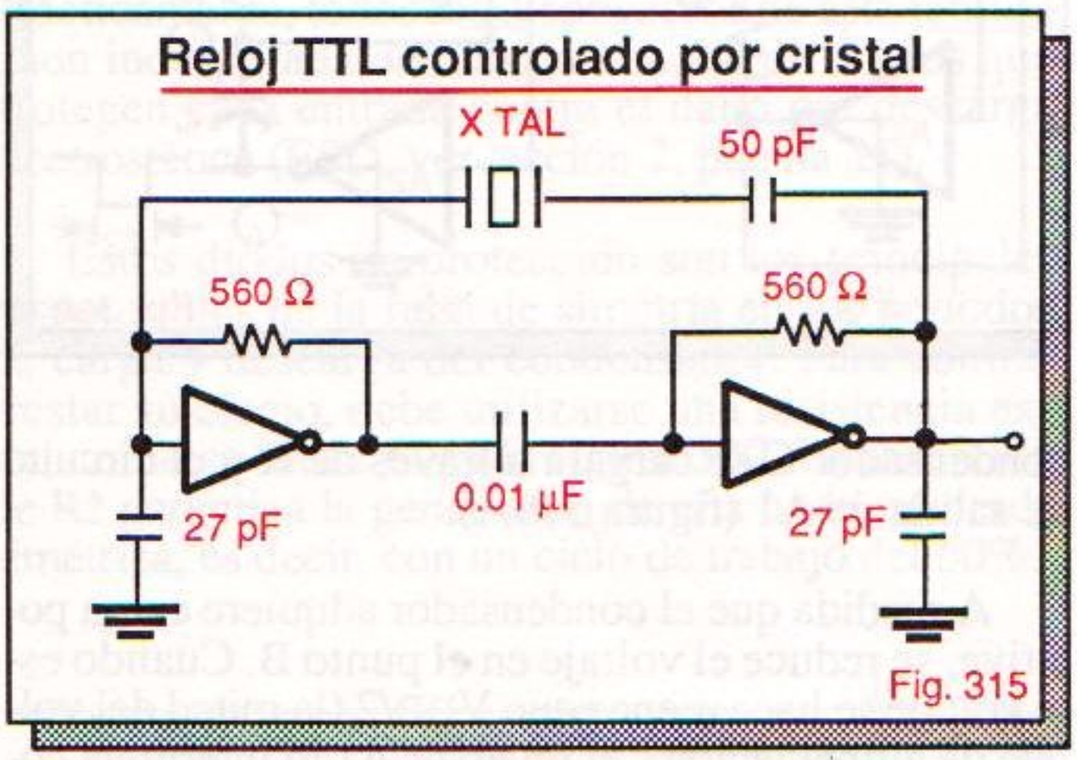
Por ejemplo, si R=560Ω=0.56 KΩ y C=0.05 µF, entonces T=0.56x0.05 = 0.028 ms, lo cual corresponde a una frecuencia (f) de 35 KHz, aproximadamente.

Relojes TTL controlados por cristal

La estabilidad que puede ofrecer un oscilador RC como los anteriores es del orden de un 0.1%. Esto significa que por cada 100 Hz, la frecuencia de la señal generada puede variar hasta 0.1 Hz con respecto a su valor nominal. Por ejemplo, si oscila a 100 KHz, la frecuencia real puede estar entre 99.9 KHz y 100.1 KHz.

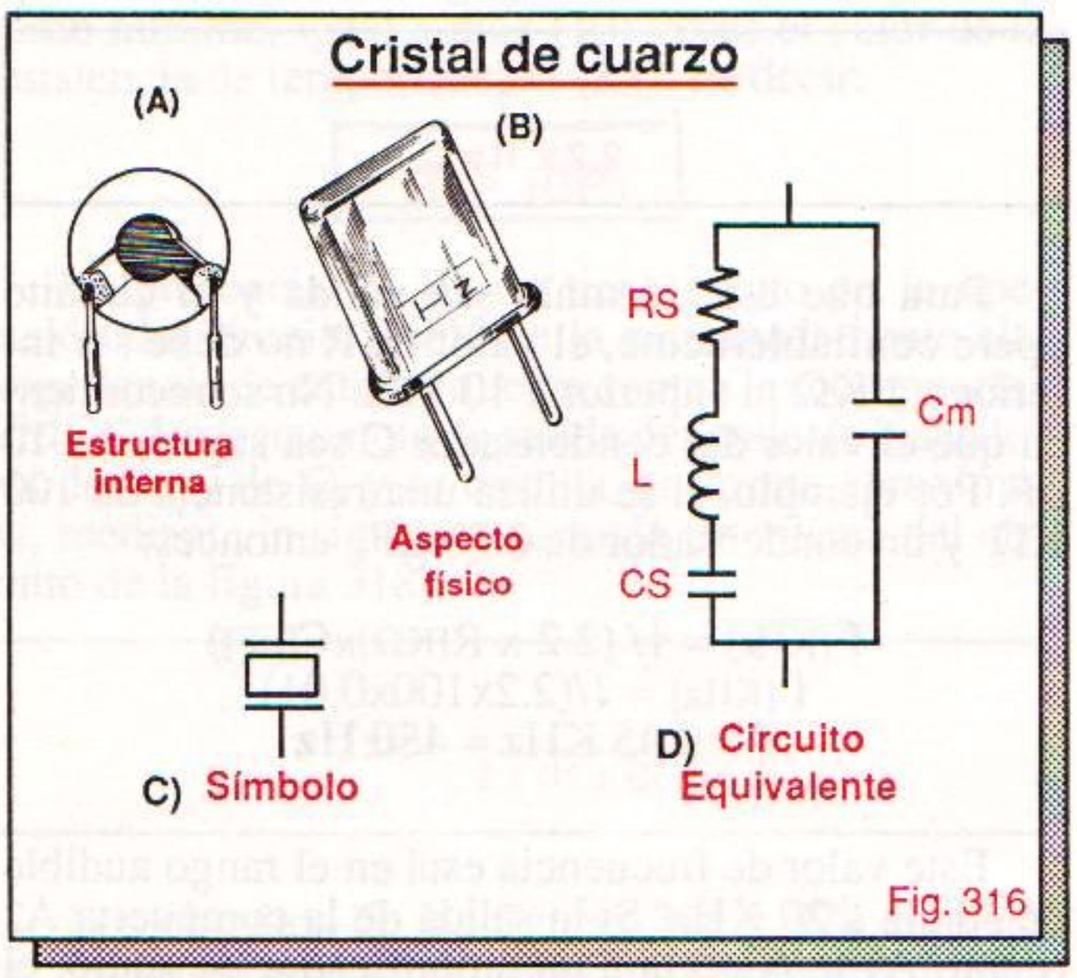
En algunas aplicaciones, esta precisión es suficiente y los circuitos de las figuras 313 y 314 son

una excelente opción. Si se desea una estabilidad mayor hay que recurrir, como elemento de realimentación, a un *cristal de cuarzo* y no a un condensador. Esta situación se ilustra en la figura 315.



El *cristal de cuarzo* (figura 316) tiene una composición química similar a la del vidrio. Un cristal de cuarzo se corta y se pule a unas determinadas dimensiones para que pueda vibrar a una cierta frecuencia. La frecuencia a la cual vibra un cristal depende, básicamente de su espesor , y es muy estable, no siendo afectada por la temperatura y otros factores.

Los cristales de cuarzo se tallan a partir de un cristal matriz y su aspecto final es el de una laminilla muy delgada, de forma circular, cuadrada, rectangular o anular. Para su uso, se encierran en un blindaje metálico del cual sobresalen los terminales de acceso. Es posible alterar la frecuencia original de un cristal limando cuidadosamente parte de su perfil, pero se corre el riesgo de dejarlo inservible.



Los cristales de cuarzo se utilizan en sistemas digitales, equipos de comunicaciones y otras aplicaciones de la tecnología electrónica. Para una mayor información sobre la teoría de los cristales de cuarzo y sus aplicaciones en el campo de las comunicaciones, remitimos al lector al *Curso de Radio AM-FM, Banda Ciudadana y Radioafición* de CEKIT.

El cuarzo es un elemento *piezoeléctrico*. Lo anterior significa que genera una señal eléctrica cuando se somete a una tensión mecánica (presión) y que vibra, a una frecuencia particular, cuando se aplica una tensión eléctrica (voltaje) entre sus terminales. Este fenómeno se denomina *efecto piezoeléctrico*.

Desde el punto de vista práctico, un cristal de cuarzo es equivalente al circuito de la figura 316-D. Quienes están familiarizados con filtros y otros circuitos análogos, reconocerán que se trata de un tanque resonante RLC de muy alto Q, aproximadamente igual a 10.000, y de muy alta estabilidad. Estos factores lo convierten en un elemento ideal para estabilizar circuitos osciladores.

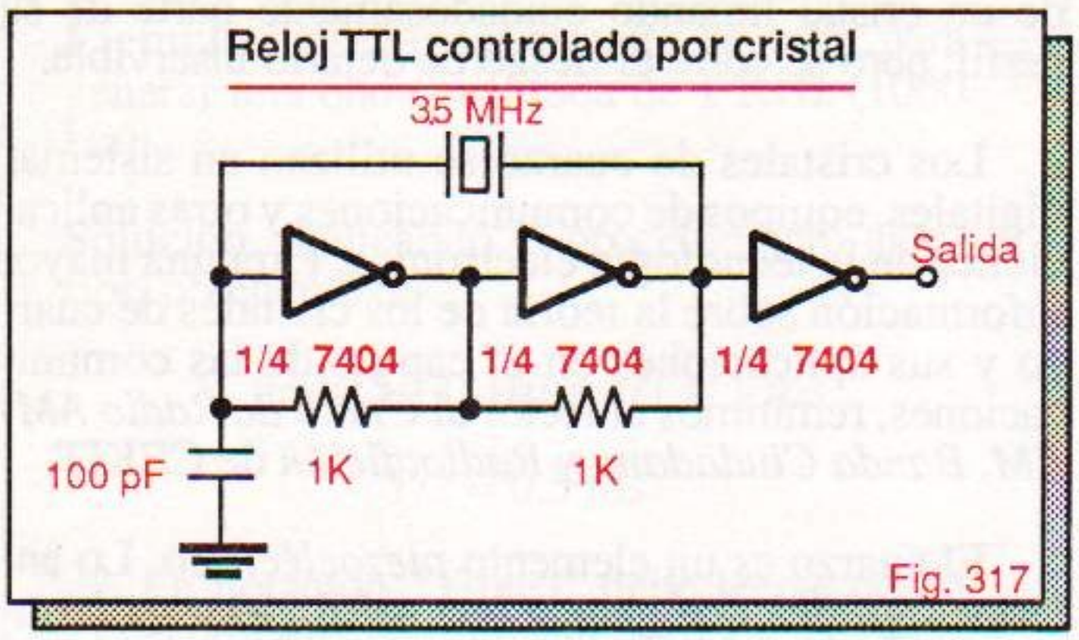
Los cristales de cuarzo se consiguen para frecuencias desde 10 KHz hasta 210 MHz. Los más utilizados son los cristales de 100 KHz, 1.0 MHz, 2.0 MHz, 4.0 MHz, 5.0 MHz y 10 MHz. Uno de los cristales de más fácil consecución es el de 3.579545 MHz, utilizado para sincronizar los pulsos del oscilador que controla los colores en los televisores.

Los relojes de pulsera de cuarzo (*quartz*, en inglés), utilizan un cristal que oscila a 32.768 KHz. Si esta frecuencia se divide por 2^{15} (32768), se obtiene una oscilación, muy estable, de 1 Hz.

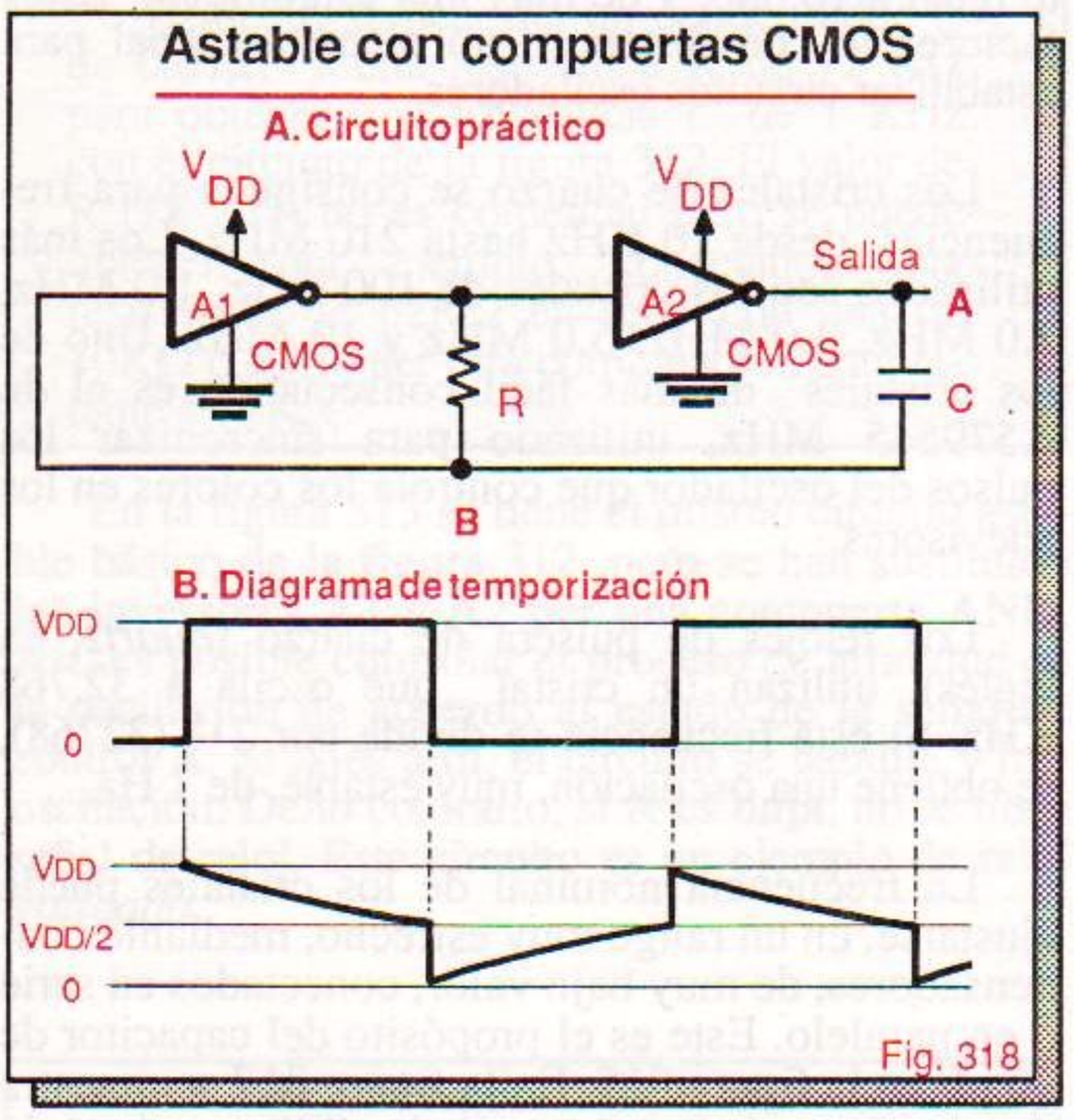
La frecuencia nominal de los cristales puede ajustarse, en un rango muy estrecho, mediante condensadores, de muy bajo valor, conectados en serie o en paralelo. Este es el propósito del capacitor de 50 pF en la figura 315. En la figura 317 se muestra un circuito práctico de oscilador TTL a cristal de 3.5 MHz, adecuado para aplicaciones de precisión.

Relojes CMOS

Los relojes CMOS se caracterizan por consumir menos potencia y operar dentro de un rango de voltajes más amplio que los relojes TTL. Como en estos últimos, también es posible usar las compuertas CMOS como comparadores de nivel de voltaje o como amplificadores lineales de alta ganancia para generar la oscilación.

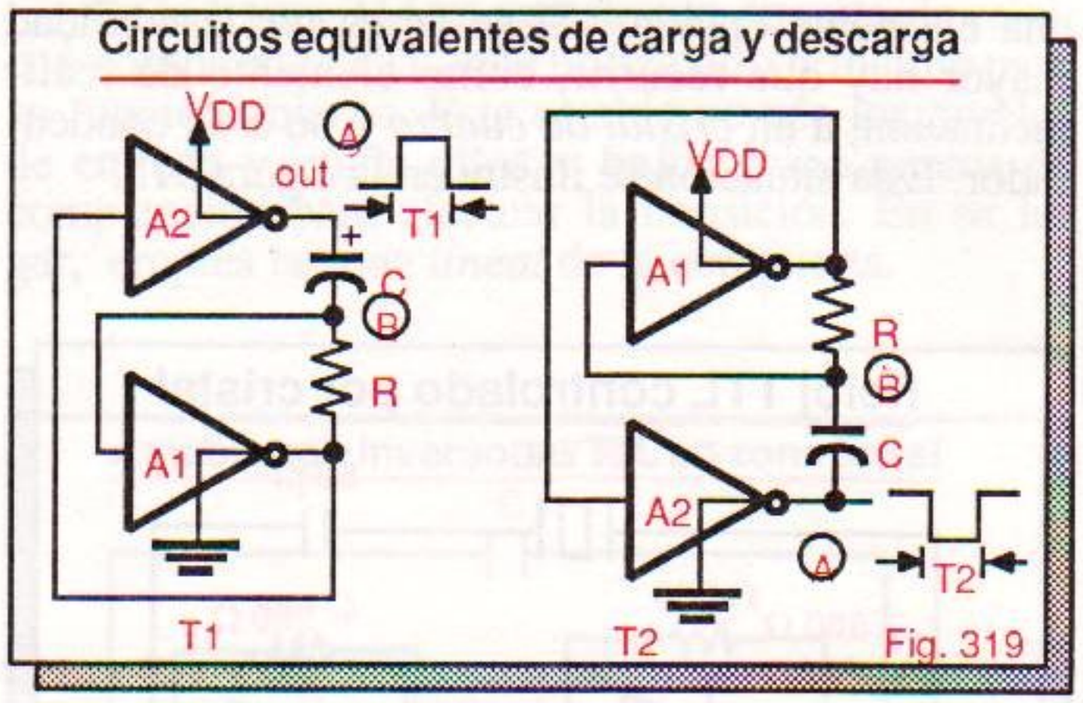


En la figura 318 se muestra el circuito CMOS más comúnmente utilizado como generador de pulsos de reloj. Está basado en inversores o en compuertas conectadas como inversores. Las compuertas SSI más empleadas para este propósito son los circuitos integrados CD4001 (NOR) y 4011 (NAND). Se incluye también el diagrama de temporización.



El circuito de la figura 318 es similar, en su estructura, al oscilador TTL de la figura 317, pero su frecuencia la determina un circuito RC y no un cristal. Dependiendo del estado de las salidas de los inversores A1 y A2, el condensador C se cargará o descargará siempre a través de la resistencia R y los circuitos de salida de estas compuertas.

En el instante de aplicar potencia al circuito, el condensador C se comporta como un corto circuito. Suponiendo que la salida de A2 es **alta**, la salida de A1 será, por consiguiente **baja**. De esta manera el



condensador C se cargará a través de R y el circuito de salida de A1 (figura 319A).

A medida que el condensador adquiere carga positiva, se reduce el voltaje en el punto B. Cuando este voltaje se hace menor que VDD/2 (la mitad del voltaje de alimentación), el inversor A1 lo interpreta como una entrada **baja** (VIL) y su salida cambia de estado, haciéndose **alta**. Esto provoca que la salida del inversor A2 (punto A) se haga **baja**.

Bajo esta circunstancia, el condensador C pierde su carga y adquiere otra de sentido contrario, cargándose a través de R y el circuito de salida de A2 (figura 319-B). Cuando el voltaje sobre C alcanza un valor igual o mayor a VDD/2, la salida del inversor A1 cambia de estado, haciéndose **baja**.

Lo anterior provoca que la salida del inversor A2 (punto A) se haga **alta**, reiniciándose el ciclo de oscilación. La operación del circuito se resume en el diagrama de temporización de la figura 318-B. La frecuencia de la señal de salida depende de los valores de R y C, y se evalúa mediante la siguiente fórmula:

$$f = \frac{1}{2.2 \times R \times C}$$

Para que esta fórmula sea válida y el circuito opere confiablemente, el valor de R no debe ser inferior a 1 KΩ ni superior a 10 MΩ. No se recomienda que el valor del condensador C sea superior a 10 µF. Por ejemplo, si se utiliza una resistencia de 100 KΩ y un condensador de 0.01 µF, entonces:

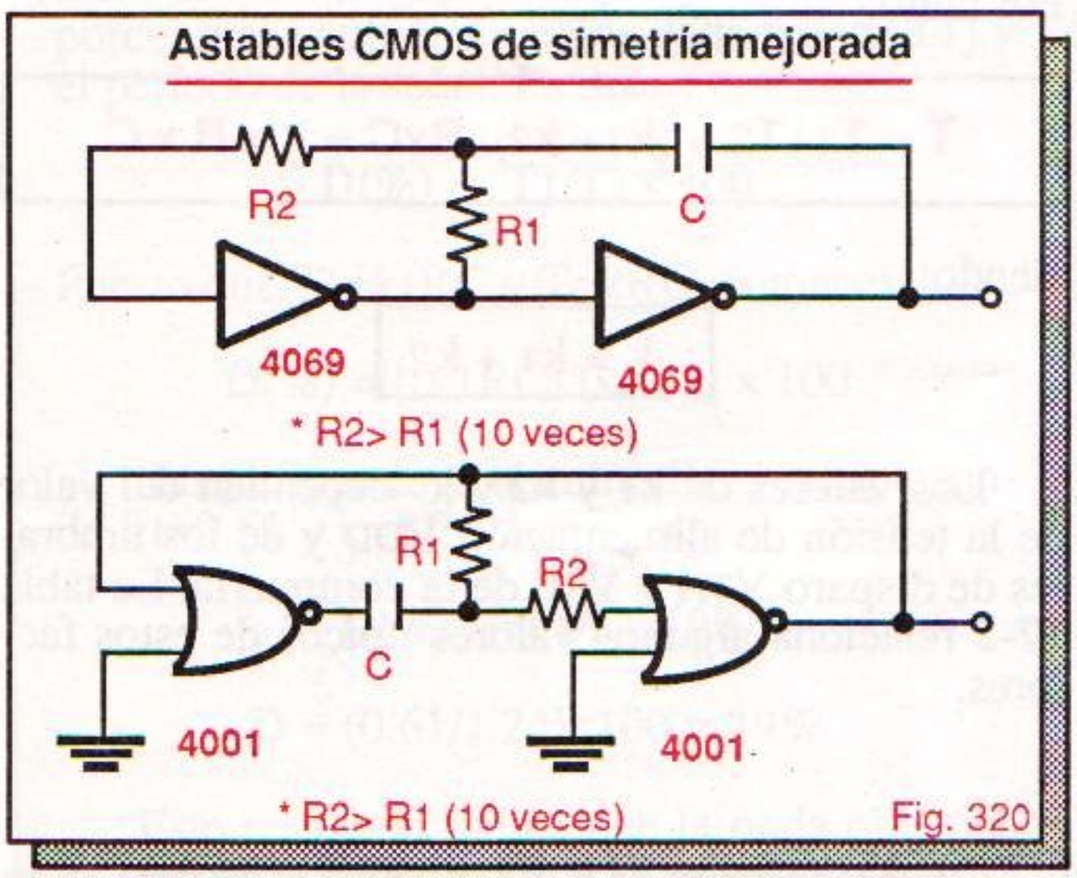
$$f\ [KHz] = 1/\ (2.2 \times R[K\Omega] \times C[\mu F])$$
$$f\ [KHz] = 1/(2.2 \times 100 \times 0.01)$$
$$f = 0.45\ KHz \approx \mathbf{450\ Hz}$$

Este valor de frecuencia está en el rango audible de 20 Hz a 20 KHz. Si la salida de la compuerta A2 (punto A) se conecta a un amplificador de audio, el

tren de pulsos presente en ese punto se reproducirá en el parlante como un tono audible de 450 Hz.

El circuito de la figura 318 genera una onda cuadrada un tanto asimétrica (T1≠T2) a causa de la construcción interna de las compuertas CMOS. Prácticamente, todos los dispositivos de esta familia traen incorporada de fábrica una red de diodos que protegen cada entrada contra el daño por descarga electrostática (ESD, ver lección 2, página 25).

Estos diodos de protección son los principales responsables de la falta de simetría en los períodos de carga y descarga del condensador. Para contrarrestar su efecto, debe utilizarse una resistencia extra, como se muestra en la figura 320. La inserción de R2 garantiza la generación de una onda cuadrada simétrica, es decir, con un ciclo de trabajo del 50%.



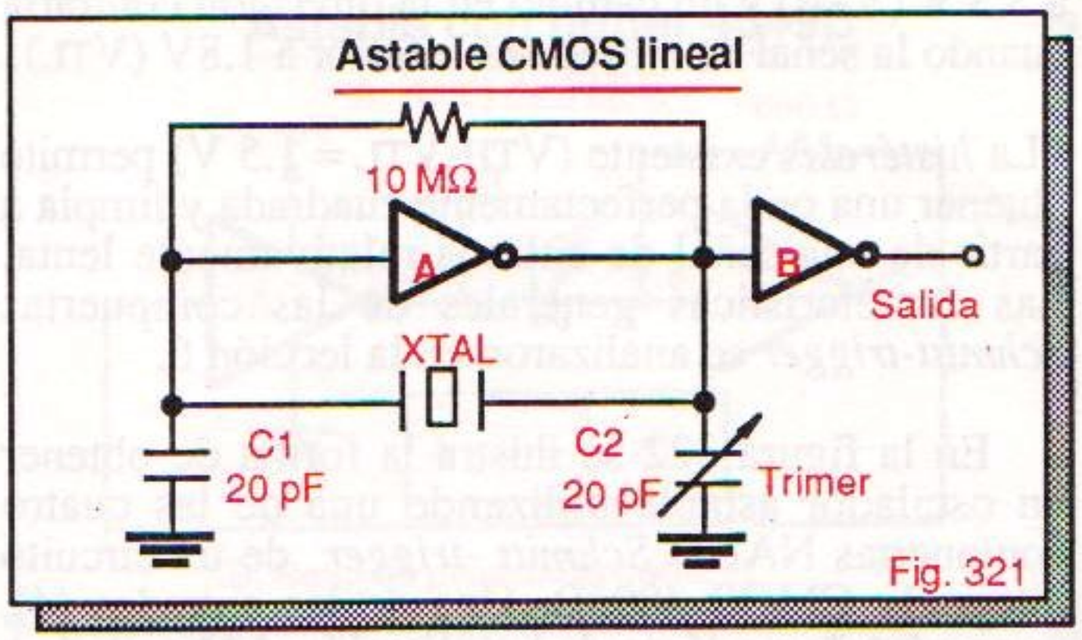
Se recomienda elegir R2 de tal modo que sea, como mínimo, igual a diez (10) veces el valor de la resistencia de temporización (R1). Es decir:

$$R2 \geq 10R1$$

La presencia de R2 no tiene efecto en la operación del circuito debido a la extremadamente alta impedancia de entrada que presentan las compuertas CMOS. La frecuencia de salida depende de los valores de R1 y de C, y se calcula, en forma aproximada, mediante la siguiente fórmula (la misma del circuito de la figura 318):

$$f = \frac{1}{2.2 \times R1 \times C}$$

Los circuitos de las figuras 318 y 320 emplean las compuertas CMOS como comparadores de voltaje. En la figura 321 se tiene un oscilador astable, controlado por cristal, el cual utiliza una compuerta CMOS convertida en un amplificador lineal de alta ganancia mediante una resistencia de 10 MΩ conectada entre la entrada y la salida.



La frecuencia de oscilación la determina el cristal ubicado en la trayectoria de realimentación y se puede ajustar en un rango limitado (1 KHz por MHz, típicamente) mediante el condensador variable (*trimmer*) C2. El circuito constituido por C1, C2 y el cristal se denomina una *red pi,* por analogía con la forma de esta letra griega (Π).

El inversor B se utiliza como *buffer*, evitando que el circuito externo al cual va dirigida la señal de salida de la compuerta A cargue excesivamente el oscilador. Este circuito opera más eficientemente cuando se opera con tensiones de alimentación superiores a 4.5 V (por ejemplo, 9V).

Relojes con compuertas Schmitt trigger

Hay otra vía para implementar circuitos de reloj usando compuertas CMOS: emplear una compuerta del tipo *Schmitt trigger*. Como sabemos, una compuerta *Schmitt trigger* es un circuito digital que cambia de valores o estados únicamente con voltajes de entrada muy específicos llamados *umbrales*.

Designaremos el umbral positivo como **VTH** y el negativo como **VTL**. Los valores de VTH y VTL dependen del voltaje de alimentación (+VDD) y varian ligeramente de un fabricante a otro.

Por ejemplo, para el CD4093B de National, si +VDD = 5 V, entonces VTH = 3.3 V y VTL = 1.8 V. Del mismo modo, cuando +VDD = 10 V, entonces VTH = 6.2 V y VTL = 4.1 V. Así mismo, si +V= 15 V, entonces VTH= 9.0 V y VTL = 6.3 V. Estos valores son típicos.

Suponiendo una tensión de alimentación +V = 5 V, lo anterior significa que en la salida de la compuerta *Schmitt-trigger* se produce un cambio en una dirección cuando la señal de entrada es superior

a 3.3 V (VTH) y un cambio en la dirección contraria cuando la señal de entrada es inferior a 1.8V (VTL).

La *histéresis* existente (VTH-VTL = 1.5 V) permite obtener una onda perfectamente cuadrada y limpia a partir de una señal de entrada relativamente lenta. Las características generales de las compuertas *Schmitt-trigger* se analizaron en la lección 6.

En la figura 322 se ilustra la forma de obtener un oscilador astable utilizando una de las cuatro compuertas NAND *Schmitt -trigger* de un circuito integrado CMOS 4093B. Una de las entradas (4), se emplea como línea de habilitación del oscilador. La otra entrada (2), conectada a un circuito RC, controla la acción del circuito.

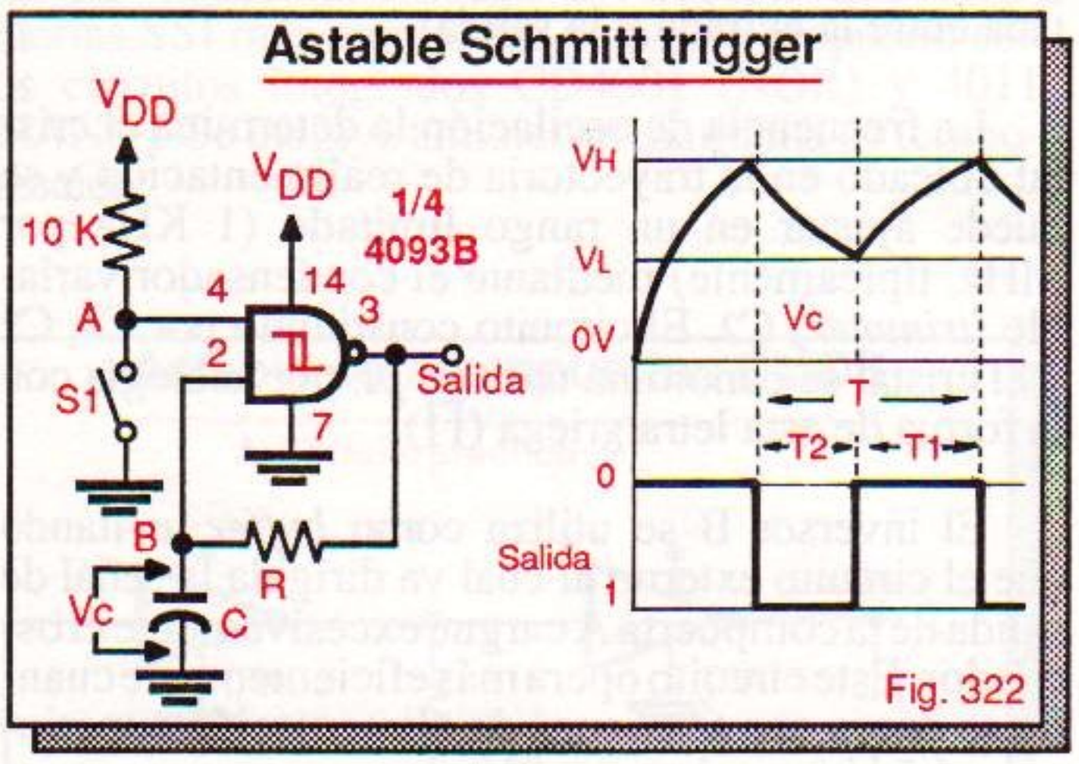


Fig. 322

Cuando el interruptor S1 está abierto, la entrada 4 recibe un **alto** a través de la resistencia de 10K y el oscilador opera normalmente. Cuando S1 se cierra, la salida del reloj se inhibe y adopta un estado **alto** permanente. El funcionamiento del circuito se puede comprender más fácilmente analizando su diagrama de temporización (figura 322-B).

En el momento de aplicar el voltaje de alimentación VDD, el condensador C se encuentra descargado. Por esta razón, aplica un nivel **bajo** a la entrada 2 de la compuerta y su salida será, por tanto, **alta**. El condensador C entonces inicia su proceso de carga hacia un voltaje positivo a través de R.

Cuando el voltaje del condensador (VC) alcanza el nivel o umbral que la compuerta identifica como **alto** (VTH=3.3 V, con VDD=5 V), la salida de esta última cambia de estado y se hace **baja**. Bajo esta condición, el condensador se descarga a través de R hasta alcanzar el umbral de voltaje que la compuerta identifica como **bajo** (VTL=1.8 V, con VDD = 5V).

Cuando esto sucede, la compuerta cambia nuevamente de estado y su salida se hace **alta**, repitiéndose el mismo proceso. Así, se obtiene en la salida del circuito una onda cuadrada *asimétrica*, de frecuencia constante. Para un determinado voltaje de alimentación, el valor de esta frecuencia depende de los valores de R y C, y se evalúa así:

1. Período:

$$T = T_1 + T_2$$

En esta expresión, T1 es el tiempo de carga de C1 y T2 el tiempo de descarga del mismo. El primero (T1) determina el ancho del pulso y el segundo (T2) su intervalo. Los valores de T1 y T2 se calculan como sigue:

$$T_1 = k_1 \times R \times C \qquad T_2 = k_2 \times R \times C$$

Por tanto:

$$T = T_1 + T_2 = (k_1 + k_2) \times R \times C = k \times R \times C$$

siendo:

$$k = k_1 + k_2$$

Los valores de k1 y k2 y k dependen del valor de la tensión de alimentación VDD y de los umbrales de disparo VTH y VTL de la compuerta. La tabla 17-2 relaciona algunos valores típicos de estos factores.

Valores típicos de K, K1, K2 para el 4093B

V_{DD}	+ 5V	9V	10V	15V
K1	0.61	0.42	0.41	0.36
K2	0.63	0.49	0.44	0.37
K	1.24	0.91	0.85	0.73

Tabla 17-2

El siguiente ejemplo aclara el uso de las fórmulas anteriores.

Ejemplo. Determine la frecuencia de oscilación y el ciclo de trabajo de un reloj CMOS que utiliza una compuerta *Schmitt-trigger* 4093B, una resistencia de 10 K y un condensador de 0.47 µF. El circuito opera a partir de un

voltaje de alimentación de 5 V y tiene la misma estructura básica de la figura 322.

Solución. En este caso, k1=0.61, K2=0.63 y k=1.24. Remplazando R=10 KΩ y C=0.47 µF en la fórmula del período, obtenemos:

$$T\ [ms] = k \times R[K\Omega] \times C[\mu F]$$
$$T\ [ms] = 1.24 \times 10 \times 0.47$$
$$\mathbf{T = 5.83\ ms}$$

La frecuencia correspondiente a este período será, por tanto:

$$f[KHz] = 1/T[ms] = 1/5.83 = 0.17\ KHz$$
$$\mathbf{f = 170\ Hz}$$

El circuito oscila, entonces, a una frecuencia (audible) de 170 Hz. Como sabemos, el ciclo de trabajo (D) es simplemente la relación porcentual entre el ancho de cada pulso (T1) y el período de la señal. Es decir:

$$D(\%) = (T1/T) \times 100$$

Puesto que T1=k1RC y T=kRC, entonces:

$$D(\%) = [(k1RC)/(kRC)] \times 100$$

Simplificando el término RC y remplazando k1=0.61 y k=1.24, se obtiene:

$$\mathbf{D(\%) = (k1/k) \times 100}$$

$$\mathbf{D} = (0.61/1.24) \times 100 = \mathbf{49\%}$$

Este resultado indica que la onda obtenida es ligeramente asimétrica. Recuerde que para una onda simétrica, perfectamente cuadrada, D=50%. En general, en todos relojes CMOS *Schmitt-trigger* que obedecen a la estructura de la figura 322, T1≠T2, obteniendose necesariamente una onda asimétrica.

Relojes con compuertas buffer

El uso de *buffers* constituye una de las mejores alternativas para obtener relojes CMOS rápidos y con buena capacidad de corriente. En la figura 323 se muestran dos configuraciones típicas de osciladores *buffer* basados en el CI 4049B: un reloj de alta frecuencia y un reloj de propósito general. En este último caso, la frecuencia de salida es:

$$f = \frac{1}{2.2 \times R \times C}$$

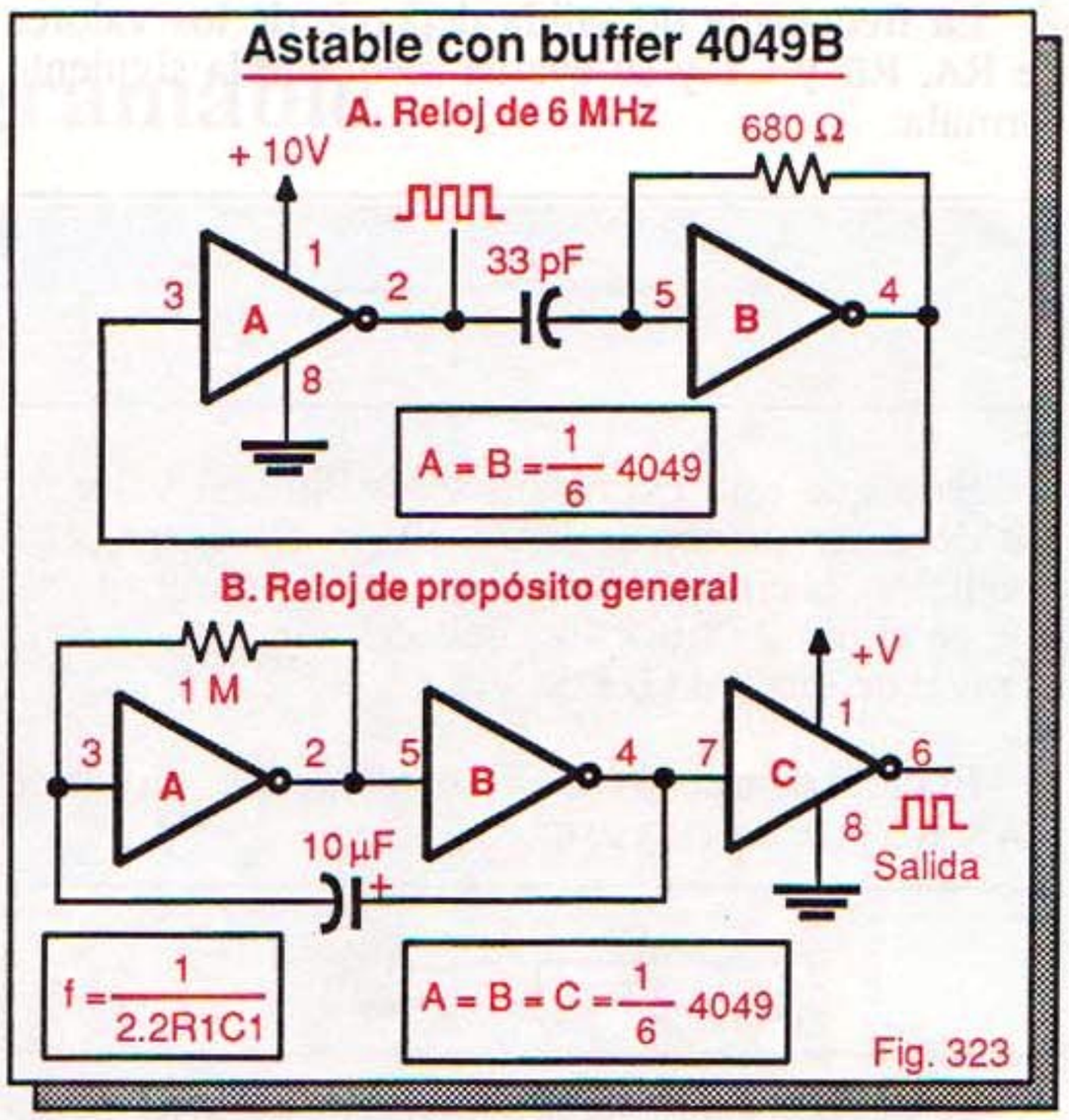


Fig. 323

Relojes con el circuito integrado 555

El 555 es, sin duda, uno de los *chips* más versátiles desarrollados hasta el momento para la generación de tiempos. Utiliza tecnología bipolar y es compatible con lógica TTL y CMOS. Opera con tensiones de alimentación desde 4.5 V hasta 18V y puede manejar corrientes de salida hasta de 200 mA.

En la figura 324 se muestra la forma de utilizar el circuito integrado 555 en el modo astable, es decir, como generador de pulsos de reloj. La operación detallada de este circuito puede consultarse en la lección 14 (páginas 157 a 160).

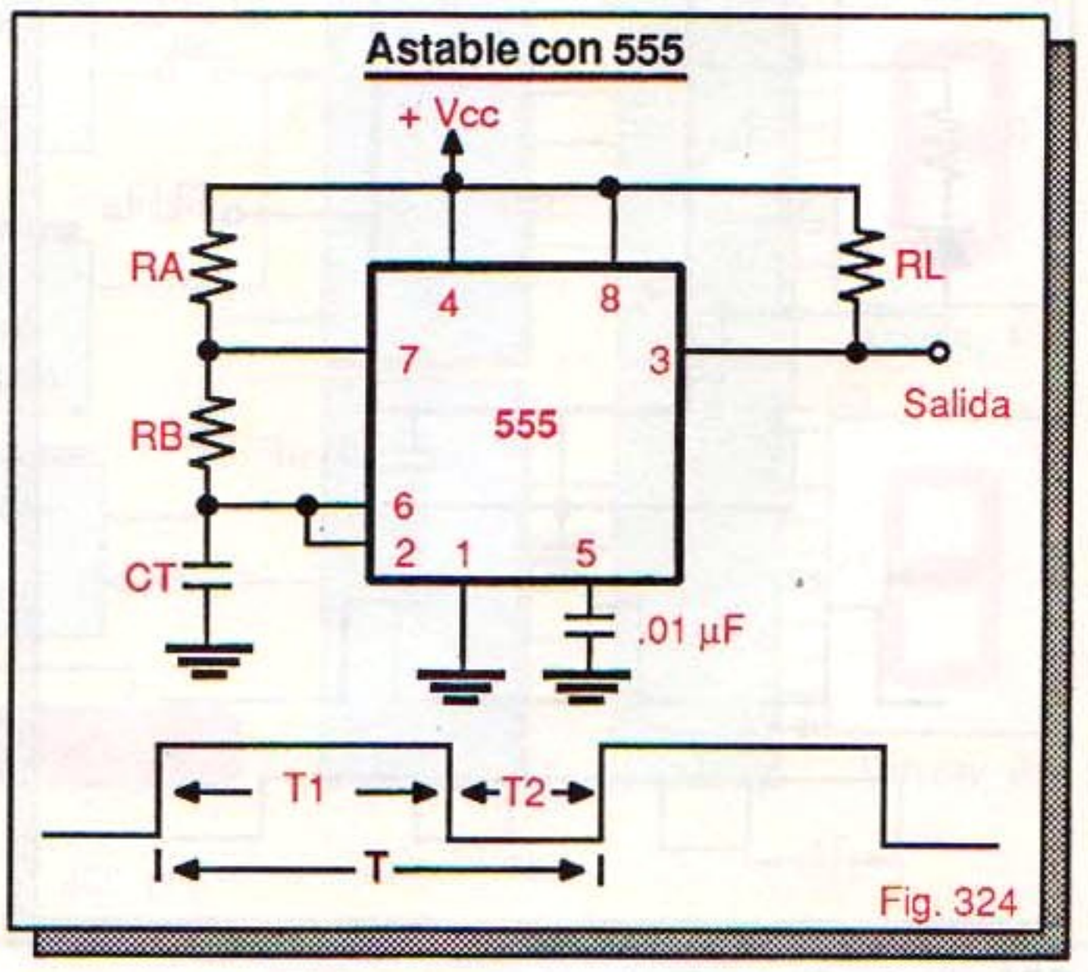


Fig. 324

La frecuencia de salida depende de los valores de RA, RB y CT y se evalúa mediante la siguiente fórmula:

$$f = \frac{1.44}{CT \times (RA + 2RB)}$$

Para que esta expresión sea válida, el valor de RB debe ser menor de RA/2. Si no se cumple esta condición, el circuito no puede oscilar porque el voltaje en el pin 2 (TRIGGER) del 555 nunca alcanzaría el nivel de disparo (1/3 de Vcc).

El ciclo de trabajo (D) depende de los valores de RA y RB y se calcula así:

$$D(\%) = \frac{RA + RB}{RA + 2RB} \times 100$$

Si se desea una onda simétrica, los valores de RA y RB deben elegirse de modo que el ciclo de trabajo resultante sea D=50%. Esto puede lograrse, por ejemplo, utilizando una resistencia RA de valor muy pequeño comparado con el de RB.

La configuración astable de la figura 324 permite variar el ciclo de trabajo desde algo más del 50% (casi una onda cuadrada) hasta el 100% (onda continua). Si se pretende obtener ciclos de trabajo menores al 50%, deben conectarse dos diodos entre los pines 7 y 6, como se indica en la figura 325.

Astable con 555 de ciclo de trabajo amplio

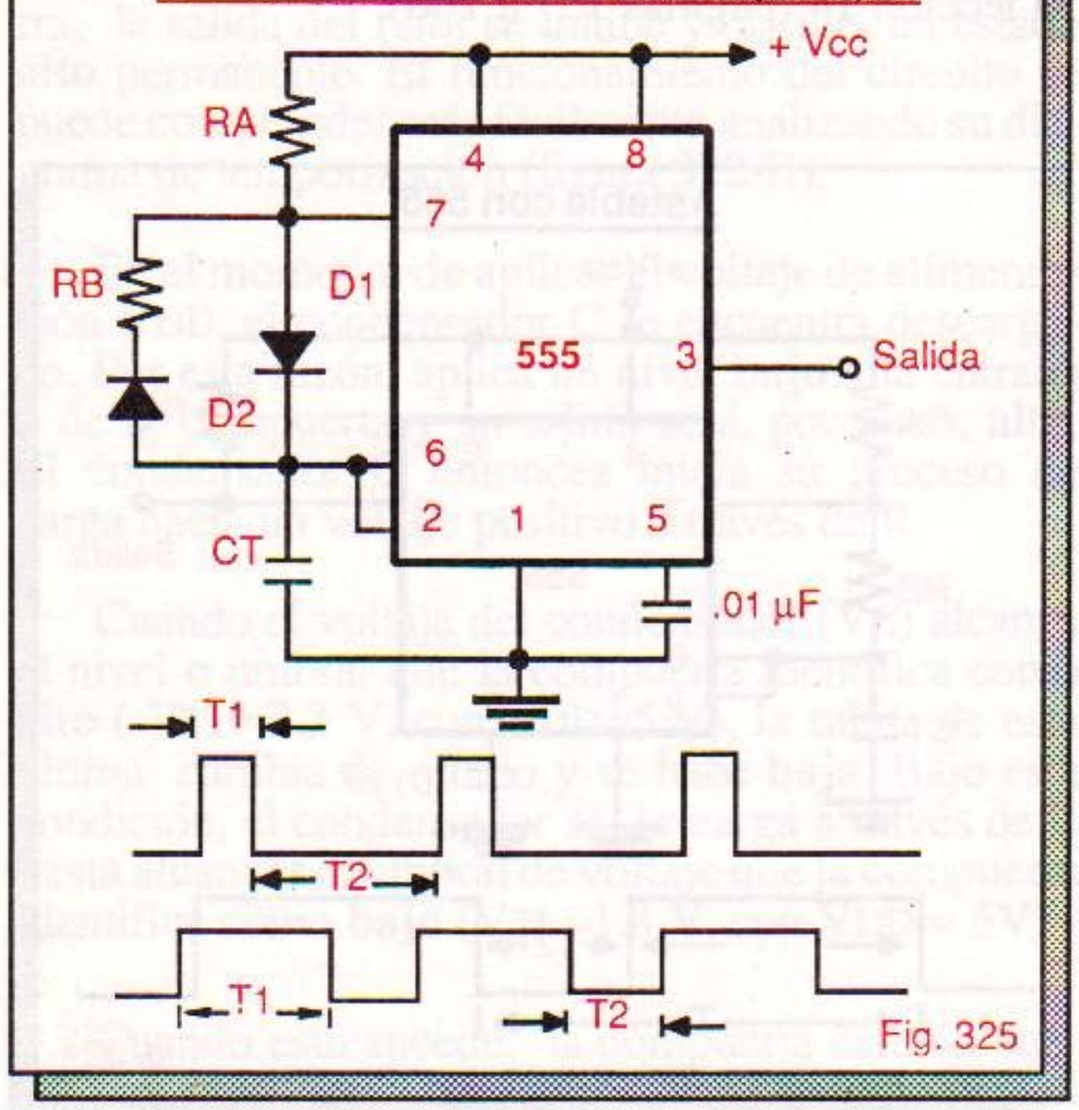


Fig. 325

El condensador CT se carga, ahora, solamente a través de RA porque el diodo D1 cortocircuita a la resistencia RB durante el tiempo de carga del condensador. La descarga de CT se realiza a través de RB, únicamente. En estas condiciones, el ciclo de trabajo del circuito de la figura 325 está dado por:

$$D(\%) = \frac{RA}{RA + RB} \times 100$$

Ajustando adecuadamente los valores de RA y RB, el valor de D se puede variar entre un 0 y un 100%. Este tipo de circuito es muy utilizado para el control de velocidad de motores de corriente continua.

En algunas aplicaciones, como se verá más adelante, se requiere variar el ciclo de trabajo de la onda cuadrada pero manteniendo constante la frecuencia. Esto se logra remplazando RA y RB por un potenciómetro lineal, como se ilustra en la figura 326.

Astable de ciclo variable y frecuencia fija

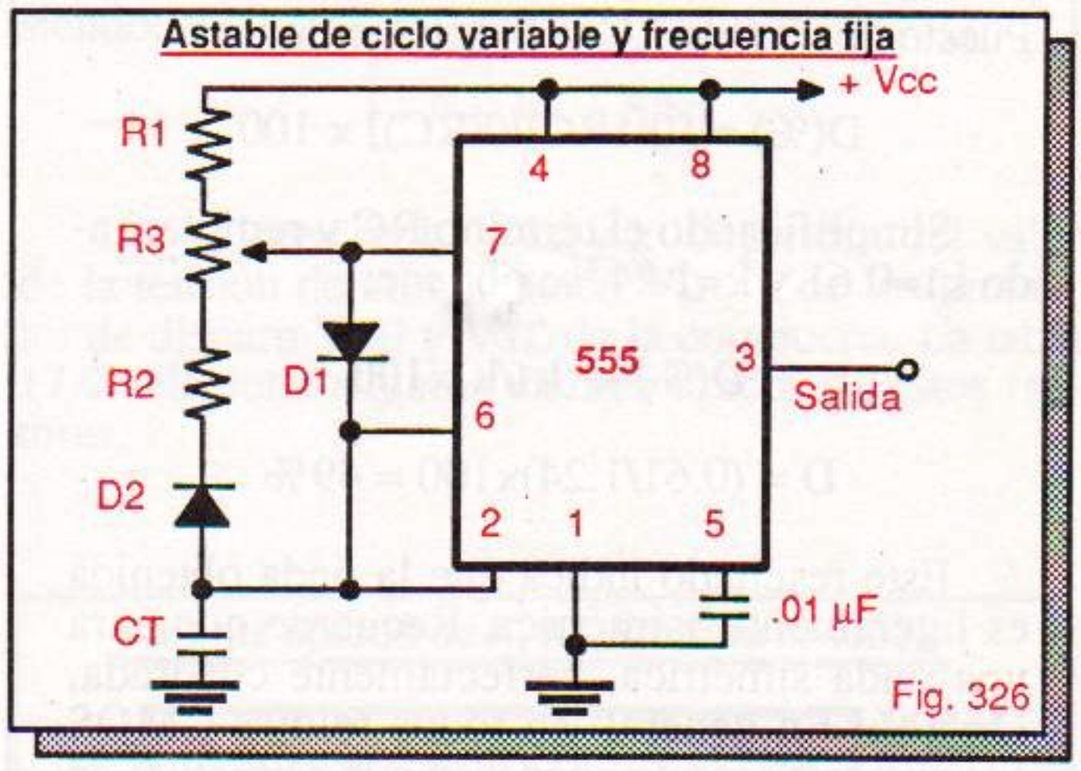
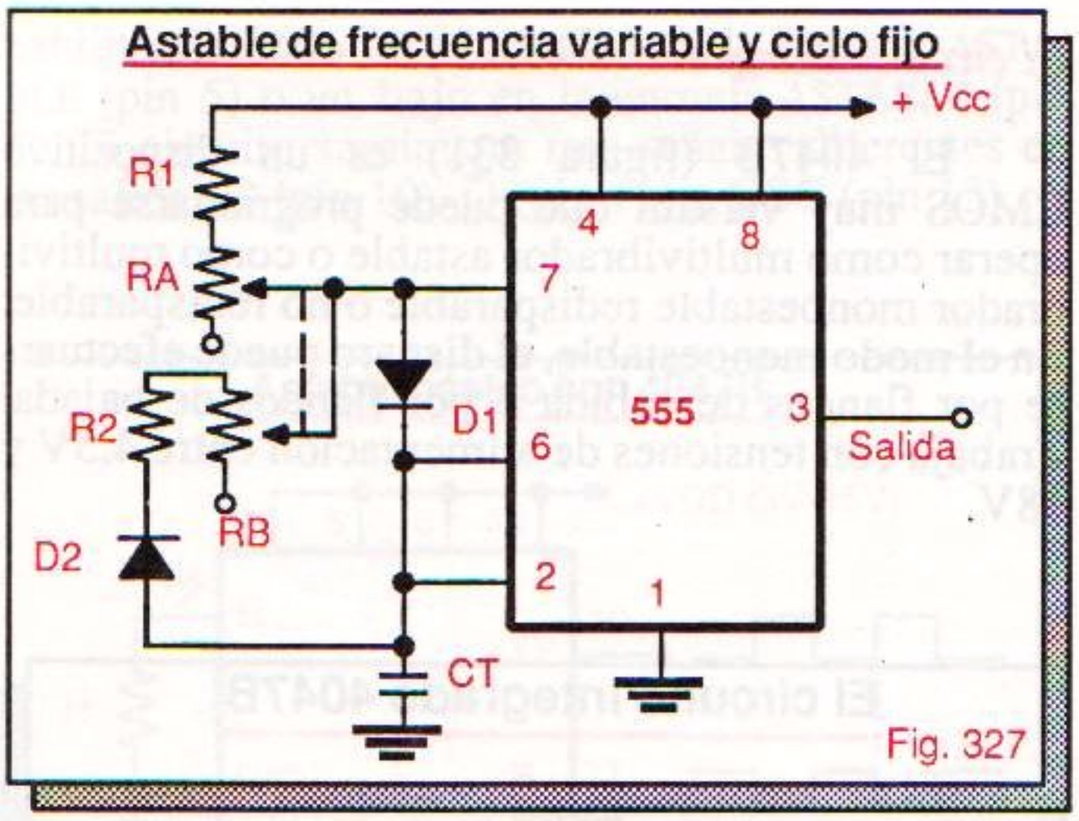


Fig. 326

Las resistencias R1 y R2 se conectan en serie con el potenciómetro (R3). R1 limita la máxima corriente durante la carga de CT. La resistencia R2 establece un valor mínimo para RB que compensa la existencia de R1.

El circuito de la figura 327 permite generar un tren de pulsos de frecuencia variable, manteniendo constante el ciclo de trabajo. Las resistencias RA y RB se varían simultáneamente utilizando un potenciómetro doble.

El ciclo de trabajo de la onda resultante es de aproximadamente 50%. Si RA y RB se implementan con un potenciómetro doble de 500K y CT es de 0.04 µF, el rango de frecuencias de oscilación que puede obtenerse variará entre 40 Hz y 20 KHz.

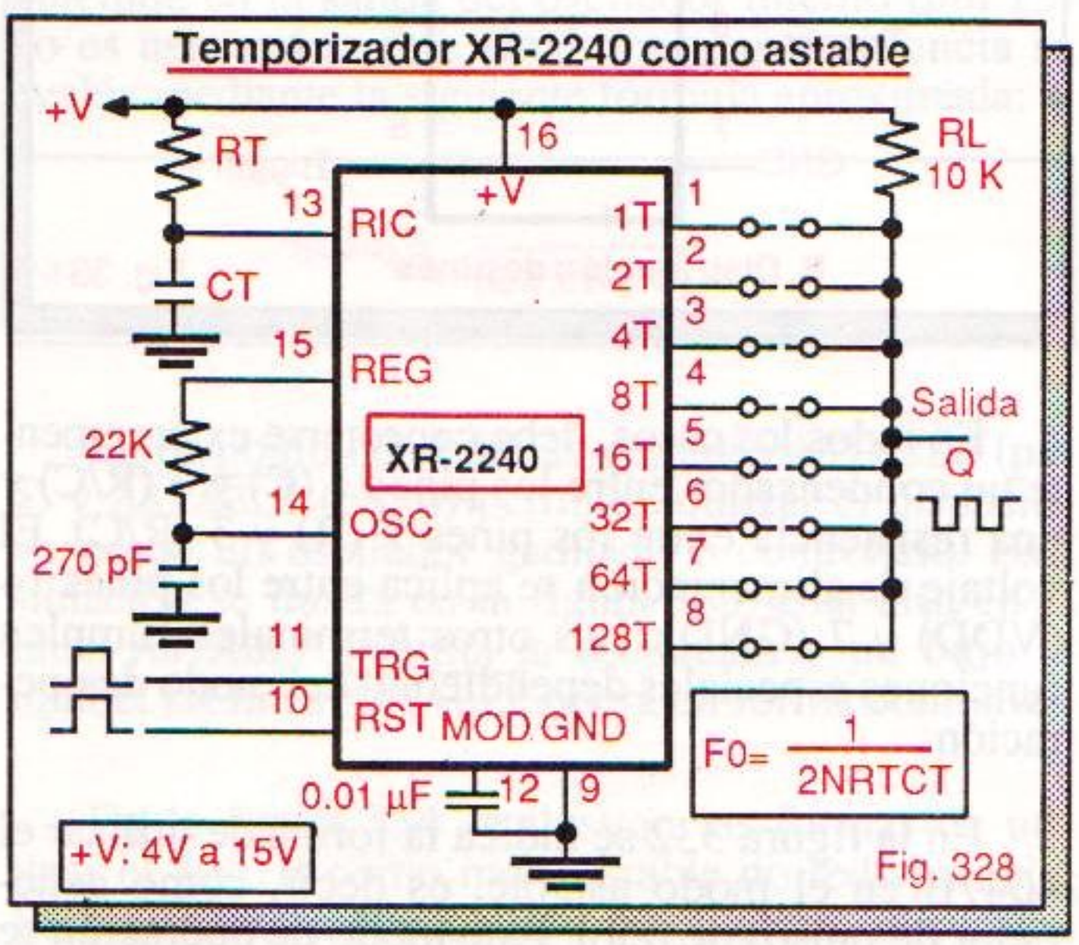


Relojes con circuitos integrados especializados

Existen varios circuitos integrados, principalmente CMOS, que pueden operar como generadores de pulsos de reloj. Excluyendo el 555 y todas sus versiones, uno de los más populares es el **4047B**, un multivibrador astable/monoestable CMOS de bajo costo que estudiaremos en la próxima sección.

Varios de los temporizadores estudiados al final de la lección 16 pueden también programarse para operar como multivibradores astables. En la figura 328, por ejemplo, se muestra la forma de conectar el **XR-2240** como reloj. La oscilación se inicia aplicando un pulso de disparo al pin 11 (TRIGGER) y su frecuencia se calcula así:

$$F0 = \frac{1}{2 \times N \times RT \times CT}$$



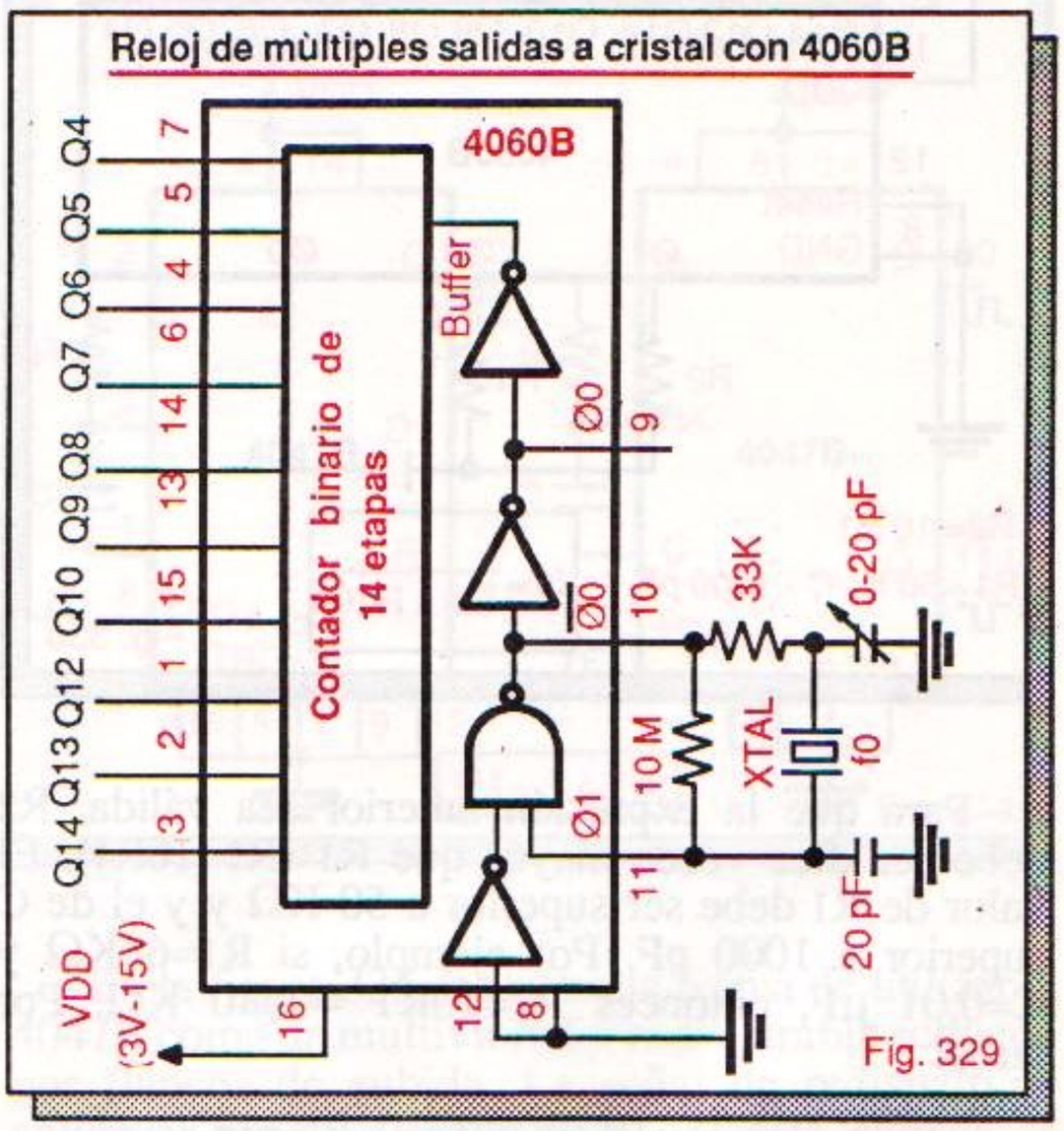
En la formula anterior, N es la suma de los factores de ponderación de las salidas seleccionadas. Expresando RT en KΩ y CT en µF, la frecuencia resulta en KHz. Por ejemplo, si RT=1KΩ, CT=0.02 µF y se conectan las salidas 2T y 16T a la resistencia de *pull-up* RL, entonces N=2+16=18. Por tanto:

$$f\ (KHz) = 1(2x18x1x0.02) = \mathbf{1.4\ KHz}$$

Las oscilaciones se pueden cancelar en cualquier momento aplicando un pulso positivo a la entrada de *reset* (pin 10). La salida Q permanecerá **alta** hasta que se aplique un nuevo pulso de disparo. Para iniciar automáticamente las oscilaciones tan pronto se conecte la fuente de alimentación, la entrada TRG debe conectarse a la salida del regulador (pin 15).

En la figura 329 se muestra un reloj a cristal de múltiples salidas basado en el circuito integrado **4060B**. Este *chip*, que analizaremos más detenidamente en la lección 24, contiene un oscilador CMOS, el cual maneja un contador binario de 14 etapas. La frecuencia de la señal obtenida en cada salida se evalúa como sigue:

$$F_N = F_0/2^N$$



En la expresión anterior, F0 es la frecuencia del cristal y N el número de la salida de la cual se toma la señal. Por ejemplo, si se utiliza un cristal de 32.768 KHz, la frecuencia de la señal disponible en la salida Q8 (pin 14, N=8) será:

$$F8\ [KHz] = 32.768/2^8 = 32.768/256$$
$$F8\ [KHz] = \mathbf{0.128\ KHz}$$
$$\mathbf{F8 = 128\ Hz}$$

Observe que, aunque se trata de un contador de 14 etapas, no están disponibles las salidas Q1, Q2, Q3 y Q11. Las oscilaciones se pueden cancelar en cualquier instante aplicando un nivel **alto** a la entrada de *reset* (pin 12). El 4060B puede trabajar con tensiones de alimentación desde 1V hasta 15V y frecuencias hasta de 10 MHz.

En lugar de un cristal, puede también utilizarse un circuito RC, como se muestra en la figura 330. La resistencia R2 hace la frecuencia independiente de las variaciones en la fuente de alimentación. La frecuencia fundamental de oscilación depende de los valores de R1 y C, y se evalúa mediante la siguiente fórmula:

$$F0 = \frac{1}{2.2 \times R1 \times C}$$

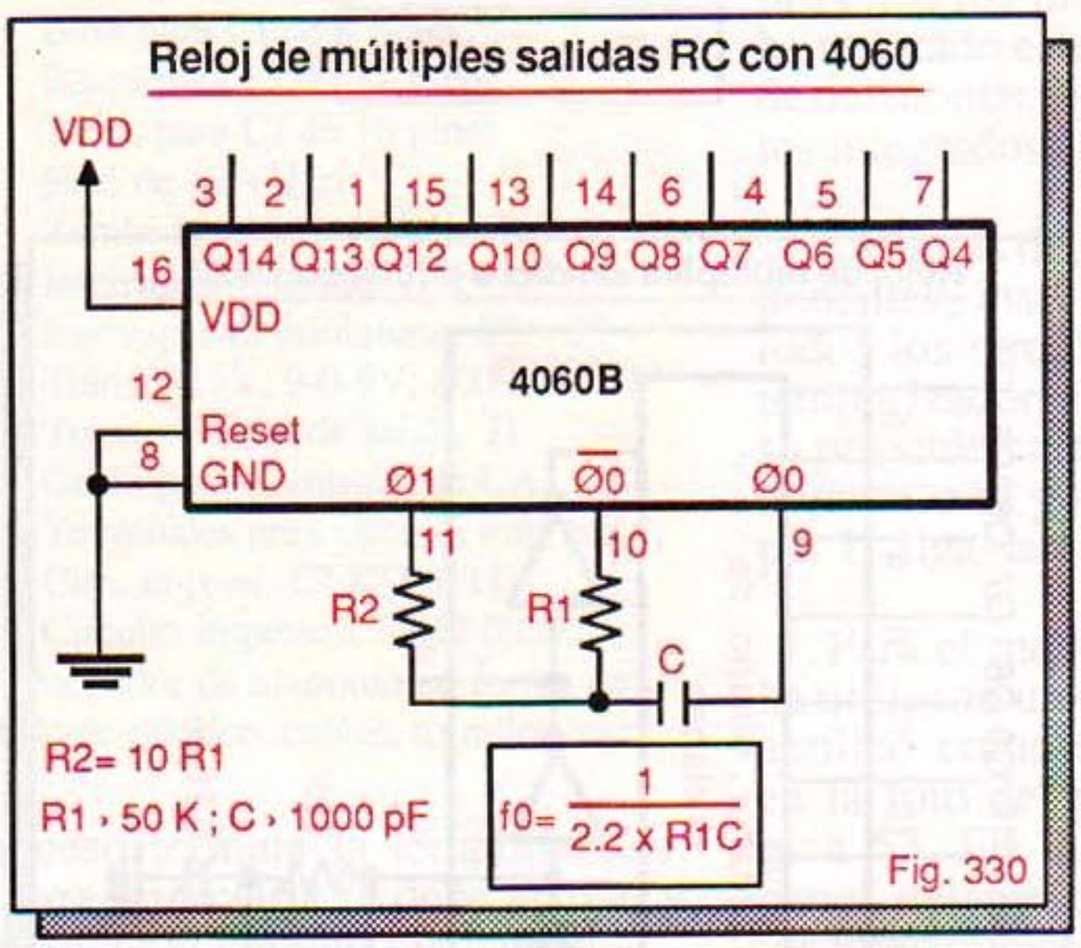


Fig. 330

Para que la expresión anterior sea válida, R2 debe ser diez veces mayor que R1 (R2=10R1). El valor de R1 debe ser superior a 50 KΩ y y el de C superior a 1000 pF. Por ejemplo, si R1=68KΩ y C=0.01 μF, entonces R2=10R1 = 680 KΩ. Por tanto:

$$F0\ [KHz] = 1/(2.2x68x0.01) = \mathbf{6.6845\ KHz}$$

Bajo estas condiciones, la frecuencia de la señal obtenida en la salida Q4 (pin 7, N=4) será:

$$F4[KHz] = F0/2^N = 6.6845/24 = 6.6845/16$$
$$\mathbf{F4} = 0.42\ KHz \approx \mathbf{420\ Hz}$$

El circuito integrado 4047B

El **4047B** (figura 331) es un dispositivo CMOS muy versátil que puede programarse para operar como multivibrador astable o como multivibrador monoestable redisparable o no redisparable. En el modo monoestable, el disparo puede efectuarse por flancos de subida o por flancos de bajada. Trabaja con tensiones de alimentación entre 4.5V y 18V.

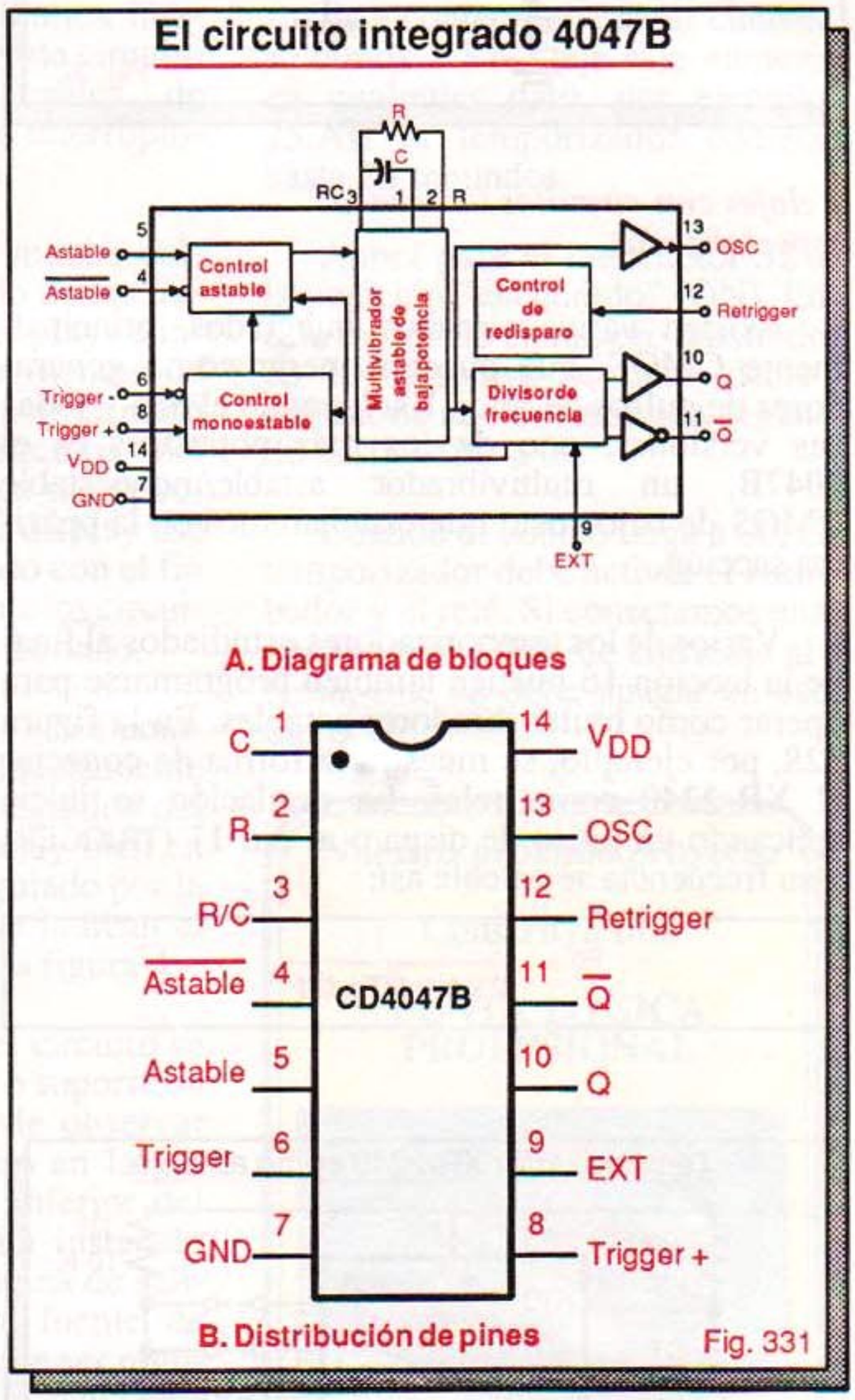
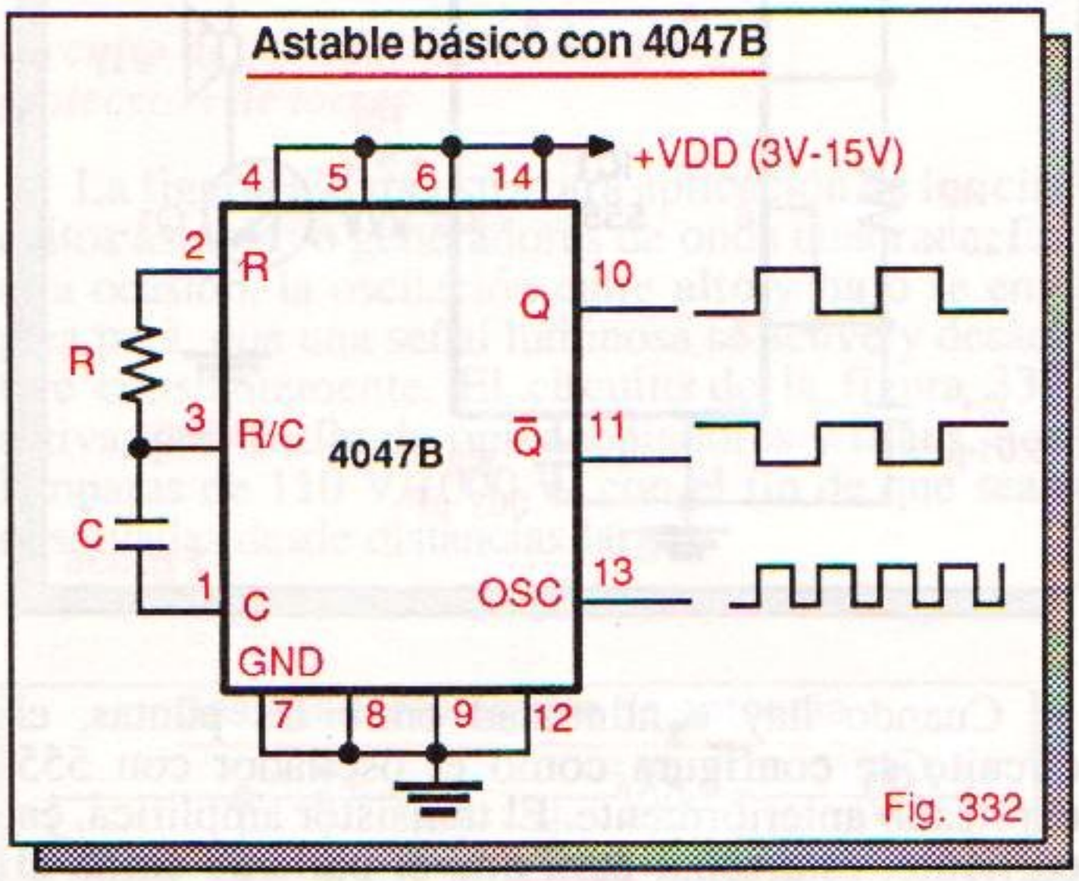


Fig. 331

En todos los casos, debe conectarse externamente un condensador entre los pines 1 (C) y 3 (R/C) y una resistencia entre los pines 2 (R) y 3 (R/C). El voltaje de alimentación se aplica entre los pines 14 (VDD) y 7 (GND). Los otros terminales cumplen funciones especiales dependiendo del modo de operación.

En la figura 332 se indica la forma de utilizar el 4047B en el modo astable, es decir, como generador de pulsos de reloj. Este modo de operación se

habilita situando un nivel **alto** en la entrada ASTABLE (pin 5) o un **bajo** en la entrada $\overline{\text{ASTABLE}}$ (pin 4). El circuito suministra tres señales diferentes en las salidas Q (pin 10), $\overline{Q}$ (pin 11) y OSC (pin 13).



Las señales obtenidas en las salidas Q y $\overline{Q}$ son complementarias, es decir, mientras la una está en el estado inestable **alto**, la otra está en el estado inestable **bajo** y viceversa. La frecuencia de estas señales depende de los valores de R y C y se evalúa en forma aproximada así:

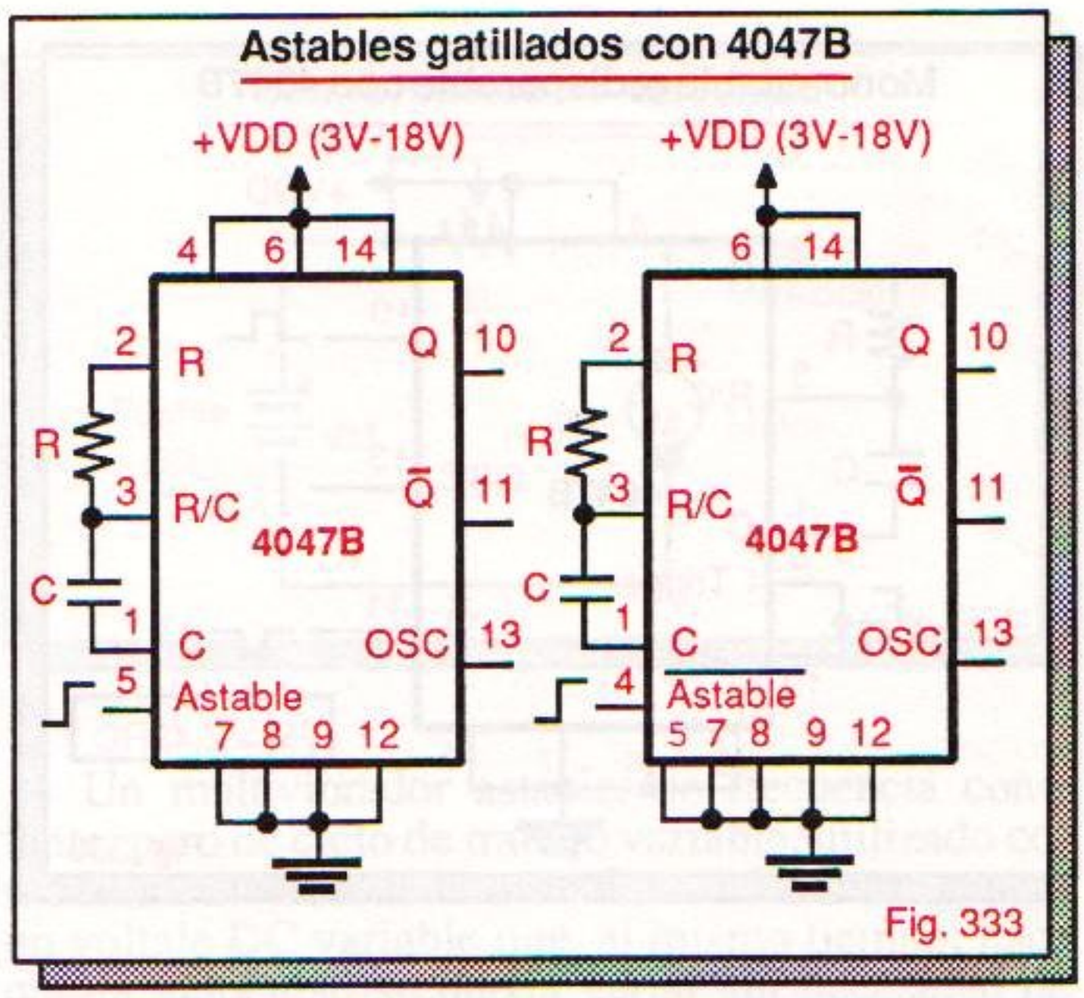
$$f(Q) = f(\overline{Q}) = \frac{1}{(4.4 \times R \times C)}$$

Estas señales son simétricas, lo cual implica que tienen un ciclo de trabajo (D) del 50%. La señal obtenida en la salida del oscilador interno (pin 13) no es necesariamente simétrica y su frecuencia se evalúa mediante la siguiente fórmula aproximada:

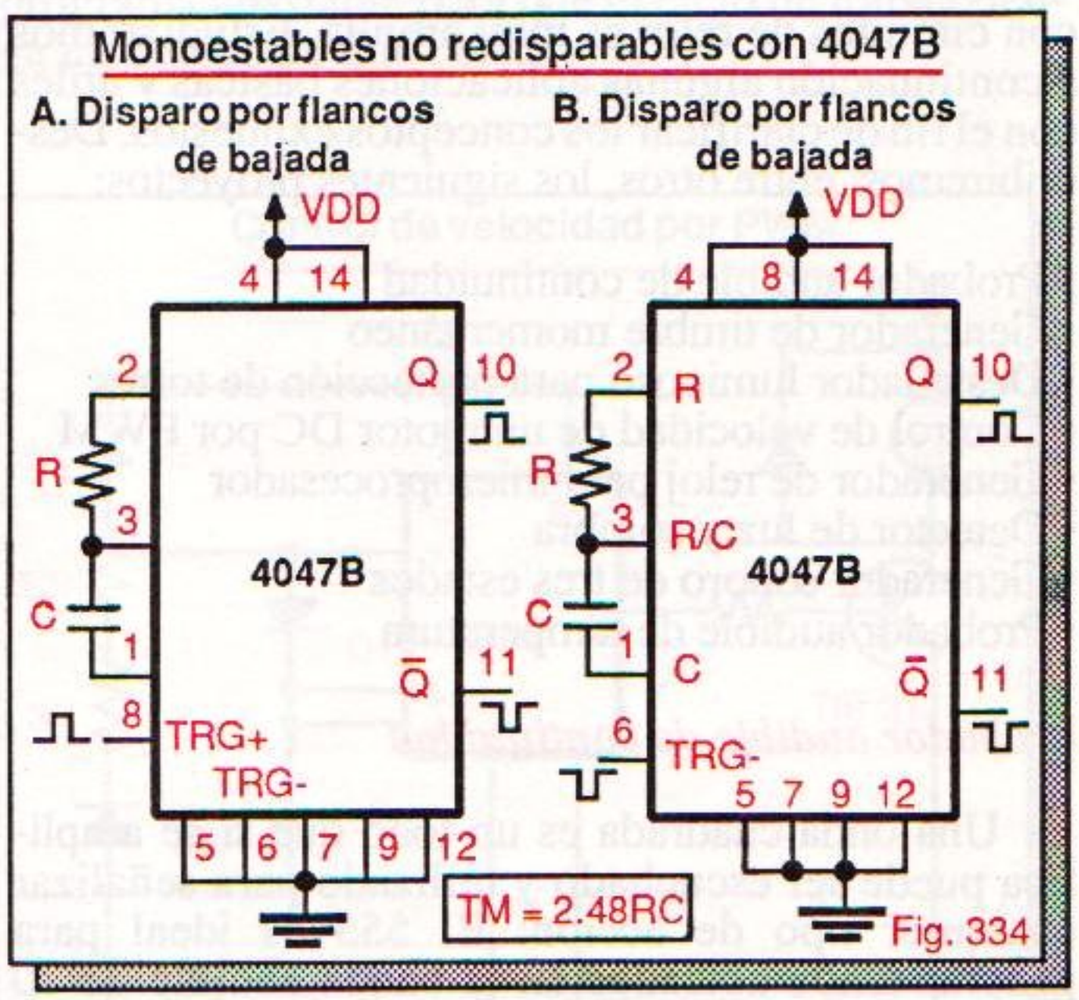
$$f(osc) = \frac{1}{(2.2 \times R \times C)}$$

La disponibilidad de las entradas ASTABLE (pin 5) y $\overline{\text{ASTABLE}}$ (pin 4) permiten utilizar el dispositivo como un oscilador gatillado o controlado. Esta situación se ilustra en la figura 333. Una **alto** en la línea ASTABLE habilita la oscilación y un **bajo** la inhibe. La línea $\overline{\text{ASTABLE}}$ opera en forma contraria.

En la figura 334 se ilustran las formas de utilizar el 4047B como monoestable no redisparable. Para disparar el dispositivo por flancos de subida,

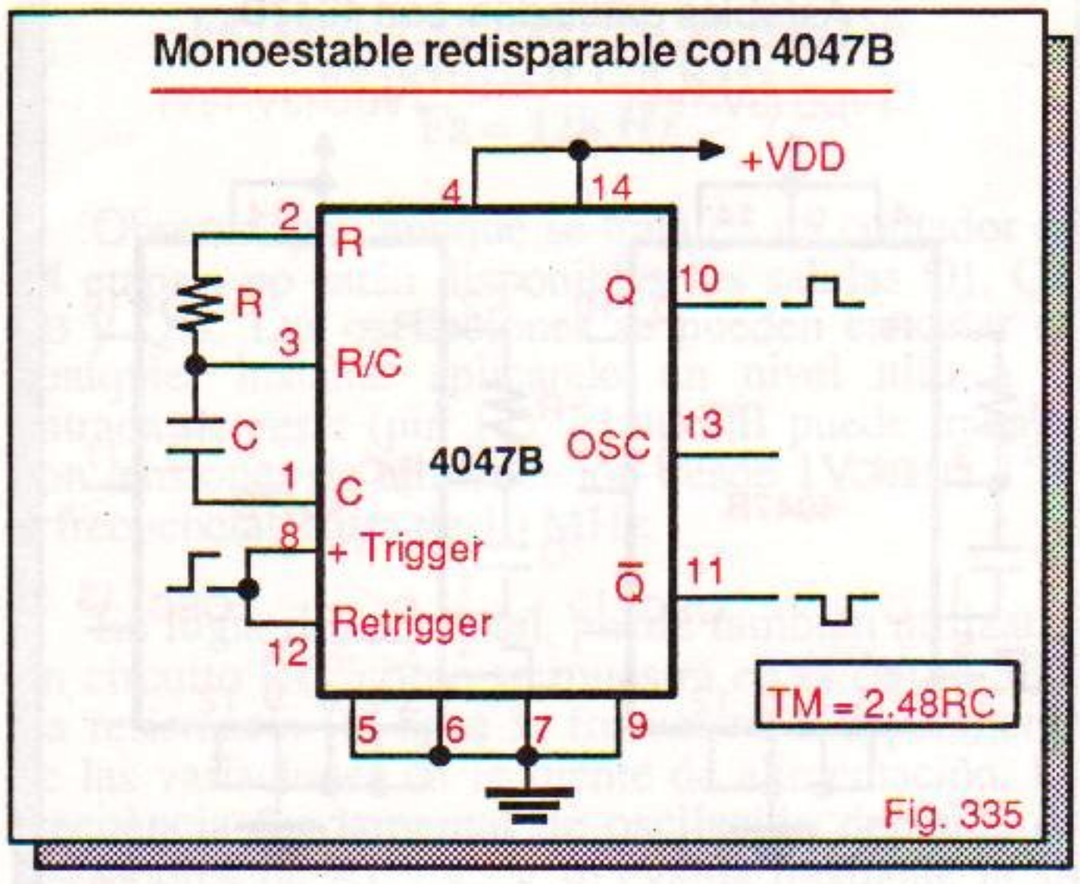


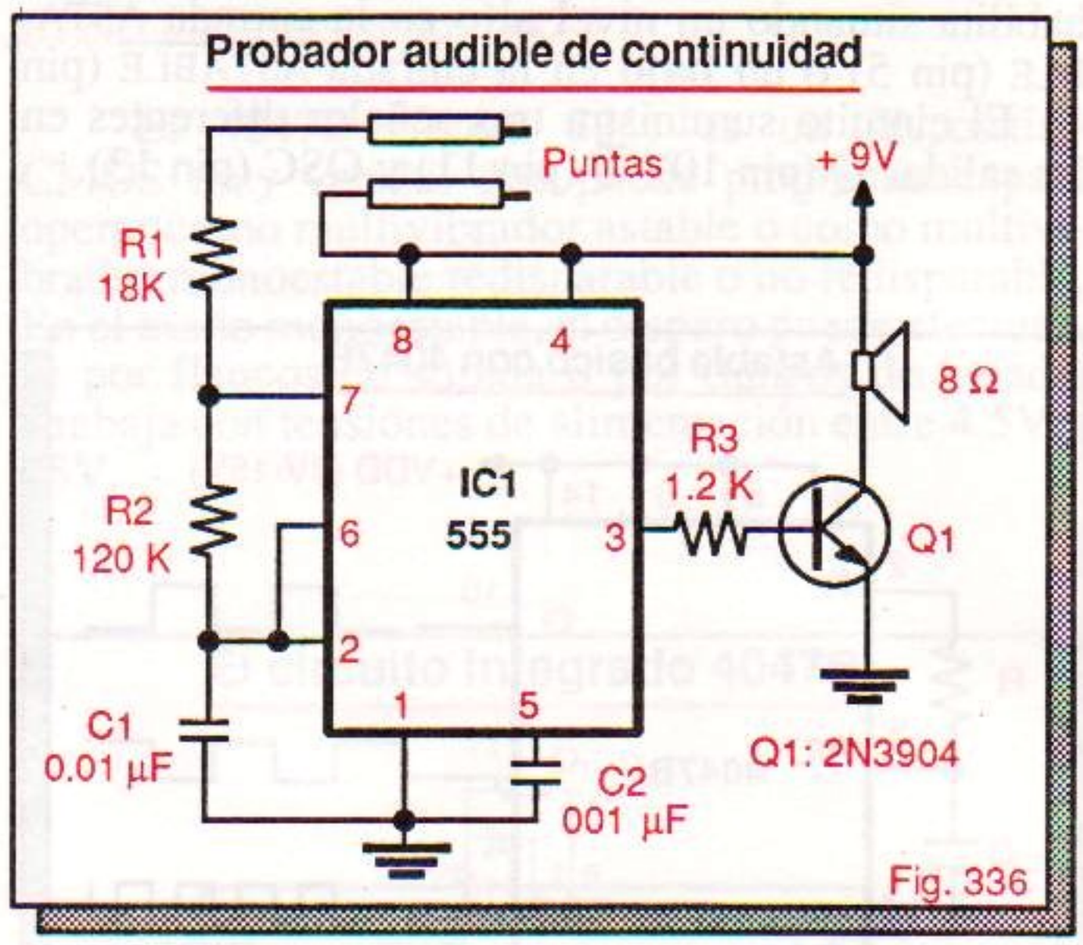
la entrada TRG^- (pin 6) debe hacerse **baja** y la señal de disparo debe aplicarse a la entrada TRG^+ (pin 8). Para dispararlo por flancos de bajada, la entrada TRG^+ (pin 8) debe hacerse **alta** y la señal de disparo debe aplicarse a la entrada TRG^- (pin 6).



En la figura 335 se ilustra la forma de utilizar el 4047B como un multivibrador redisparable activado por flancos de subida. La señal de redisparo se aplica al pin 12 (RETRIGGER). Si esta entrada se mantiene **alta** todo el tiempo o recibe un tren continuo de pulsos, el **4047B** permanece redisparado indefinidamente.

En todos los circuitos anteriores, se recomienda utilizar un condensador no polarizado de bajas pér-





didas. Para una mayor estabilidad, el valor de C debe ser superior a 100 pF en el modo astable y superior a 1000 pF en el modo monoestable. En ambos casos, el valor de R debe mantenerse entre 10 KΩ y 1 MΩ.

CIRCUITOS DE APLICACION

La gama de circuitos que pueden implementarse con circuitos de reloj es muy amplia. Estudiaremos a continuación algunas aplicaciones básicas y útiles con el fin de clarificar los conceptos expuestos. Describiremos, entre otros, los siguientes proyectos:

- Probador audible de continuidad
- Generador de timbre momentáneo
- Destellador luminoso para protección de torres
- Control de velocidad de un motor DC por PWM
- Generador de reloj para microprocesador
- Detector de luz y sombra
- Generador sonoro de tres estados
- Probador audible de temperatura

Probador audible de continuidad

Una onda cuadrada es un tono que si se amplifica puede ser escuchado y utilizado para señalizar cualquier tipo de acción. El 555 es ideal para generar tonos ubicados en la banda audible de 20 Hz hasta 20 KHz. En la figura 336 se presenta un oscilador astable que emite un tono audible cuando hay continuidad entre las puntas de prueba.

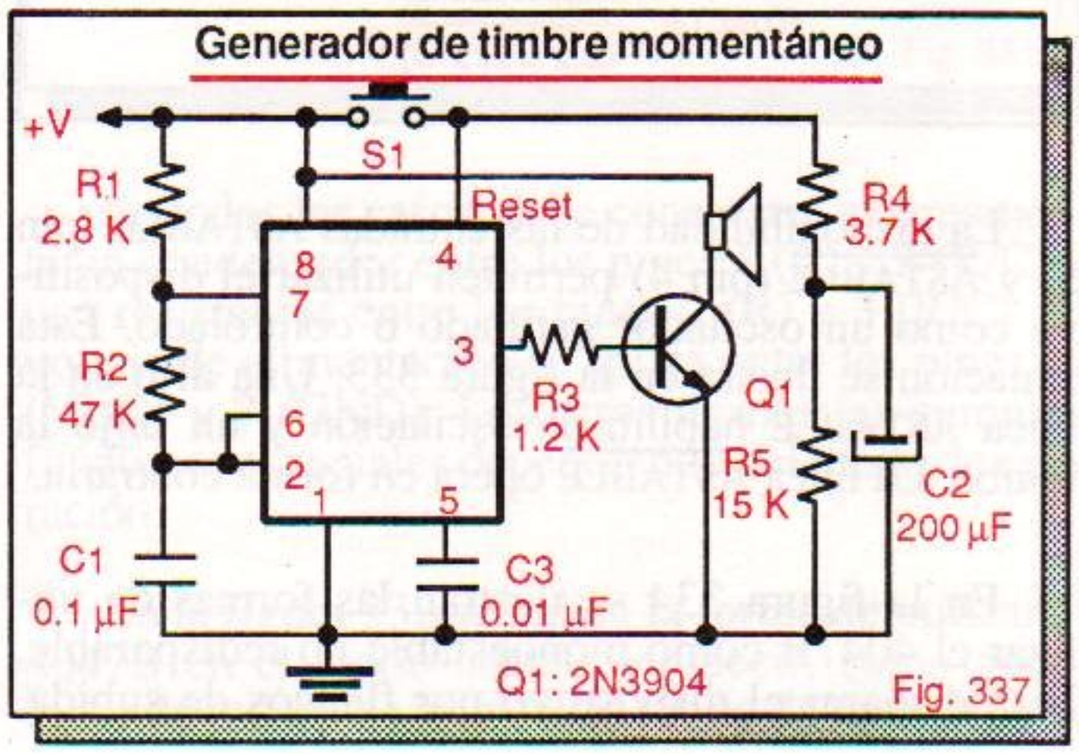
La salida del oscilador se conecta a la base del transistor que hace las veces de amplificador de potencia. Este transistor trabaja en corte y saturación según los estados del astable. Si la resistencia R1 no esta conectada al Vcc, porque no hay continuidad entre las puntas de prueba, el condensador no puede cargarse y, por tanto, no hay oscilación ni tono audible.

Cuando hay continuidad entre las puntas, el circuito se configura como el oscilador con 555 explicado anteriormente. El transistor amplifica, en corriente, ésta señal para que el parlante emita el tono indicativo de continuidad.

Generador de timbre momentáneo

En algunas aplicaciones se requiere generar un tono o timbre transitorio como respuesta a la acción de un pulsador o interruptor. Este tono se utiliza ampliamente en los sistemas de teclado para responder al usuario que se ha aceptado la activación de una de las teclas.

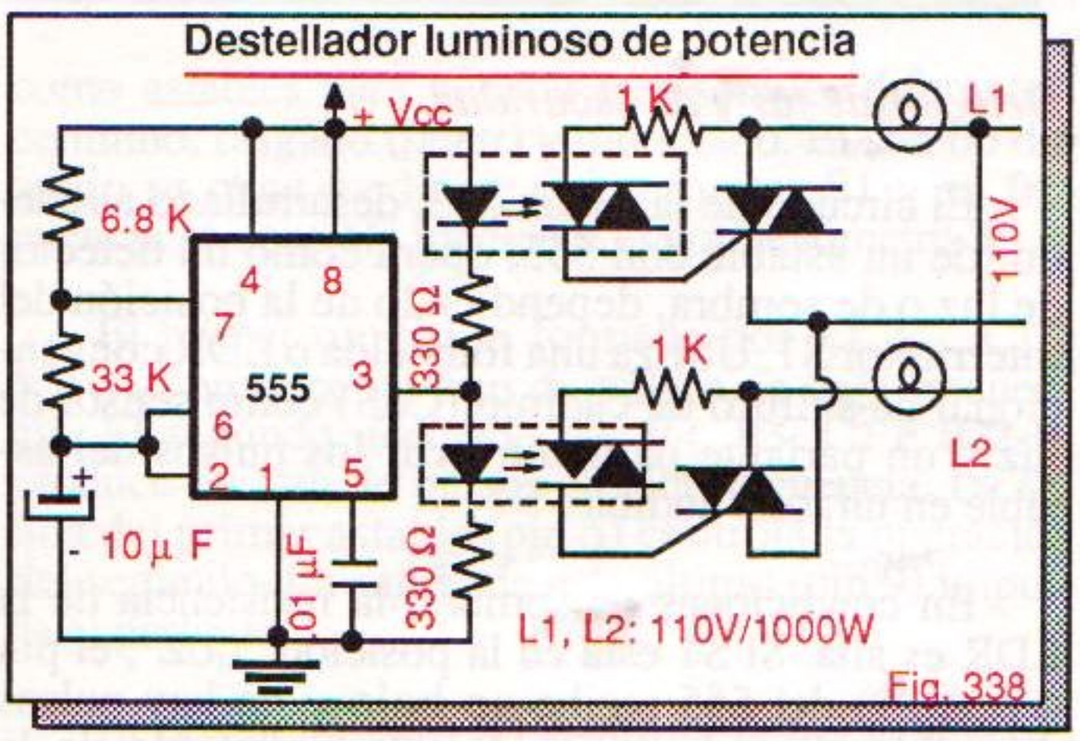
El circuito de la figura 337, construido alrededor de un astable con 555, genera una onda cuadrada audible, durante un lapso de tiempo, después de pulsar el interruptor S1. El circuito utiliza un amplificador de corriente con transistor y una red de temporización (R4, R5 y C2). Esta última mantiene en **alto** la señal de *reset* del 555 durante un corto tiempo.



Cuando se pulsa S1, se carga C2 y se desactiva la señal de *reset* del 555. Al liberar S1, el condensador se descarga a través de S2, activando la señal de *reset* en bajo después de un tiempo. Cumplido este lapso, la señal audible desaparece.

Circuito destellador luminoso para protección de torres

La figura 338 muestra otra aplicación de los circuitos astables o generadores de onda cuadrada. En esta ocasión, la oscilación entre **alto** y **bajo** se emplea para que una señal luminosa se active y desactive constantemente. El circuito de la figura 338 activa, por medio de optoacopladores y triacs, dos lámparas de 110 V/1000 W con el fin de que sean observadas desde distancias largas.



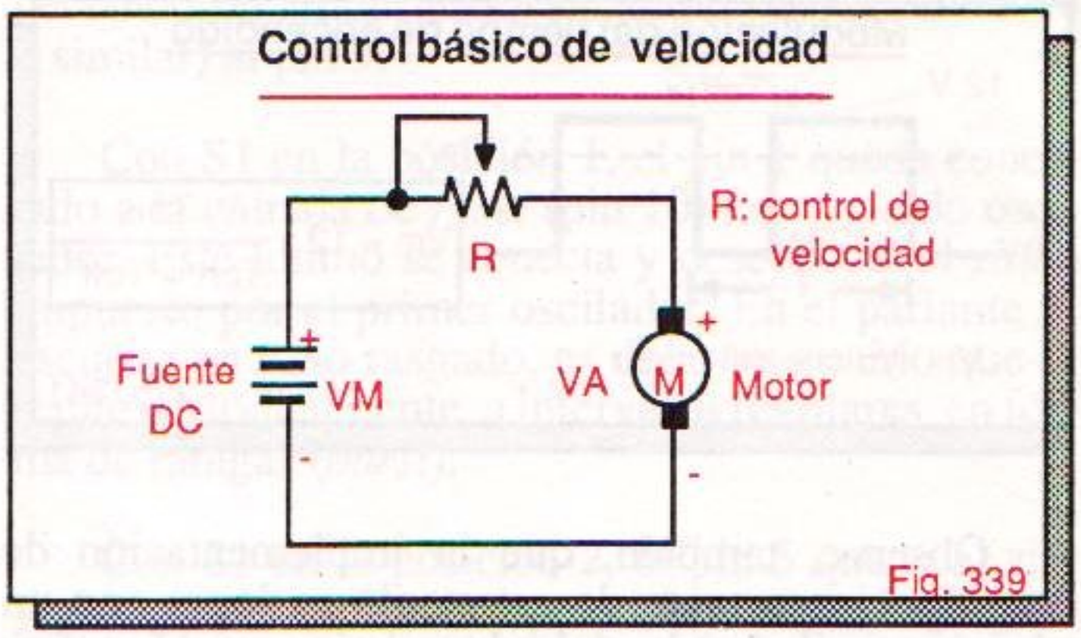
Es interesante observar, en el circuito, la forma de conectar los LED de los optotriacs sin recurrir a inversores para implementar el hecho de que cuando una lámpara está en ON la otra debe estar en OFF.

Control de velocidad de un motor DC usando PWM

Usualmente, la velocidad de un motor DC se controla por medio de una resistencia variable en serie con la armadura del motor. Esta resistencia asume una caída de tensión con el fin de reducir el voltaje aplicado al motor y, así, lograr cambiar la velocidad (figura 339). El método anterior tiene una desventaja seria: disipa potencia eléctrica en forma de calor en la resistencia.

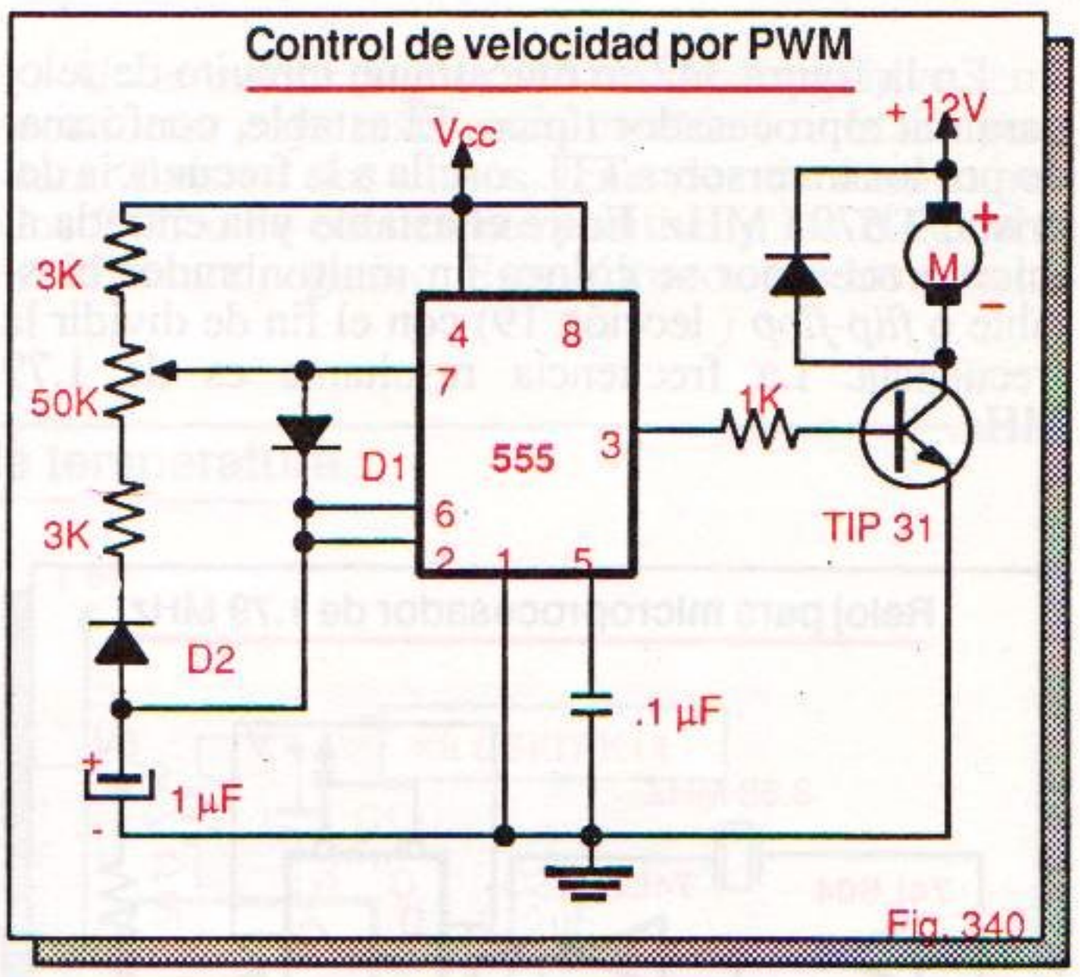
Este gasto de energía es considerable en sistemas alimentados con baterías o en sistemas portátiles que no pueden alojar transformadores de fuente de alimentación voluminosos.

Los circuitos de reloj ofrecen una solución muy elegante al control de velocidad de motores D.C.

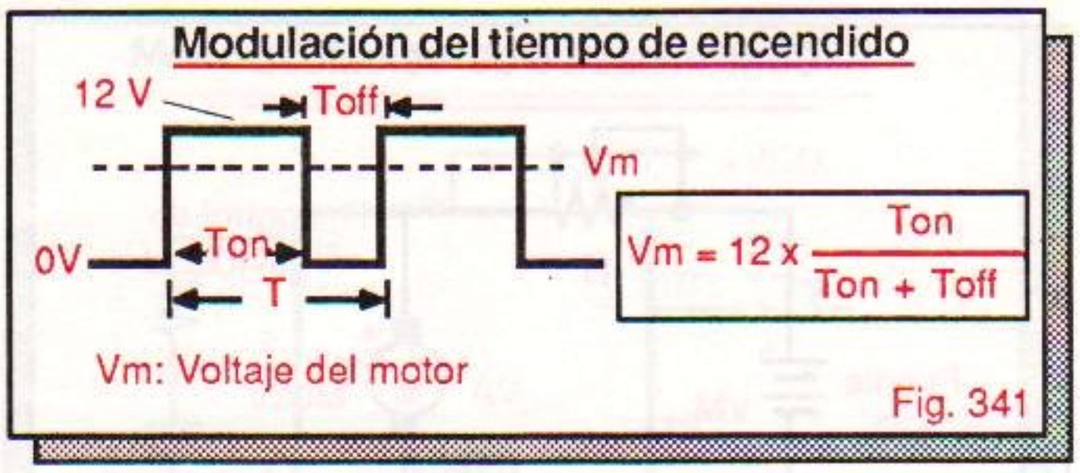


Un multivibrador astable, de frecuencia constante, pero de ciclo de trabajo variable, utilizado como alimentación de la armadura del motor, genera un voltaje DC variable que, al mismo tiempo, hace que la velocidad se pueda variar sin necesidad de recurrir a los antiguos métodos de alto consumo de potencia.

En la figura 340 se tiene un circuito de control de velocidad de motor DC. El astable, de ciclo de trabajo variable, se usa para conmutar la fuente de alimentación al motor entre Vcc y 0 voltios. Cuando se desea que el motor gire a velocidad lenta, se programa al astable para que el ciclo de trabajo tenga un tiempo de ON corto.



Para altas velocidades, el tiempo de ON debe ser mayor que el tiempo de OFF. La naturaleza inductiva del motor hace de filtro pasabajo y extrae el valor promedio de la onda cuadrada resultante (figura 341). El sistema de control descrito se conoce, en la literatura técnica, con el nombre de Control por Modulación de la Anchura de los Pulsos (PWM: *Pulse Width Modulation*).



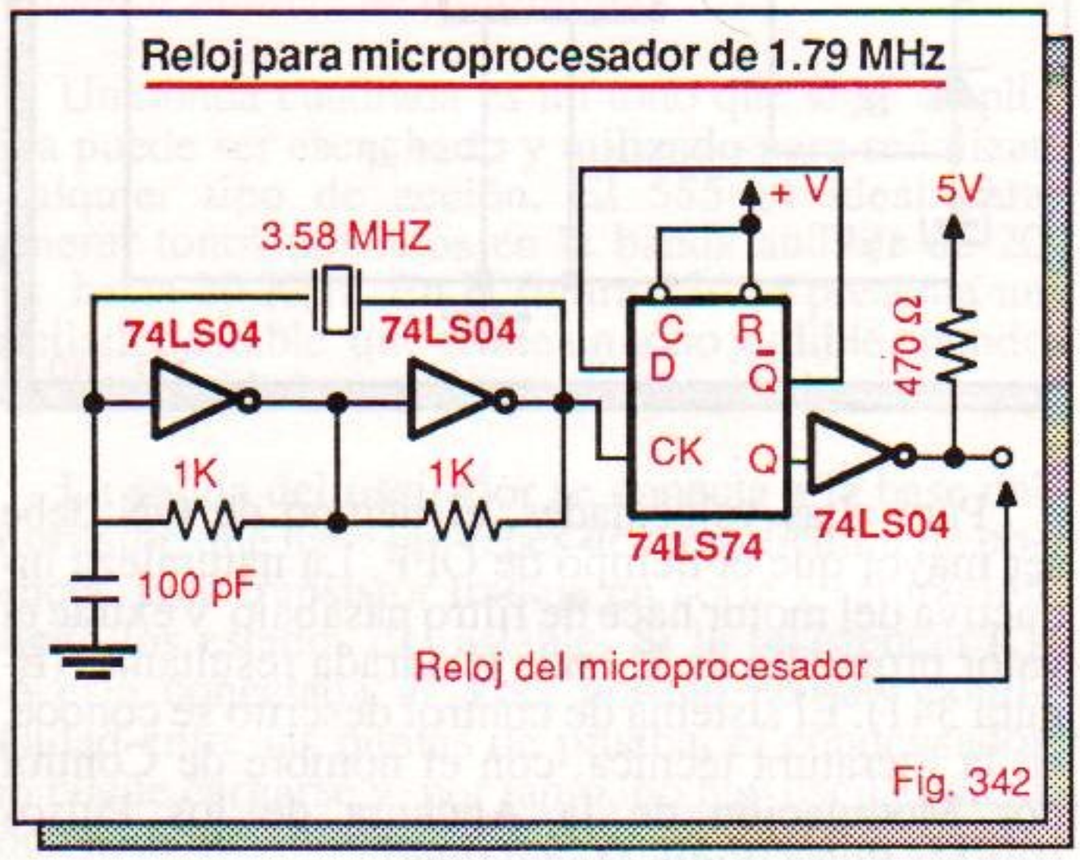
Observe, también, que la implementación de este tipo importante de estrategia se logra con un circuito oscilador de ciclo de trabajo variable y frecuencia constante.

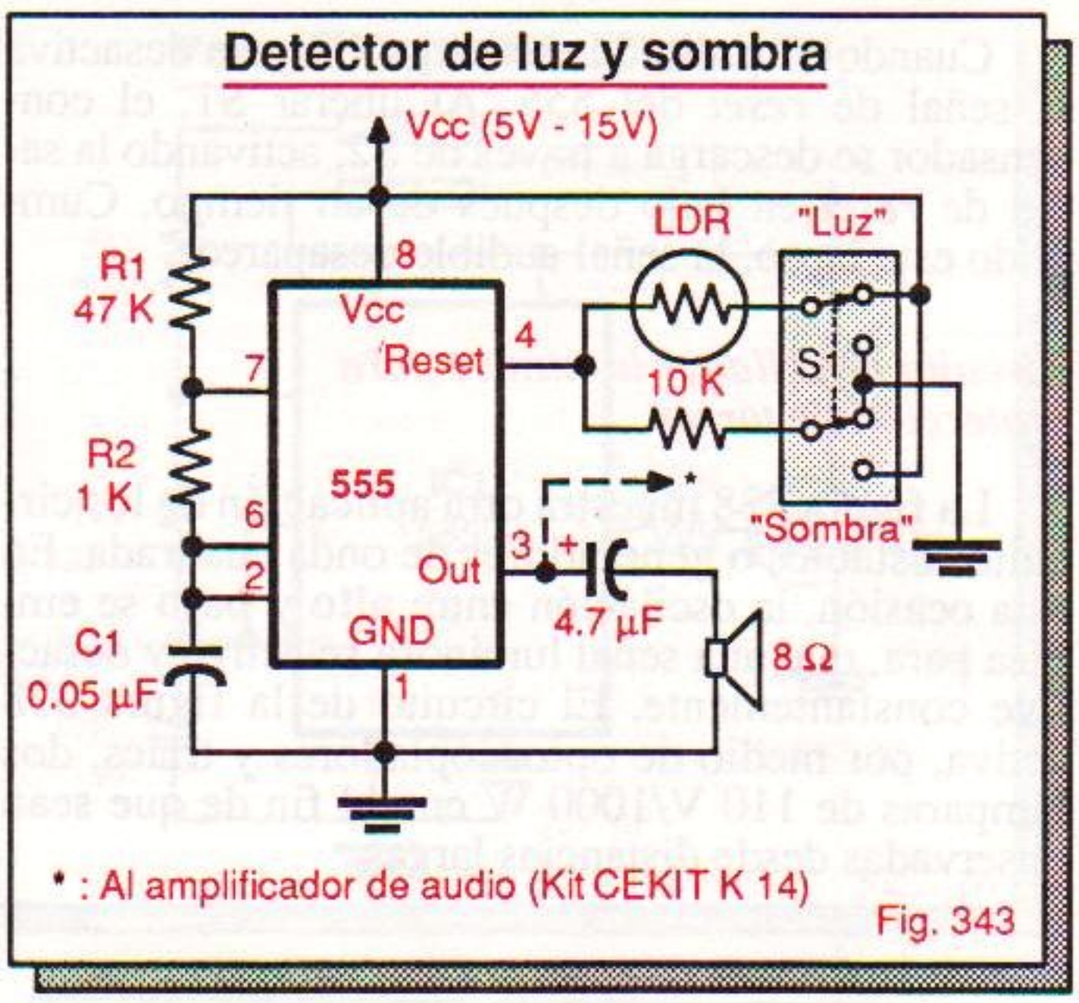
Generador de reloj para microprocesador

Un microprocesador es un sistema digital que requiere, entre otras cosas, una sincronización de tiempos muy exacta. Sin un método de reloj preciso, la circuitería del microprocesador es errática y los resultados de sus múltiples aplicaciones serían poco confiables. En los microprocesadores se utiliza, como reloj, un oscilador astable implementado con compuertas TTL y controlado por cristal de cuarzo.

La razón por la cual se usan circuitos TTL en lugar de CMOS, es que la frecuencia de reloj de los microprocesadores es alta, por lo general 1 MHz, 4 MHz, 12 MHz, etc.

En la figura 342 se muestra un circuito de reloj para microprocesador típico. El astable, conformado por los inversores TTL, oscila a la frecuencia del cristal 3.5795 MHz. Entre el astable y la entrada al microprocesador se coloca un multivibrador biestable o *flip-flop* (lección 19) con el fin de dividir la frecuencia. La frecuencia resultante es de 1.79 MHz.





Detector de luz y de oscuridad

El circuito de la figura 343, desarrollado alrededor de un astable con 555, opera como un detector de luz o de sombra, dependiendo de la posición del interruptor S1. Utiliza una fotocelda o LDR convencional de sulfuro de cadmio (CdS) como sensor de luz y un parlante para convertir los pulsos del astable en un tono audible.

En condiciones de sombra, la resistencia de la LDR es alta. Si S1 está en la posición "LUZ", el pin 4 (RESET) del 555 recibe un **bajo** y no hay pulsos de salida. Cuando incide luz, la resistencia de la LDR disminuye, el pin 4 del 555 recibe un **alto**, el oscilador se habilita y en el parlante se escucha un tono, indicando la presencia de luz.

Con S1 en la posición "SOMBRA" el circuito opera en forma contraria. La frecuencia del tono se puede modificar variando R1, R2 ó C1. Para obtener mayor volumen, puede acoplar la salida de pulsos (pin 3) a un amplificador de audio, por ejemplo, el *kit* CEKIT K14 (ver figura 304, página 189). Para detectar sólo luz o sombra, puede suprimir S1.

A pesar de su simplicidad, este circuito tiene muchas aplicaciones útiles. Por ejemplo, puede servir como alarma para anunciar cuándo la puerta de una nevera está abierta o cuándo un objeto o una persona interrumpe un rayo de luz. Con una interface de potencia adecuada, puede iluminar una lámpara cuando cae la noche y apagarla cuando amanece.

Generador sonoro de tres estados

El circuito de la figura 344 utiliza las dos secciones de un circuito integrando 556 trabajando

Generador sonoro de tres estados

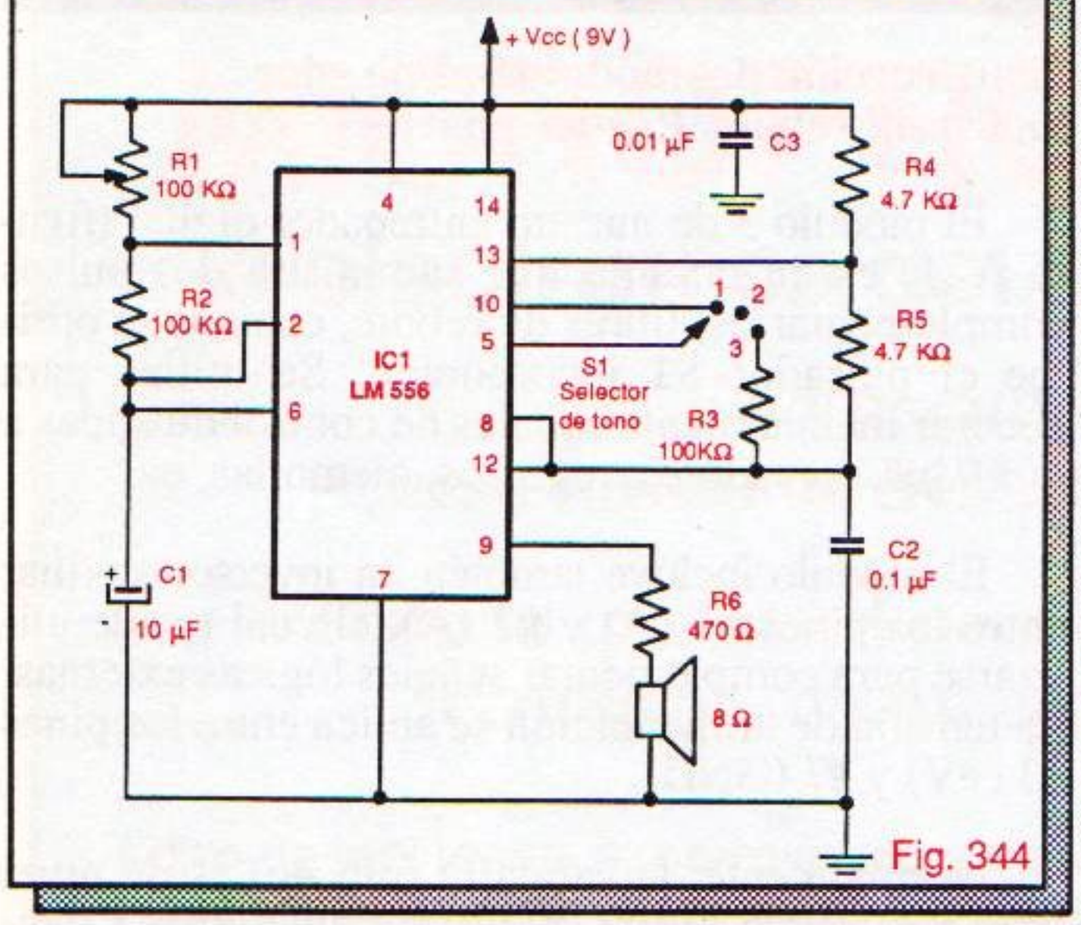


Fig. 344

como astables para generar tres sonidos diferentes: continuo, rasgado (*burst*) y modulado. El sonido deseado se elige mediante el interruptor S1 y su frecuencia se controla mediante el potenciómetro R1.

El primer oscilador, formado por R1, R2, C1 e IC1-A, produce un tren de pulsos de baja frecuencia. El segundo, formado por R4, R5, C2 e IC2-B, produce un tren de pulsos de alta frecuencia. La salida del primer astable (pin 5) controla la operación del segundo. La salida de este último (pin 9) impulsa el parlante.

El potenciómetro R1 controla la frecuencia del primer astable. La frecuencia del segundo astable es fija y la determinan los valores de R4, R5 y C2. El volumen del tono seleccionado puede mejorarse conectando un amplificador de audio (*kit* CEKIT K14 o similar) al pin 9.

Con S1 en la posición **1**, el pin 1 queda conectado a la entrada de *reset* (pin 10) del segundo oscilador. Este último se conecta y desconecta al ritmo impuesto por el primer oscilador. En el parlante se escucha un tono rasgado, es decir un sonido que se repite periódicamente, a intervalos regulares, en forma de ráfagas (*burst*).

Con S1 en la posición 2, el pin 5 queda al aire y el segundo oscilador opera libremente, entregando un tren de pulsos de frecuencia constante por el pin 9. En el parlante se escucha un tono continuo.

Con S1 en la posición 3, el pin 5 queda conectado a los pines 8 y 12. Las señales de los dos osciladores se mezclan y en el parlante se escucha un tono mixto o modulado, es decir, un sonido de frecuencia variable. Al mover R1, la rapidez con la cual se sucede la mezcla de ambos tonos varía.

Probador audible de temperatura

La figura 345 muestra el circuito de un probador audible de temperatura desarrollado alrededor de un multivibrador astable **4047B**. El sistema utiliza como sensor de temperatura un *termistor* en contacto térmico con el punto de medida. La frecuencia del tono escuchado en el parlante aumenta cuando aumenta la temperatura y viceversa.

Un termistor (figura 346) es un dispositivo semiconductor cuya resistencia cambia con la temperatura. Existen dos clases generales de termistores: los PTC o de coeficiente positivo y los NTC o de coeficiente negativo. Estos últimos son los más co-

Probador audible de temperatura

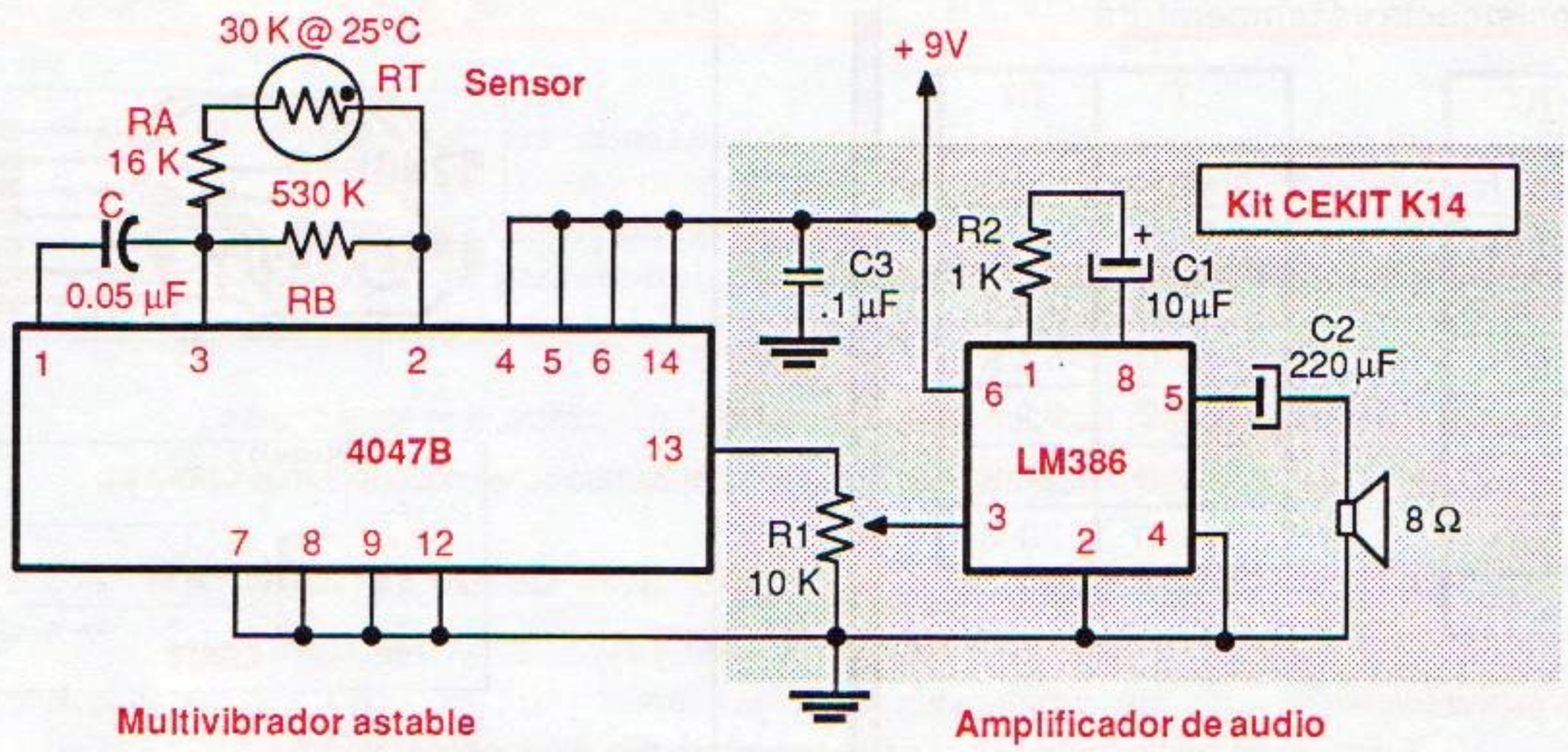


Fig. 345

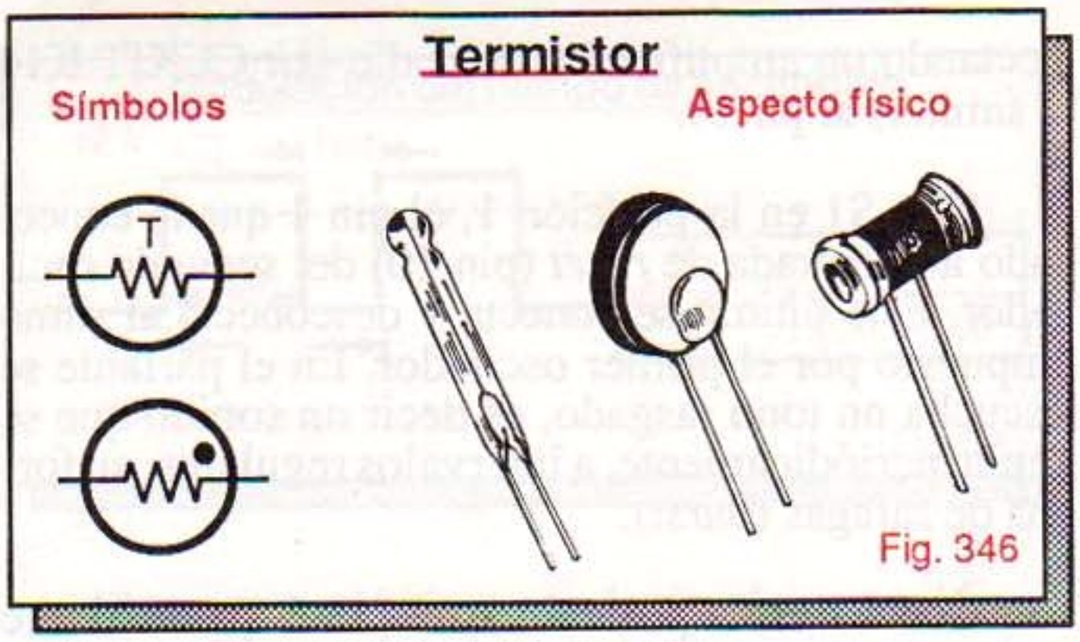


Fig. 346

munes. En ellos, la resistencia disminuye cuando aumenta la temperatura y viceversa.

Los termistores se especifican generalmente por su resistencia nominal a 25 ºC. En la tabla 17-3 se relacionan algunos valores típicos de resistencia que adopta un termistor de 30 KΩ en el rango de temperaturas comprendido entre -30º C y 100 ªC. Estos valores varian de acuerdo al fabricante.

La frecuencia de salida del circuito de la figura 345 se evalúa mediante la siguiente fórmula:

$$Fout = \frac{1}{2.2 \times (RA + RT) \times C} + \frac{1}{2.2 \times RB \times C}$$

En esta expresión, **RT** es la resistencia del termistor a la temperatura de trabajo. Por ejemplo, a 0º C, RT≈95K; a 25ºC, RT=30 KΩ; a 70º C, RT≈5.4 KΩ; etc. Con los valores de RA, RB y C suministrados en la figura 345, a 0ºC se escuchará un tono de 100 Hz, a 25º C uno de 215 Hz y a 70 ª C uno de 440 Hz, aproximadamente.

Resistencia vs temperatura

T	RT
-30° C	481 K
-20° C	271 K
-10° C	158 K
0° C	95 K
10° C	59 K
20° C	37 K
25° C	30 K
30° C	24 K

T	RT
40° C	16 K
50° C	11 K
60° C	7.6 K
70° C	5.4 K
80° C	3.8 K
90° C	2.8 K
100° C	2.1 K

RT: Resistencia del termistor

T: Temperatura de trabajo

Tabla 17-3

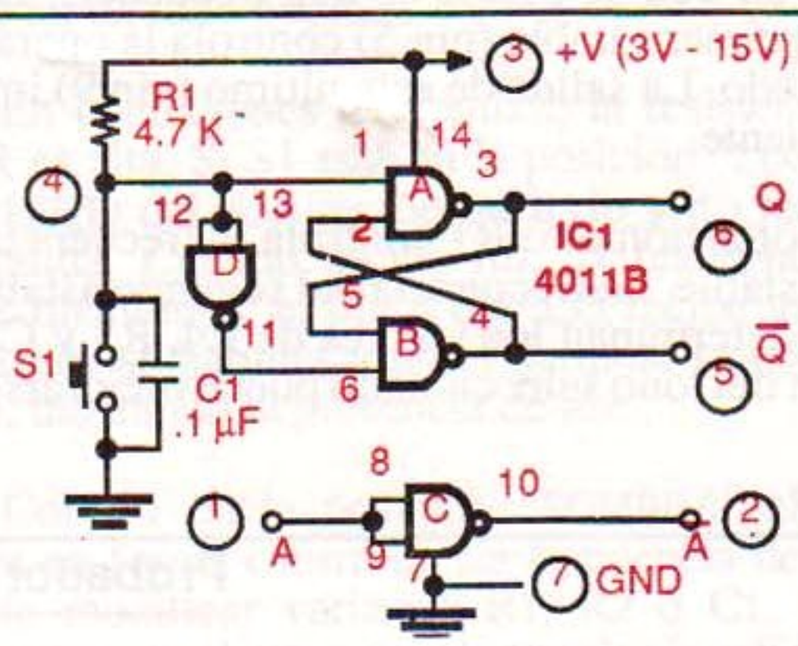
ACTIVIDAD PRACTICA Nº 13

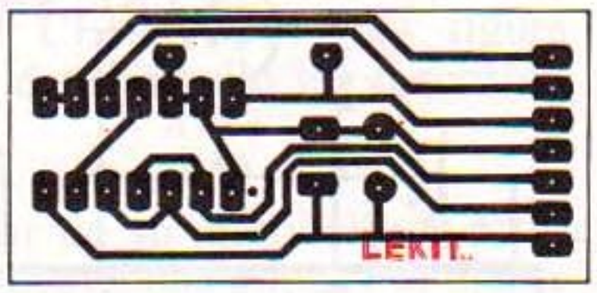
Construcción del módulo 3: Pulsador lógico sin rebote. Primera parte

El módulo 3 de nuestro entrenador digital (figura A21) es un circuito que suministra dos pulsos complementarios, libres de rebote, cuando se oprime el pulsador S1 incorporado. Se utiliza para generar manualmente señales de control dirigidas a *flip-flops*, contadores, registros, memorias, etc.

El módulo incluye también un inversor auxiliar entre los pines #1 (A) y #2 ($\bar{A}$), el cual puede utilizarse para complementar señales lógicas externas. La tensión de alimentación se aplica entre los pines #3 (+V) y #7 (GND).

Normalmente, la salida Q (pin #6) es de nivel **bajo** y la salida $\bar{Q}$ (pin #5) es de nivel **alto**. Cuando se oprime S1, Q se hace **alta** y $\bar{Q}$ se hace **baja**. Al liberar S1, Q y $\bar{Q}$ retornan a sus estados originales. La entrada IN EXT (pin #4) permite eliminar el rebote de interruptores externos. A partir de la próxima actividad iniciaremos el ensamble paso a paso de este módulo.





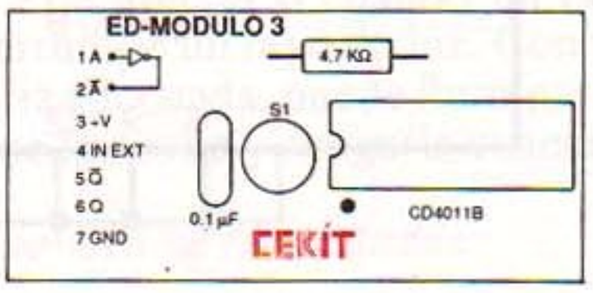


Fig. A21

El PLL digital

- *Introducción*
- *Qué es un PLL*
- *El circuito integrado 4046B*
- *Experimento Nº 20. Operación de un oscilador controlado por voltaje (VCO) .*
- *Sistema PLL completo con 4046B.*
- *CIRCUITOS DE APLICACION*
- *Generadores de tonos*
- *Detector de tonos*
- *Sirena electrónica*
- *Sintetizador de frecuencia*
- *Generador de pulsos de frecuencia modulada (FM)*
- *Revólver espacial*

Introducción

El lazo de amarre de fase o PLL (*Phase-Locked Loop*) es un dispositivo digital extremadamente versátil que se utiliza para la generación de señales de pulsos y una gran variedad de aplicaciones de control de frecuencia. Entre estas últimas sobresalen las siguientes:

- Modulación y demodulación de frecuencia.
- Decodificación de tonos.
- Multiplicación de frecuencia.
- Acondicionamiento de señales.
- Sincronización de señales de reloj.
- Sintetización de frecuencias.
- Conversión de voltaje a frecuencia.
- Control de velocidad de motores.

En esta lección estudiaremos los principios de operación del PLL digital, haciendo especial énfasis en su utilización como *oscilador controlado por voltaje* o VCO. Analizaremos en detalle el circuito integrado **4046B**, el más representativo de todos los PLL's digitales,y lo utilizaremos en varios circuitos de aplicación, tanto básicos como avanzados.

Qué es un PLL

Un lazo de amarre de fase o PLL (*Phase-Locked Loop*) es un sistema de control de frecuencia constituido por un comparador o detector de fase, un filtro pasabajos y un oscilador controlado por voltaje o VCO, interconectados como se indica en la figura 347. El sistema opera, en términos generales, como sigue:

En condiciones normales, sin señal de entrada, los voltaje de salida del comparador de fase (Ve) y del filtro pasa-bajos (Vd) son iguales a cero y el

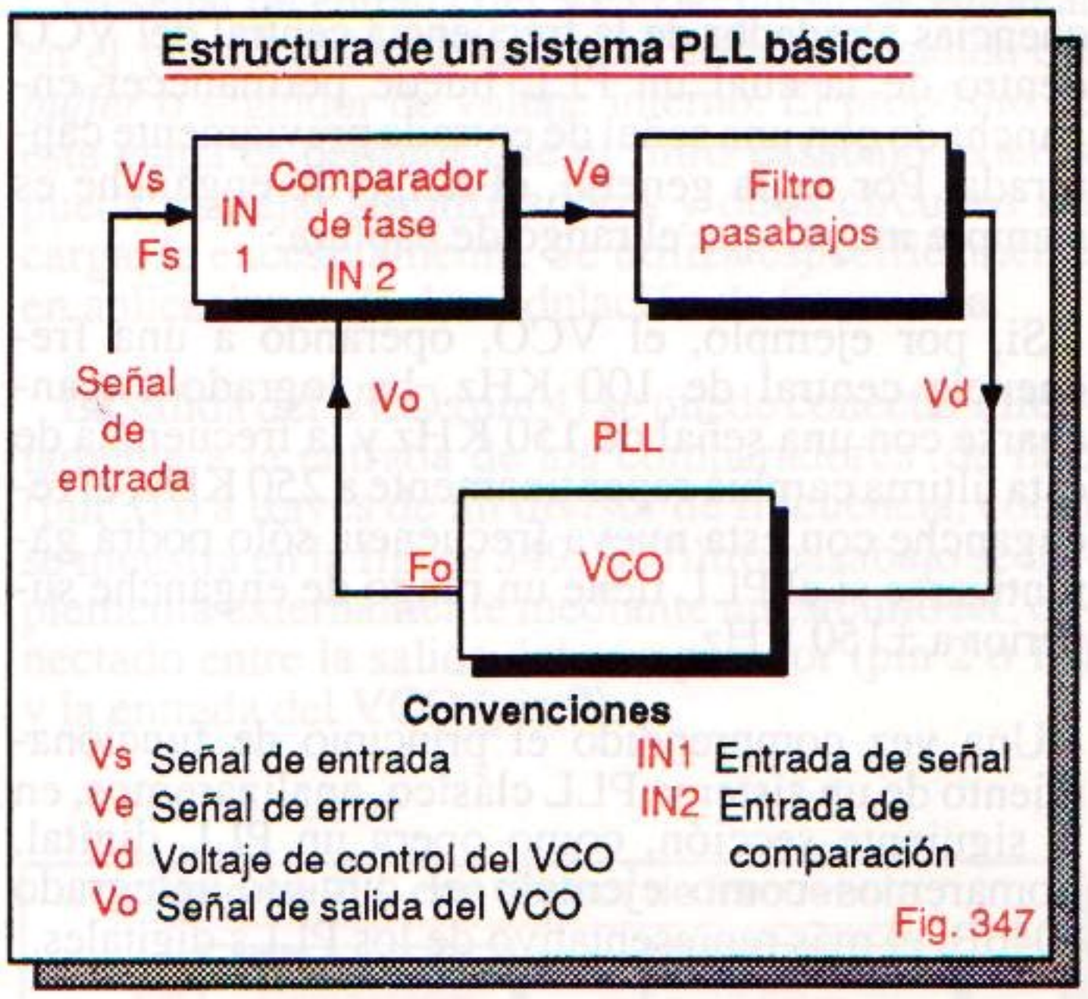


Fig. 347

VCO oscila a una determinada frecuencia (Fo). Esta frecuencia se denomina *frecuencia central* y la determina, generalmente, un circuito RC externo.

Cuando se aplica una señal de entrada, el comparador de fase compara la frecuencia de esta última (Fs) con la del VCO y genera un voltaje de salida cuya magnitud es proporcional a la diferencia de frecuencia entre las dos señales. Este voltaje se denomina *voltaje de error* y controla, a través del filtro pasabajo, la frecuencia del VCO.

Como consecuencia de la existencia de un voltaje de error, se inicia un proceso de *captura* altamente complejo que tiene por objeto *enganchar* la frecuencia del VCO con la de la señal de entrada, es decir, hacerlas iguales. Para que esto suceda, la frecuencia de la señal de entrada debe estar dentro del *rango de captura* del PLL.

El *rango de captura* es una banda de frecuencias alrededor de la frecuencia central del VCO dentro de la cual el PLL puede engancharse con una señal de entrada. Por ejemplo, si la frecuencia central del VCO es de 100 KHz y se aplica una señal de entrada de 150 KHz, el VCO podrá engancharse con esta última sólo si el rango de captura del PLL es superior a ±50 KHz.

Una vez enganchado un PLL, la frecuencia del VCO será idéntica a la de la señal de entrada y el voltaje de error será igual a cero, Si, por alguna circunstancia, la frecuencia de entrada cambia, el VCO

variará automáticamente su frecuencia hasta conseguir el enganche. Esto será posible mientras la nueva frecuencia se mantenga dentro del *rango de enganche* del PLL.

El *rango de enganche* es una banda de frecuencias alrededor de la frecuencia central del VCO dentro de la cual un PLL puede permanecer enganchado con una señal de entrada previamente capturada. Por regla general, el rango de enganche es siempre mayor que el rango de captura.

Si, por ejemplo, el VCO, operando a una frecuencia central de 100 KHz, ha logrado engancharse con una señal de 150 KHz y la frecuencia de esta última cambia repentinamente a 250 KHz, el reenganche con esta nueva frecuencia sólo podrá garantizarse si el PLL tiene un rango de enganche superior a ±150 KHz.

Una vez comprendido el principio de funcionamiento de un sistema PLL clásico, analizaremos, en la siguiente sección, como opera un PLL digital. Tomaremos como ejemplo el circuito integrado 4046B, el más representativo de los PLLs digitales.

El circuito integrado 4046B

El **4046B** es un PLL digital que contiene, en una misma cápsula DIP de 16 pines, dos comparadores de fase, un oscilador controlado por voltaje (VCO), un amplificador de entrada y un *seguidor de voltaje*.

El primer comparador (PC1) se conoce también como detector de fase de *bajo ruido* y el segundo (PC2) como detector de fase de *banda ancha*.

En la figura 348 se muestra el diagrama interno de bloques y la distribución de pines de este importante *chip*, identificado bajo las referencias **MC 14046B** de Motorola y **CD4046B** de RCA y National, entre otros fabricantes.

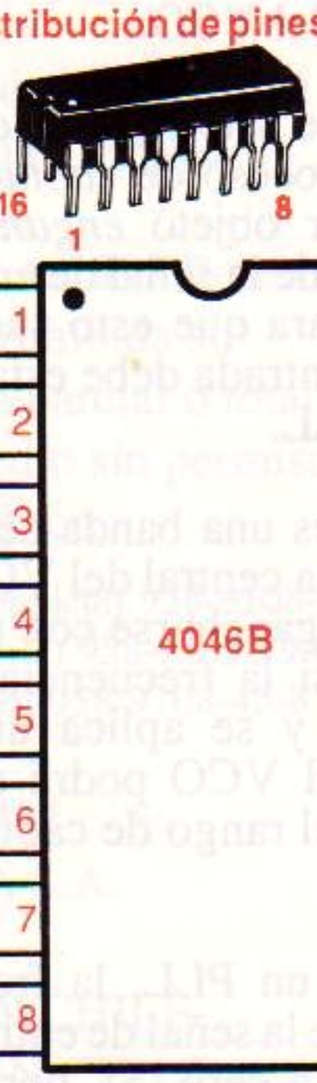
El PLL 4046B puede operar con tensiones de alimentación desde 3V hasta 18V y se caracteriza por su bajo consumo de potencia. Esta última es una consideración importante en equipos operados por batería. El voltaje de alimentación se aplica entre los pines **16** (V_{DD}) y **8** (V_{SS} o GND).

Los dos comparadores comparten las mismas líneas de entrada. La señal de entrada se aplica en el pin **14** (SIGNAL IN) y la señal de comparación (proveniente del VCO o de un divisor de frecuencia externo) se aplica al pin **3** (COMP IN). La salida del primer comparador es el pin 2 (PC1 OUT) y la del segundo el pin 13 (PC2 OUT).

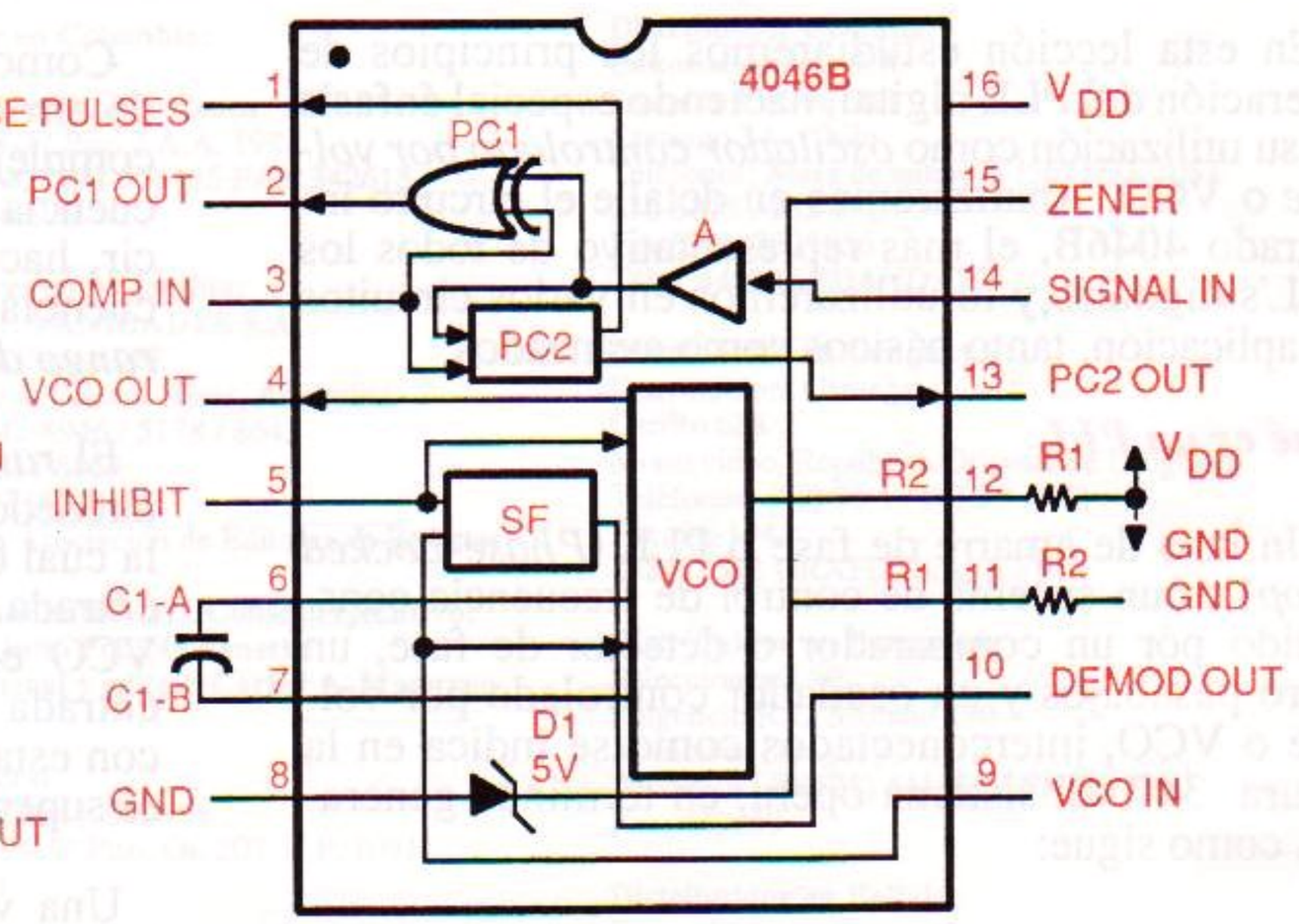
La disponibilidad de dos salidas de comparación independientes permite que el usuario pueda seleccionar cualquier comparador para una aplicación específica. Lo único que tiene que hacer es conectar la salida del comparador elegido a la entrada del VCO a través de un filtro pasabajo. De este modo se configura un sistema PLL básico.

PLL digital 4046B

A. Distribución de pines



B. Diagrama interno de bloques



SF: Seguidor de voltaje (source follower)
A: Amplificador de entrada

Fig. 348

El primer comparador (PC1) es, simplemente, una compuerta OR exclusiva. Se caracteriza por su alta inmunidad al ruido, pero requiere de señales de entrada simétricas para obtener un buen rango de captura. Además, tiende a engancharse con señales de entrada cuya frecuencia es un múltiplo entero de la frecuencia central del VCO.

Por ejemplo, si la frecuencia central del VCO es F0=100 KHz, el comparador PC1 tenderá a engancharse con señales de entrada de 100 KHz, 200 KHz, 300 KHz, y así sucesivamente. Estas frecuencias se denominan *armónicas*. Sin señal de entrada, este comparador suministra un voltaje promedio de salida igual a VDD/2.

El segundo comparador (PC2), realizado a base de *flip-flops* y compuertas de control, es más susceptible al ruido pero tiene un rango de captura mucho más amplio, acepta señales de entrada asimétricas, por ejemplo, pulsos muy estrechos, y no presenta el problema armónico del primer comparador. Por estas razones, es el más utilizado.

Este comparador entrega en su salida (pin 13) un nivel **alto** cuando la frecuencia de entrada es más alta que la del VCO y un nivel **bajo** en el caso contrario. Si las dos señales tienen la misma frecuencia y la misma fase, la salida de control PHASE PULSES (*pulsos de fase*, pin 1) se hace **alta**. Esta información se puède utilizar para indicar a los circuitos externos que el PLL está enganchado.

Por cuestiones prácticas, la entrada de los comparadores de fase (COMP IN, pin 3) debe ser manejada por una señal digital rápida y bien definida. El amplificador interno conectado a ese punto no opera eficientemente cuando recibe señales de entrada muy lentas o con niveles **altos** y **bajos** de voltajes muy alejados de VDD y 0V, respectivamente.

Recuerde que en CMOS, un nivel **bajo** corresponde a un voltaje entre 0V y el 30% del voltaje de alimentación (VDD) y un nivel **alto** a un voltaje entre el 70% de VDD y el 100% de VDD. Una señal de entrada por fuera de estos rangos afecta la sensibilidad del sistema e introduce ruido.

Una solución al problema de disponer de pulsos de baja amplitud es utilizar una resistencia de *pull-up* de 10 KΩ entre el pin 3 y +VDD para levantar el nivel **alto** de la señal de entrada. Esta última se puede acoplar al pin 3 través de un condensador de 0.1 µF. Si la señal de entrada es muy lenta, debe acondicionarse previamente utilizando, por ejemplo, una compuerta *Schmitt-trigger*.

El VCO produce en el pin **4** (VCO OUT) una onda cuadrada simétrica cuya frecuencia depende de un voltaje de control aplicado al pin **9** (VCO IN) y de los valores de un condensador y de dos resistores externos conectados a los pines **6** (C1A), **7** (CIB), **11** (R1) y **12** (R2). La operación del VCO se puede inhibir aplicando un **alto** al pin 5 (INHIBIT).

La señal de entrada del VCO se puede monitorear en el pin 10 (DEMOD OUT), es decir, a la salida del *buffer* o seguidor de voltaje interno. El propósito de esta etapa es permitir que el filtro pasabajo externo pueda manejar amplificadores y otros circuitos sin cargarse excesivamente. Se utiliza específicamente en aplicaciones de demodulación de frecuencia.

La salida del VCO (pin 4) se puede conectar directamente a la entrada de los comparadores de fase (pin 3) o a través de un divisor de frecuencia, como se muestra en la figura 349. El filtro pasabajo se implementa externamente mediante un circuito RC conectado entre la salida del comparador (pin 2 ó 13) y la entrada del VCO (pin 9).

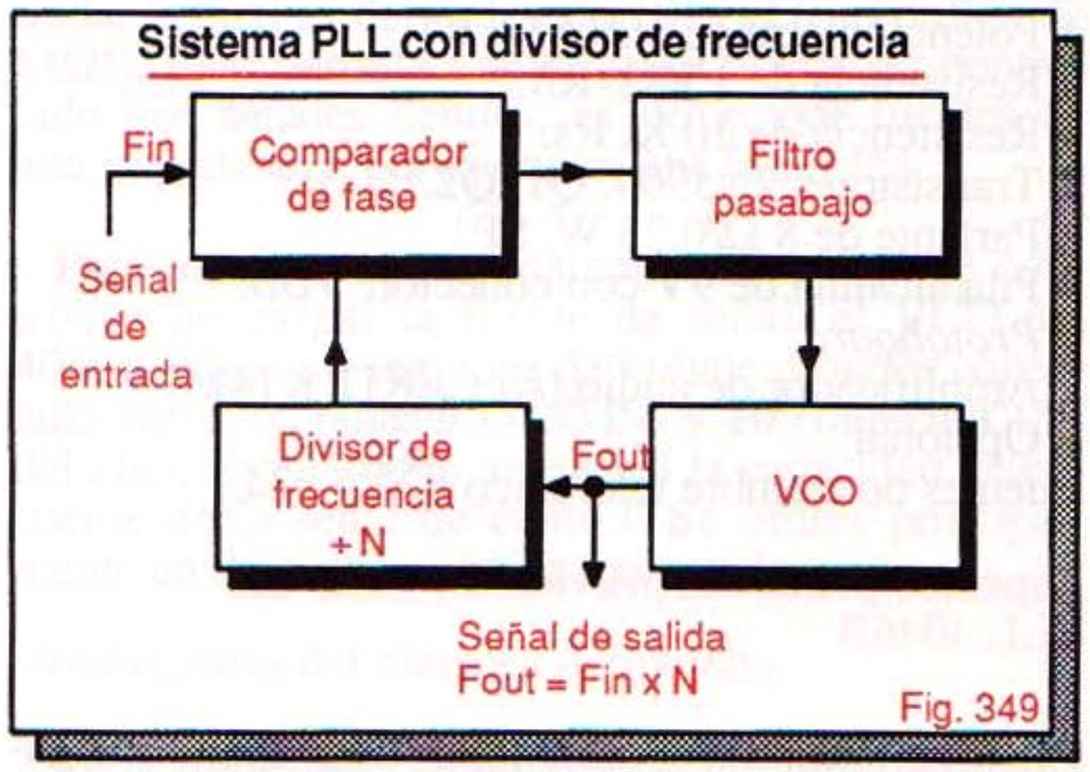


Fig. 349

Finalmente, el PLL **4046B** posee internamente un diodo Zener de 5.2V/50 µA conectado entre el pin **15** (ZENER) y tierra. Este dispositivo se destina para aplicaciones de regulación de voltaje y su uso es opcional.

Antes de analizar cómo opera un sistema PLL digital completo con **4046B**, es importante que nos familiaricemos con la forma como trabaja el oscilador controlado por voltaje (VCO) interno. En el siguiente experimento exploraremos intuitivamente este concepto, construyendo un generador audible de voltaje a frecuencia.

El VCO del 4046B es una de las versiones más económicas, versátiles y eficientes de este tipo de circuitos disponible actualmente. Además de ciertas características intrínsecas (por ejemplo, una muy alta impedancia de entrada), puede operar por encima de 1 MHz y engancharse con frecuencias de entrada en un rango de 10^6 a 1 (un millón a uno).

EXPERIMENTO Nº 20

Operación de un oscilador controlado por voltaje (VCO)

Objetivos

• Analizar la operación del VCO interno del PLL 4046B construyendo un sencillo convertidor audible de voltaje a frecuencia.

• Aprender a calcular las frecuencias mínima, central y máxima de trabajo del VCO.

• Familiarizarse con la utilización del PLL 4046B.

Materiales necesarios

1 Circuito integrado 4046B (PLL digital). IC1
1 Condensador de 0.01 µF (103). C1
1 Potenciómetro de 1 MΩ. RP.
1 Potenciómetro de 100 KΩ. R1.
1 Resistencia de 1 KΩ. RB.
1 Resistencia de 10 K. Rs.
2 Transistores 2N3904. Q1, Q2.
1 Parlante de 8 Ω/0.25 W. SP1
1 Pila alcalina de 9V con conector. VDD.
1 *Protoboard.*
1 Amplificador de audio (*kit* CEKIT K14). Opcional
Puentes de alambre telefónico #22 ó #24.

Aspectos prácticos previos. El VCO del PLL 4046B

Un oscilador controlado por voltaje o VCO (figura E33) es un circuito que produce una señal de salida, generalmente una onda cuadrada, cuya frecuencia es proporcional al valor de un voltaje de CC aplicado en su entrada de control. Es decir, un VCO es un convertidor de voltaje a frecuencia.

En condiciones normales, un VCO opera a una frecuencia específica, llamada *frecuencia central* (Fo), cuyo valor lo establecen una red RC externa y un voltaje de control tomado como referencia. Este último, en el caso del VCO del PLL 4046B, es igual a la mitad del voltaje de alimentación (VDD/2).

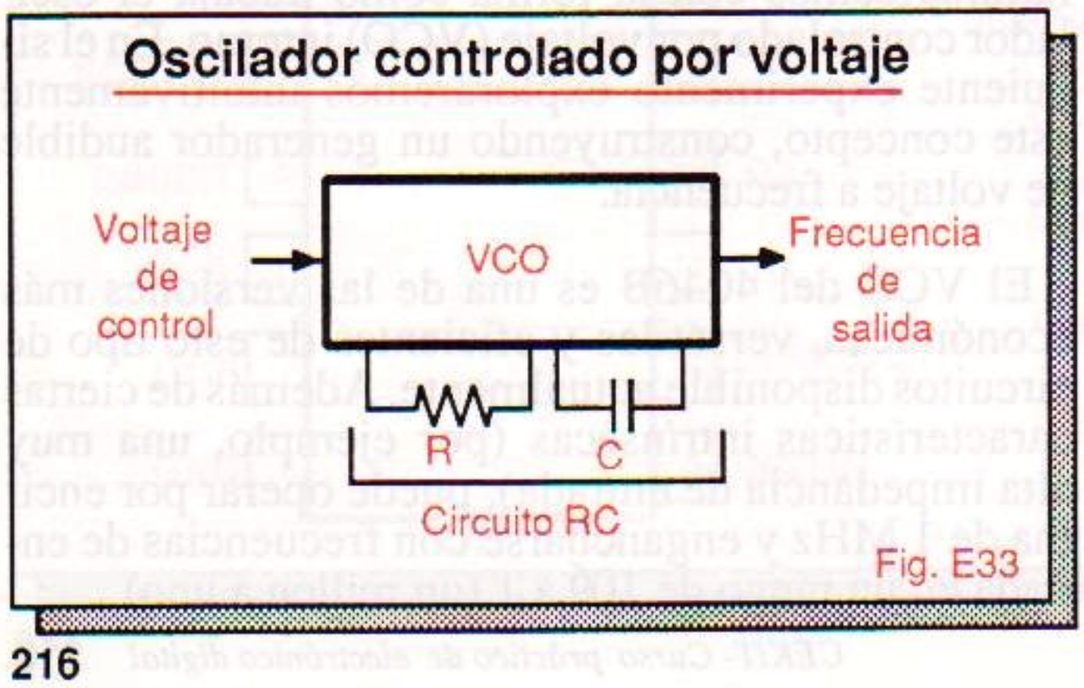


Fig. E33

En la figura E34 se muestra la forma de utilizar el PLL 4046B como oscilador controlado por voltaje. La tensión de alimentación (3V a 18V) se aplica entre los pines 16 (VDD) y 8 (GND). La entrada de control es el pin 9 (VCO IN) y la salida de señal es el pin 4 (VCO OUT). El uso de la resistencia R2 es opcional, como se explicará más adelante.

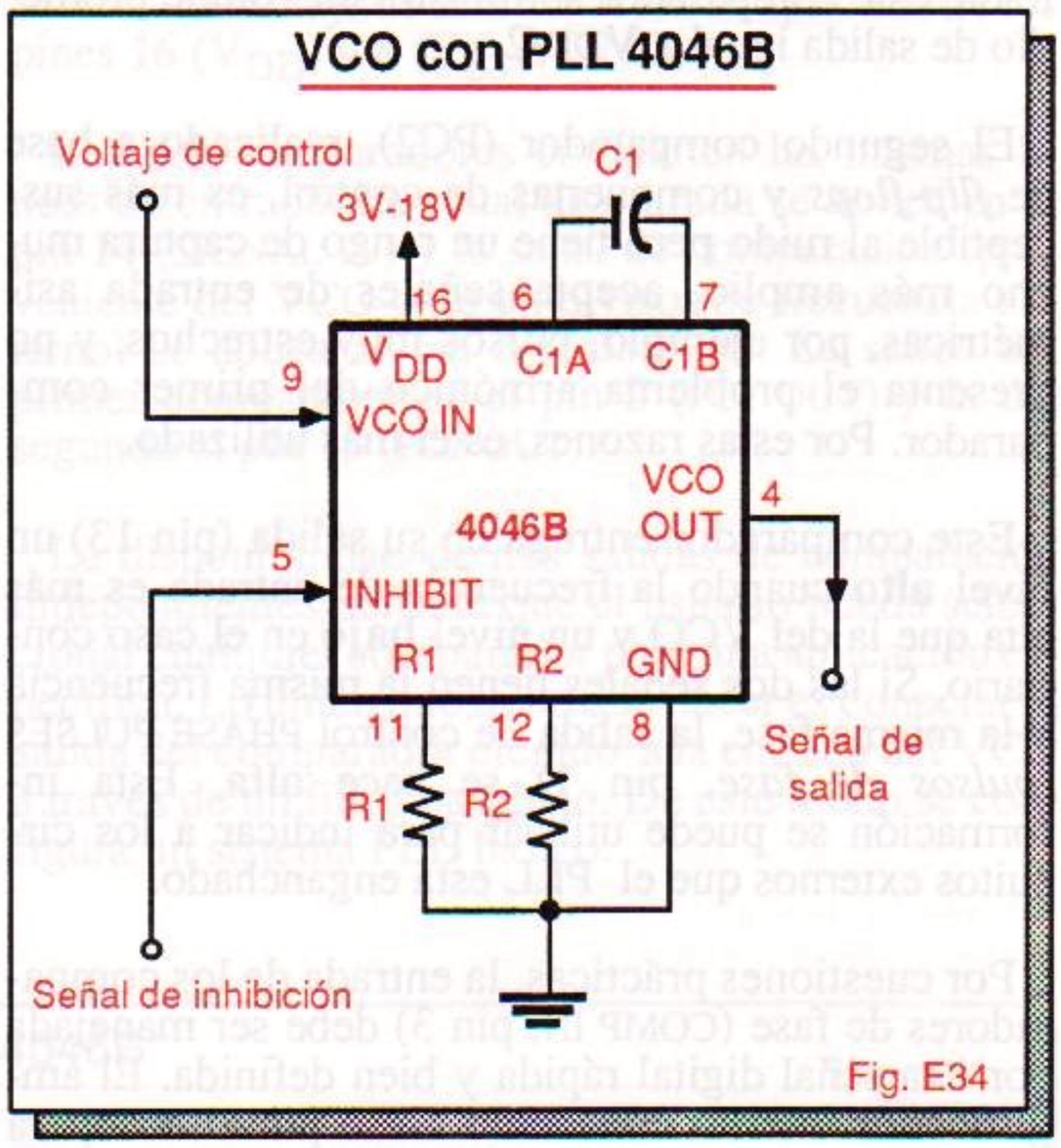


Fig. E34

El pin 5 (INHIBIT) actúa como línea digital de inhibición. Cuando esta entrada es **baja** (**0**), el VCO opera en forma normal, es decir, entrega una señal en la salida (OUT, pin 4). Cuando la línea de inhibición es **alta** (**1**), el VCO se inhibe y la salida es un nivel **bajo** permanente.

La línea de inhibición se utiliza, principalmente, para reducir el consumo de potencia del *chip* en condiciones de reposo (*stand-by*). El consumo de potencia del PLL 4046B depende fundamentalmente de la frecuencia del VCO. A 10 KHz, por ejemplo, este consumo es del orden de 600 µW. Con la línea de inhibición activa, el consumo es mínimo.

El voltaje de control se aplica al pin 9 (VCO IN) y puede variar desde 0V (GND) hasta el valor de la fuente de alimentación (VDD). En el primer caso, la frecuencia de la señal de salida obtenida en el pin 4 (VCO OUT) es mínima y en el segundo es máxima. Las frecuencias máxima y mínima de operación del VCO se evalúan mediante las siguientes fórmulas:

$$f_{mín} \approx \frac{1}{R2\,(C1 + 32\,pF)}$$

$$f_{máx} \approx \frac{1}{R1\,(C1 + 32\,pF)} + f_{min}$$

En estas expresiones, **fmín** es la frecuencia del VCO cuando el voltaje de control aplicado al pin 9 es igual a 0V y **fmáx** la frecuencia del mismo cuando este voltaje es igual al valor de la fuente de alimentación (VDD). Para que el VCO opere adecuadamente, los valores de R1 y R2 deben estar entre 10K y 1 MΩ y el de C1 entre 100 pF y 0.01 µF.

Por ejemplo, si C1=0.001 µF (1000 pF), R1=100 KΩ y R2 = 1 MΩ, entonces:

$$F_{mín} = 1/(1x10^{6}x(0.001x10^{-6}+32x10^{-12}))$$

$$\mathbf{F_{mín} \approx 970\ Hz}$$

$$F_{máx} = 1/(100x10^{3}x(0.001x10^{-6}+32x10^{-12})) + 970$$

$$\mathbf{F_{máx} \approx 11\ KHz}$$

Por tanto, con los valores de componentes dados, la frecuencia del VCO se puede variar entre 970 Hz y 11 KHz, aproximadamente. Si se elimina R2 y se deja el pin 12 al aire (**R2=∞**, infinita), la frecuencia mínima es prácticamente igual a 0 Hz y la máxima a 9.7 KHz. Es decir:

Si R2 = ∞

$$f_{mín} \approx 0\ Hz$$

$$f_{máx} \approx \frac{1}{R1\,(C1 + 32\,pF)}$$

Estas fórmulas, y las anteriores, no deben considerarse como reglas absolutas, sino como aproximaciones a los valores reales. Los valores exactos de R1 y R2 necesarios para cumplir determinados requisitos de diseño deben encontrarse experimentalmente, utilizando potenciómetros, y pueden llegar a ser hasta 4 veces superiores o inferiores a los calculados.

El VCO del 4046B opera a la frecuencia central (Fo) cuando el voltaje de control aplicado al pin 9 es igual a VDD/2 y se calcula, en forma aproximada, mediante la siguiente fórmula:

$$Fo \approx \frac{f_{máx} - f_{mín}}{2}$$

Continuando con nuestro ejemplo, fmáx=11 KHz y fmín = 970 Hz. Por tanto:

$$\mathbf{Fo} \approx (970 + 11x10^{3})/2 \approx 5985\ Hz \approx \mathbf{6\ KHz}$$

Si R2=∞ (pin 12 desconectado), la frecuencia central será, simplemente, la mitad de la frecuencia máxima. Es decir:

$$Fo \approx \frac{f_{máx}}{2} \qquad Si\ R2 = \infty$$

La resistencia R2 se denomina *resistencia de offset* y se utiliza cuando se desea desplazar la frecuencia mínima del VCO a un valor por encima de 0 Hz. Su uso, por tanto, es opcional.

Otra característica importante del VCO del PLL 4046B es su extremadamente alta impedancia de entrada, la cual es del orden de 10^{12} Ω (¡un millón de MΩ!). Esto permite que el pin 9 pueda ser controlado por señales débiles, es decir, por fuentes de alta impedancia, por ejemplo, una fotocelda.

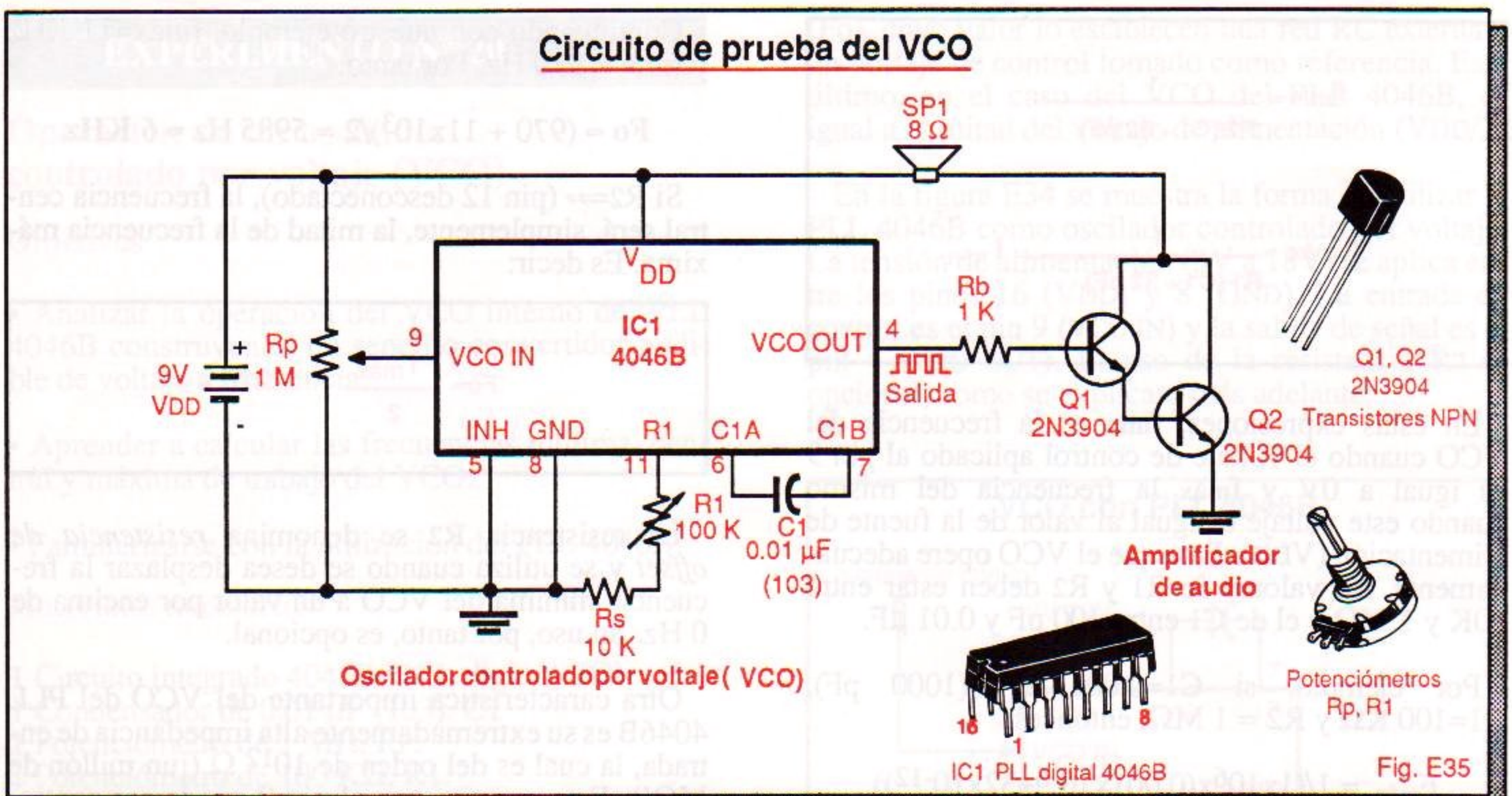
Para monitorear externamente el voltaje de control, y no cargar la fuente de señal, el VCO del 4046B posee un seguidor de voltaje o *buffer* conectado entre los pines 9 (VCO IN) y 10 (DEMOD OUT) del *chip*. Este circuito amplifica la capacidad de corriente de la señal de control. Se utiliza principalmente en demodulación de frecuencia.

Descripción del circuito de prueba

En la figura E35 se muestra el circuito de prueba que vamos a utilizar en este experimento para analizar la operación del VCO del PLL 4046B. Observe que no se utiliza la resistencia R2 (pin 12 libre) y que la entrada de inhibición (pin 5) está puesta a tierra, es decir, tiene aplicado un nivel **bajo**. Por tanto, el VCO está permanentemente habilitado.

El potenciómetro RP actúa como divisor de tensión y su función es suministrar cualquier voltaje de control entre 0V y 9V al pin 9. El rango de frecuencias que puede obtenerse con este circuito se extiende desde unos pocos Hz hasta ≈15 KHz. La frecuencia central es ajustable entre 2 KHz y 9 KHz.

El potenciómetro R1 permite variar la frecuencia del VCO para un determinado voltaje de control. La resistencia RB y los transistores Q1 y Q2 configuran un amplificador tipo *darlington* cuya función es convertir los pulsos de salida del VCO en una señal audible. Para obtener un mayor volumen, este circuito puede sustituirse por el *kit* CEKIT **K14** (ver página 189) o un amplificador de audio similar.



Oscilador controlado por voltaje (VCO)

Procedimiento

Paso 1. Arme cuidadosamente sobre el *protoboard* el circuito de la figura E35, observando todas las precauciones de manipulación de dispositivos CMOS. Al terminar el montaje, sitúe los potenciómetros R1 y RP en sus posiciones medias y márquelas, para tenerlas como referencia.

Paso 2. Conecte la fuente de alimentación. Deberá escuchar un tono característico. Situé RP en su posición mínima y muévalo lentamente hasta su posición máxima con el fin de variar el voltaje de control desde 0V hasta 9V. Notará que la frecuencia de los tonos se incrementa paulatinamente, es decir, estos se hacen cada vez más agudos.

De este modo hemos comprobado que la frecuencia del VCO depende del voltaje aplicado a la entrada de control. Lleve nuevamente RP a su posición media.

Paso 3. Sitúe R1 en su posición máxima (100 KΩ) y muévalo lentamente hasta su posición mínima (0 Ω). Notará que la frecuencia de los tonos también se incrementa, siendo graves al comienzo y agudos al final.

De este modo, hemos comprobado que la frecuencia del VCO depende del valor de los componentes externos. Variando simultáneamente RP y R1, obtendrá efectos sonoros muy interesantes.

* * *

Sistema PLL completo con 4046B

En la figura 350 se muestra la estructura de un sistema PLL completo construido alrededor del circuito integrado 4046B. Externamente, el circuito requiere de un contador/divisor de frecuencia (÷N), instalado entre la salida del VCO (pin 4) y la entrada del comparador de fase (pin 3), y de un filtro pasabajos, conectado entre la salida del comparador de fase (pin 2 ó 13) y la entrada del VCO (pin 9).

En condiciones normales, sin señal de entrada, el VCO trabaja a una frecuencia central (Fo) específica y en la entrada del comparador (pin 3) se obtiene una señal cuya frecuencia es Fo/N, siendo N el factor de división del contador. Por ejemplo, si la frecuencia del VCO es 10 KHz y N=128, en la salida del contador obtendremos una señal de ≈78 Hz.

Cuando se aplica una señal de entrada al pin 14 (SIGNAL IN) y el PLL se engancha, la frecuencia de salida del contador (pin 3) se hace igual a la frecuencia de entrada (FIN). Esto implica que la nueva frecuencia de salida del VCO (pin 4) es N veces mayor que la frecuencia de entrada. Es decir:

$$F_{OUT} = N \times F_{IN}$$

Por ejemplo, si la frecuencia de entrada es 5 KHz y N=128, la frecuencia del VCO, en condiciones de enganche, debe ser, igual a 5x128=640

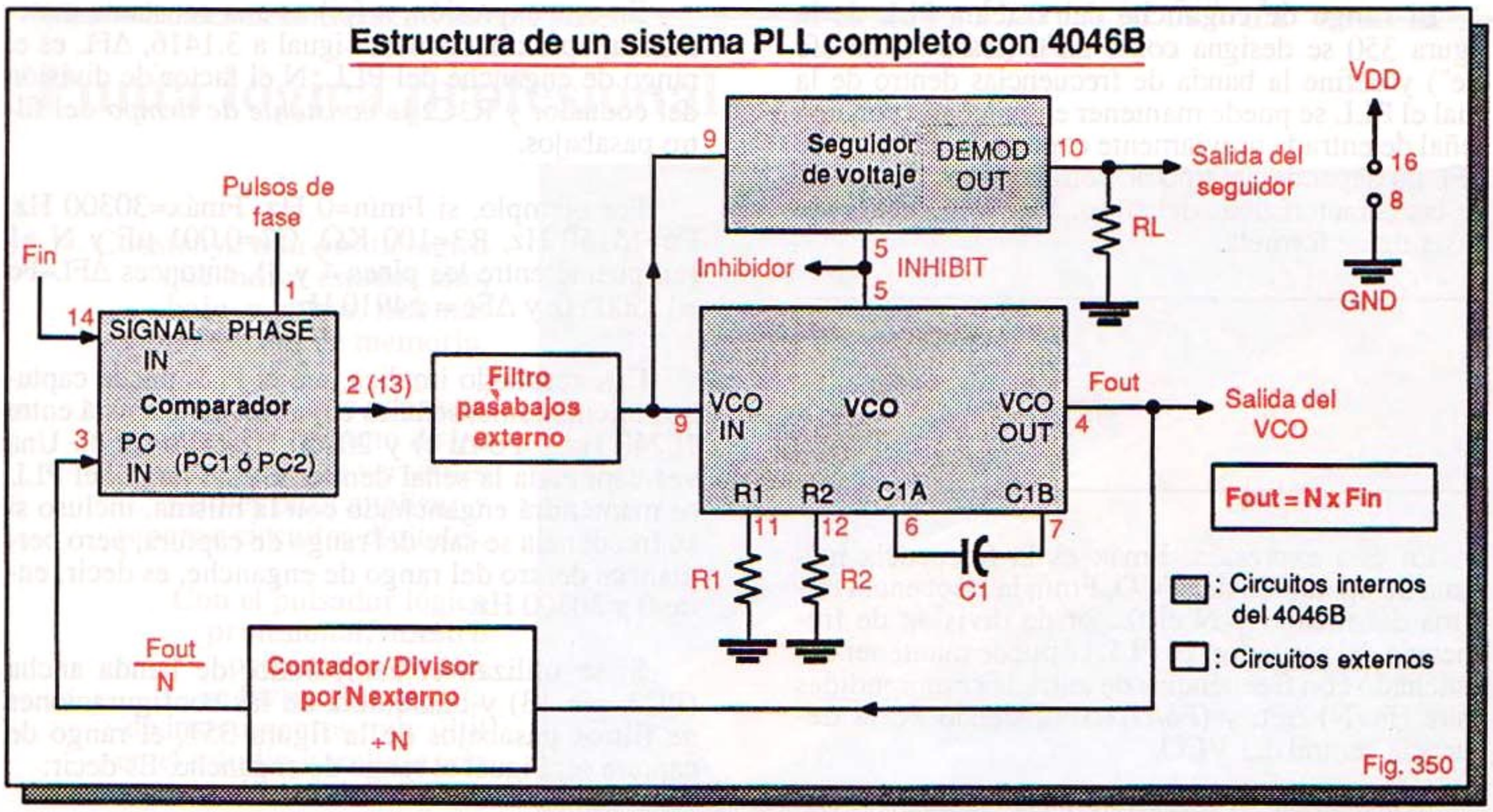


Fig. 350

KHz. De este modo, la señal de salida del contador tendrá la misma frecuencia de la de entrada (5 KHz). Si se utiliza la salida del comparador de bajo ruido (pin 2), estas dos señales diferirán únicamente en su fase.

Si se utiliza la salida del comparador de banda ancha (pin 13), la señal de entrada y la suministrada por el contador serán idénticas, tanto en frecuencia como en fase. Este comparador, a pesar de ser menos inmune al ruido que el anterior, es el que se emplea en la mayoría de los casos, especialmente por aceptar señales asimétricas y por tener un rango de captura más extenso.

El filtro pasabajo conectado a la salida del comparador de fase suministra el voltaje de control necesario para que el VCO se enganche, a través del contador, con la señal de entrada. Sin señal de entrada, el filtro suministra un voltaje de control igual a $V_{DD}/2$, causando que el VCO oscile a la frecuencia central (Fo). Esto sucede cuando se utiliza el comparador de bajo ruido (pin 2).

Si se emplea el comparador de banda ancha (pin 13), el filtro entregará, sin señal de entrada, un voltaje de control igual a 0V, el cual causa que el VCO oscile a la frecuencia mínima (Fmín).

El filtro pasabajos es una parte esencial de todo PLL y es el que determina la velocidad con la cual el sistema puede seguir o rastrear los cambios en la frecuencia de entrada. Además, influye marcadamente en el rango de captura y evita que la operación normal del PLL pueda ser afectada por picos de ruido.

En la figura 351 se muestran las dos configuraciones más comunes de filtros pasabajos utilizadas en sistemas PLL con 4046B. El circuito A se utiliza cuando la señal de entrada toma valores dentro de una banda muy estrecha de frecuencias y el B cuando lo hace dentro de una banda muy amplia.

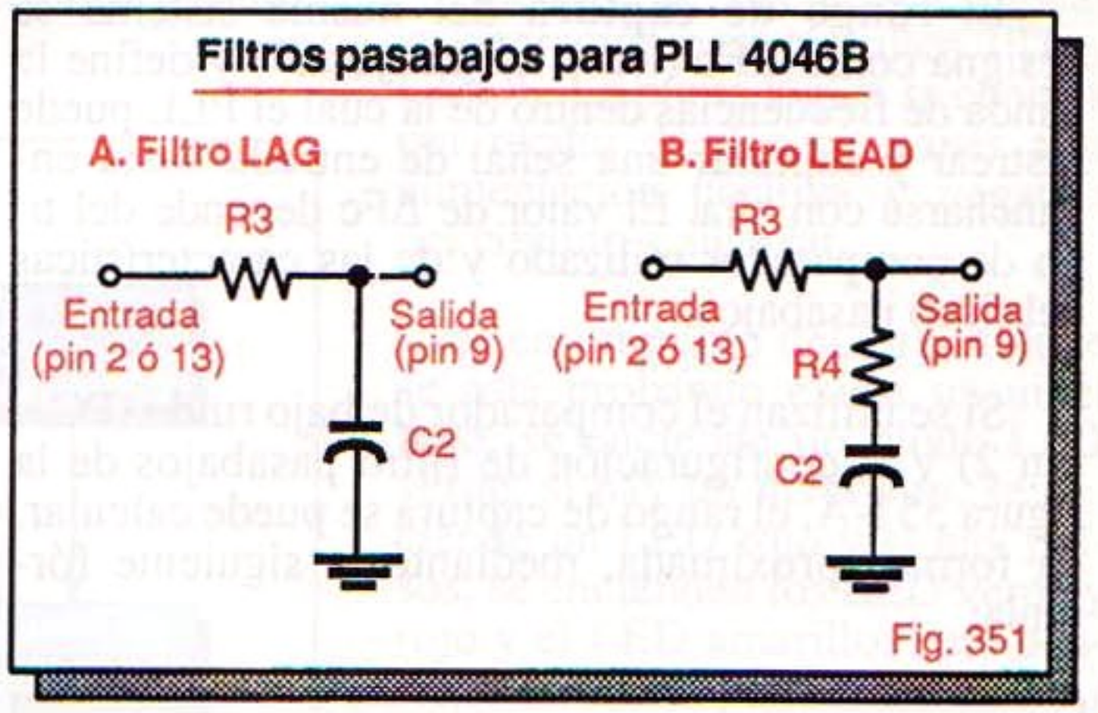


Fig. 351

La presencia de R4 evita que el PLL oscile y no responda a los cambios de frecuencias de la señal de entrada. Típicamente, R3=470 KΩ, R4=47 KΩ (una décima parte del valor de R3) y C1=0.1 µF. Estos valores deben tomarse sólo como referencia. El valor de R4 puede fluctuar entre 47 KΩ y 156 KΩ (la tercera parte del valor de R3).

El **rango de enganche** del sistema PLL de la figura 350 se designa como **ΔFL** (leáse "delta efe ele") y define la banda de frecuencias dentro de la cual el PLL se puede mantener enganchado con una señal de entrada previamente capturada. El valor de ΔFL no depende del tipo de comparador utilizado ni de las características del filtro. Se evalúa mediante la siguiente fórmula:

$$\Delta FL = \pm \frac{F_{máx} - F_{mín}}{2N}$$

En esta expresión, Fmáx es la frecuencia máxima de operación del VCO, Fmín la frecuencia mínima del mismo y N el factor de división de frecuencia del contador. El PLL se puede mantener enganchado con frecuencias de entrada comprendidas entre (Fo/N)-ΔFL y (Fo/N)+ΔFL, siendo Fo la frecuencia central del VCO.

Por ejemplo, si Fo=50.05 KHz, Fmín=100 Hz, Fmáx=100 KHz y N=10, el rango de enganche será, entonces:

$$\Delta FL = \pm (100x10^3-100)/(2x10) = \mathbf{4995\ Hz}$$

Este resultado implica que el PLL se puede mantener enganchado con la señal de entrada mientras la frecuencia de esta última se mantenga dentro de la banda de 10 Hz a 10 KHz. Estos límites son iguales, respectivamente, a la décima parte (1/10) de las frecuencias mínima y máxima del VCO

El **rango de captura** del mismo sistema se designa como **ΔFc** (leáse "*delta efe ce*") y define la banda de frecuencias dentro de la cual el PLL puede rastrear y capturar una señal de entrada hasta engancharse con ella. El valor de ΔFc depende del tipo de comparador utilizado y de las características del filtro pasabajos.

Si se utilizan el comparador de bajo ruido (PC1, pin 2) y la configuración de filtro pasabajos de la figura 351-A, el rango de captura se puede calcular, en forma aproximada, mediante la siguiente fórmula:

$$\Delta Fc = \pm \frac{1}{2\pi N} \sqrt{\frac{2\pi\Delta FL}{R3C2}}$$

En esta expresión, π (pi) es una constante matemática, aproximadamente igual a 3.1416, ΔFL es el rango de enganche del PLL, N el factor de división del contador y R3C2 la *constante de tiempo* del filtro pasabajos.

Por ejemplo, si Fmín=0 Hz, Fmáx=30300 Hz, Fo=15150 Hz, R3=100 KΩ, C2=0.001 μF y N =1 (un puente entre los pines 4 y 3), entonces ΔFL≈Fo =15500 Hz y ΔFc = ±4910 Hz.

Este resultado implica que el PLL puede capturar, inicialmente, señales cuya frecuencia está entre 10240 Hz (=Fo-ΔFc) y 20060 Hz (=Fo+ΔFc). Una vez capturada la señal dentro de este rango, el PLL se mantendrá enganchado con la misma, incluso si su frecuencia se sale del rango de captura, pero permanece dentro del rango de enganche, es decir, entre 0 y 30300 Hz.

Si se utilizan el comparador de banda ancha (PC2, pin 13) y cualquiera de las configuraciones de filtros pasabajos de la figura 351, el rango de captura será igual al rango de enganche. Es decir:

$$\Delta Fc = \Delta FL$$

Por tanto, con este comparador, el PLL podrá capturar y mantenerse enganchado con cualquier frecuencia comprendida dentro del rango de operación del VCO.

El sistema PLL de la figura 350 incluye también un seguidor de voltaje conectado a la entrada del VCO (pin 4). Como se mencionó en una anterior oportunidad, este circuito se utiliza cuando se necesita monitorear o disponer de la señal de control del VCO sin cargar la fuente de la misma.

Si este es el caso, la salida del seguidor (pin 10) debe conectarse a tierra a través de una resistencia de carga (RL) de 10 KΩ o mayor. Si no se utiliza esta función, el pin 10 debe dejarse libre. El seguidor de voltaje se emplea, principalmente, para aplicaciones de demodulación de frecuencia.

Tanto el VCO como el seguidor comparten una línea común de inhibición (pin 5). Cuando esta entrada es **alta,** el VCO no oscila y la salida del seguidor (pin 10) adopta el estado Hi-z o de *alta impedancia*, es decir, se comporta como un circuito abierto. Normalmente, esta línea debe ser **baja**.

En la figura 352 se muestra un sencillo circuito que detecta cuando el sistema de la figura 350 está enganchado. En condiciones de enganche, el LED 1 se apaga. Cuando el PLL está desenganchado, el

LED D1 se ilumina o parpadea. El LED 2 opera en forma contraria. Esta información puede utilizarse, por ejemplo, para saber si el PLL está trabajando correctamente.

Indicador de enganche de PLL

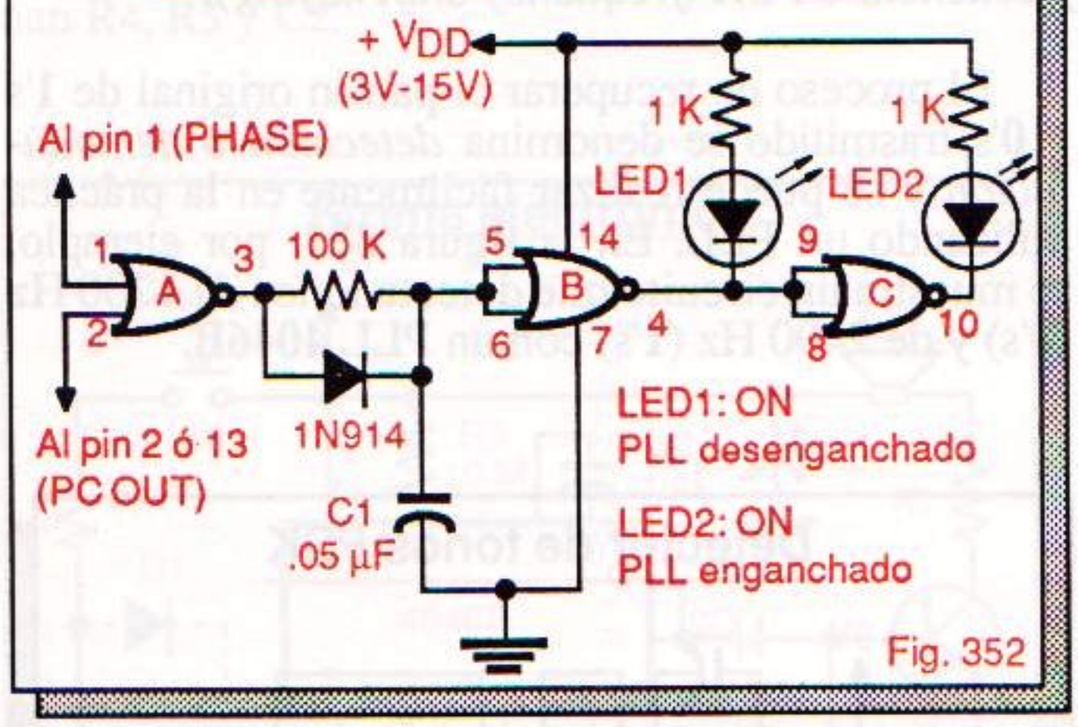


Fig. 352

Los PLL con divisores de frecuencia se utilizan en una gran variedad de aplicaciones, incluyendo sintetizadores de frecuencia y generadores de señales. Son particularmente importantes en ciertos sistemas de comunicaciones, por ejemplo, radios de banda ciudadana (CB) y otros equipos que operan con varios canales.

Para una mayor información sobre el uso de PLL's en sistemas de comunicaciones, remitimos al lector al Curso de Radio AM, FM, Banda Ciudadana y Radioafición, editado por CEKIT.

CIRCUITOS DE APLICACION

Después de estudiar los principios de operación del PLL digital y de estar familiarizados con los parámetros más importantes que caracterizan su funcionamiento, presentaremos a continuación varios circuitos prácticos de aplicación, los cuales nos permitirán afianzar los conocimientos adquiridos y apreciar el poder de este interesante dispositivo.

Entre los proyectos descritos figuran varios tipos de osciladores controlados por voltaje (VCO) que generan tonos audibles, un detector de tonos, una sirena electrónica, un sintetizador de frecuencia, un generador de frecuencia modulada (FM) y un revólver espacial o fasor. Este último genera sonidos tipo "Guerra de las Galaxias". Todos utilizan el PLL digital **4046B**.

Generadores de tonos con VCO

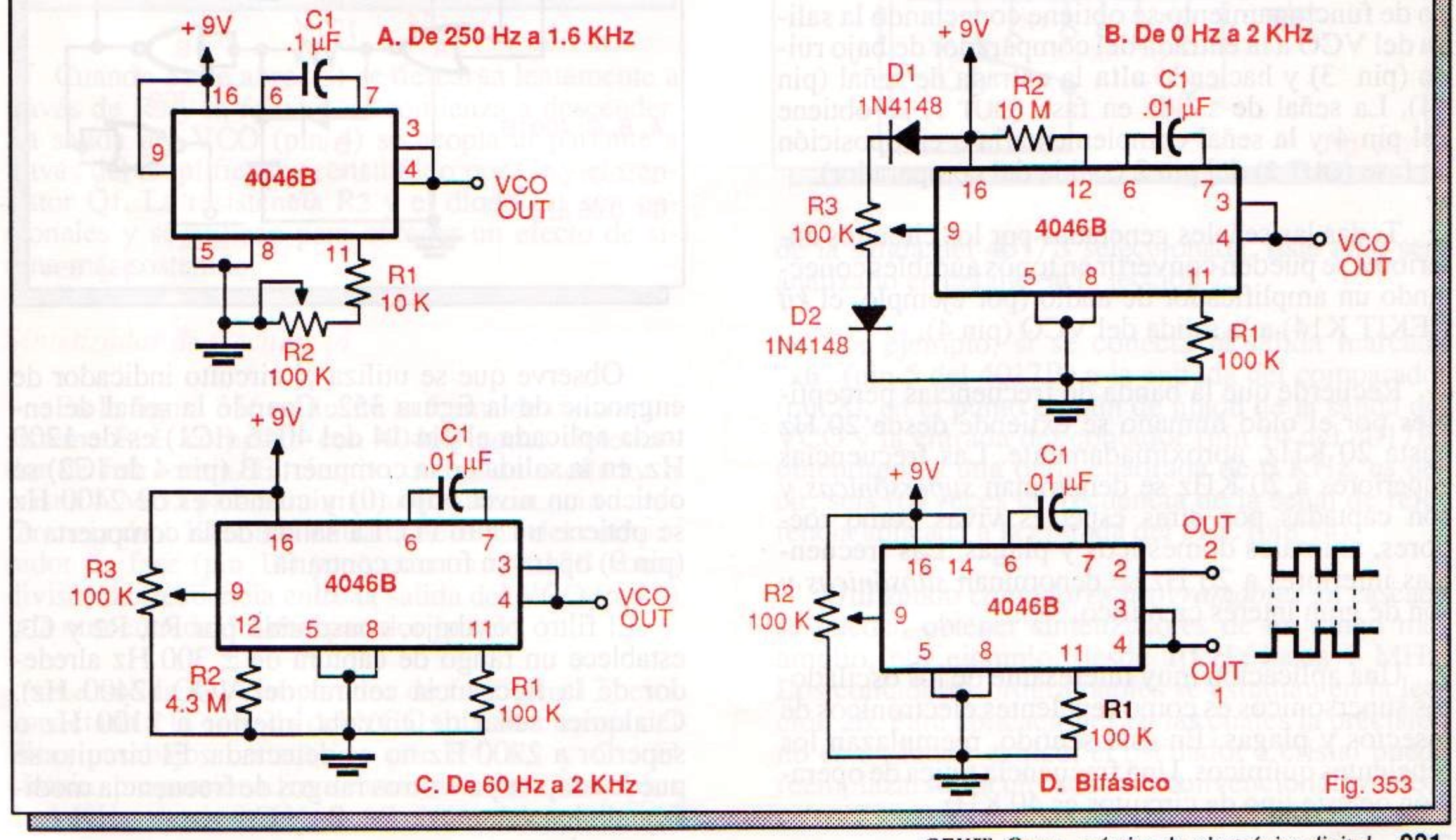


Fig. 353

Generadores de tonos

En la figura 353 se muestran varias formas de utilizar el VCO del **4046B** como generador de tonos. En todos los casos, la salida del VCO (pin 4) está conectada a la entrada de los comparadores de fase (pin 3) para evitar que éstos oscilen y degraden la señal de salida. La línea de inhibición (pin 5), puesta a tierra, mantiene siempre habilitado el VCO.

El circuito de la figura 353-A ilustra la forma más simple de utilizar el VCO del **4046B**. La entrada de control (pin 9) está conectada a +9V. Por tanto, el VCO siempre opera a la frecuencia máxima. Esta última se puede variar entre 200 Hz y 2 KHz, aproximadamente, ajustando R2.

El circuito de la figura 353-B proporciona tonos de frecuencia variable entre 0 Hz y ≈2 KHz. La frecuencia máxima la determinan R1 y C1 y la mínima la establece R2. El control de frecuencia se realiza mediante el potenciómetro R3. Los diodos D1 y D2 limitan el voltaje aplicado al pin 9 entre ≈0.7V y ≈9.3 V para compensar la histéresis de R3.

El circuito de la figura 353-C proporciona tonos de frecuencia variable entre 60 Hz y 2 KHz. La frecuencia mínima la establecen R2 y C1 y la máxima la fijan C1, R1 y R2. Seleccionando adecuadamente R1 y R2, el rango de frecuencias de salida se puede extender desde 0 Hz hasta más de 1 MHz.

El circuito de la figura 353-D genera dos señales de frecuencia variable complementarias. Este tipo de funcionamiento se obtiene conectando la salida del VCO a la entrada del comparador de bajo ruido (pin 3) y haciendo **alta** la entrada de señal (pin 14). La señal de salida en fase (OUT 1) se obtiene del pin 4 y la señal complementaria o en oposición de fase (OUT 2) del pin 2 (salida del comparador).

Todas las señales generadas por los circuitos anteriores se pueden convertir en tonos audibles conectando un amplificador de audio (por ejemplo, el *kit* CEKIT K14) a la salida del VCO (pin 4).

Recuerde que la banda de frecuencias perceptibles por el oído humano se extiende desde 20 Hz hasta 20 KHz, aproximadamente. Las frecuencias superiores a 20 KHz se denominan *supersónicas* y son captadas por otras especies vivas como roedores, animales domésticos y plagas. Las frecuencias inferiores a 20 Hz se denominan *subsónicas* y son de gran interés científico.

Una aplicación muy interesante de los osciladores supersónicos es como repelentes electrónicos de insectos y plagas. En este sentido, reemplazan los repelentes químicos. Una frecuencia típica de operación de este tipo de circuitos es 40 KHz.

Detector de tonos FSK

Una de las formas más comunes de transmitir información digital es desplazando la frecuencia de una señal de alta frecuencia entre dos valores muy próximos, de acuerdo al patrón de **1**'s y **0**'s que está siendo enviado. Este método de transmisión de datos se denomina *llaveado por desplazamiento de frecuencia* o FSK (*frequency-shift keying*).

El proceso de recuperar el patrón original de **1**'s y **0**'s trasmitido se denomina *detección* o *demodulación* y se puede realizar fácilmente en la práctica utilizando un PLL. En la figura 354, por ejemplo, se muestra un circuito que detecta tonos de 1200 Hz (**0**'s) y de 2400 Hz (**1**'s) con un PLL **4046B**.

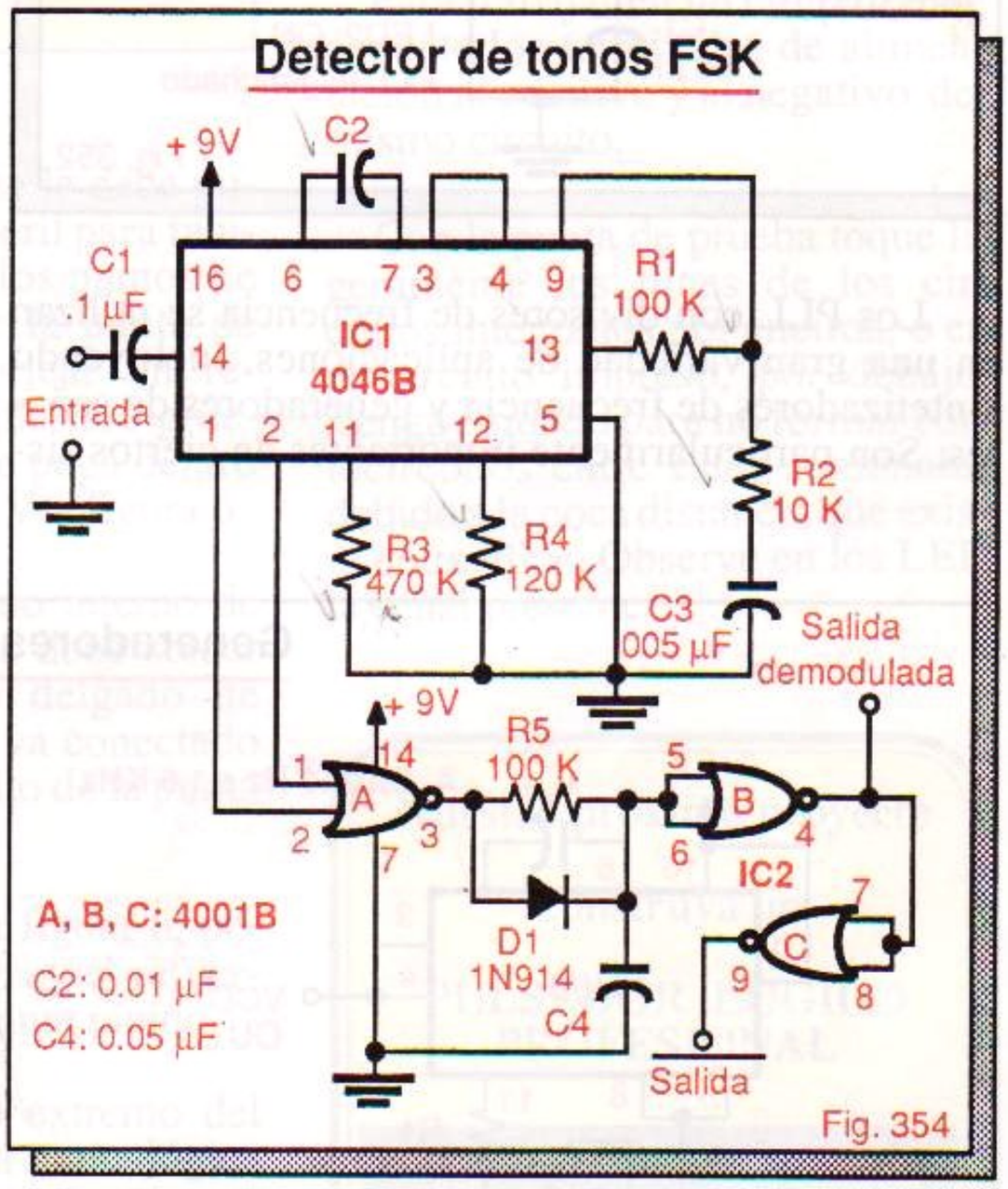


Fig. 354

Observe que se utiliza el circuito indicador de enganche de la figura 352. Cuando la señal de entrada aplicada al pin 14 del 4046 (IC1) es de 1200 Hz, en la salida de la compuerta B (pin 4 de IC2) se obtiene un nivel **bajo** (**0**) y cuando es de 2400 Hz se obtiene un **alto** (**1**). La salida de la compuerta C (pin 9) opera en forma contraria.

El filtro pasabajo, constituido por R1, R2 y C3, establece un rango de captura de ± 300 Hz alrededor de la frecuencia central del VCO (2400 Hz). Cualquier señal de entrada inferior a 2100 Hz o superior a 2700 Hz no es detectada. El circuito se puede adaptar para otros rangos de frecuencia modificando los valores de R3, R4 y C2.

Sirena electrónica

El circuito de la figura 355 produce un sonido de sirena similar al emitido por ambulancias, patrullas de policía, carros de bomberos, etc. Cuando S1 se cierra, C1 se carga a través de R1 y la frecuencia del VCO comienza a aumentar desde 0 Hz hasta su valor máximo (≈10 KHz). Este último lo determinan R4, R5 y C2.

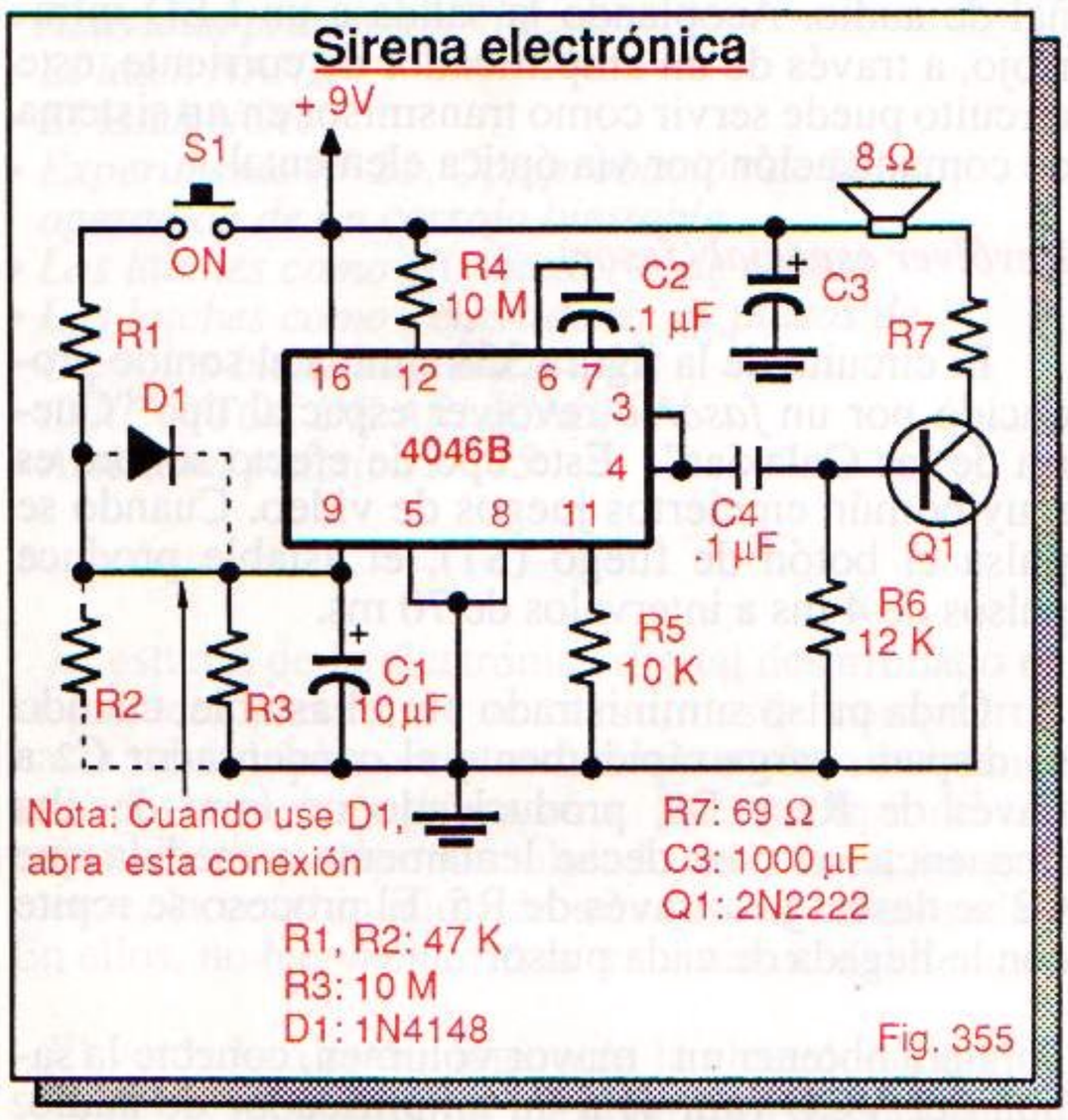


Fig. 355

Cuando S1 se abre, C1 se descarga lentamente a través de R3 y la frecuencia comienza a descender. La salida del VCO (pin 4) se acopla al parlante a través del amplificador constituido por C4 y el transistor Q1. La resistencia R2 y el diodo D1 son opcionales y se utilizan para obtener un efecto de sirena más sostenido.

Sintetizador de frecuencia

En la figura 356 se ilustra la forma de utilizar un sistema PLL completo con **4046B** como sintetizador de frecuencia. El circuito utiliza un oscilador a cristal CMOS para suministrar una frecuencia de referencia de 1 KHz a la entrada de señal del comparador de fase (pin 14) y un contador **4017B** como divisor de frecuencia entre la salida del VCO (pin 4) y la otra entrada del comparador (pin 3).

La salida del comparador de fase (pin 13) está conectada a la entrada del VCO (pin 9) a través del filtro pasabajos constituido por R4, R5 y C3. El circuito proporciona frecuencias de salida múltiplos de 1 KHz, desde 1 KHz hasta 9 KHz, dependiendo

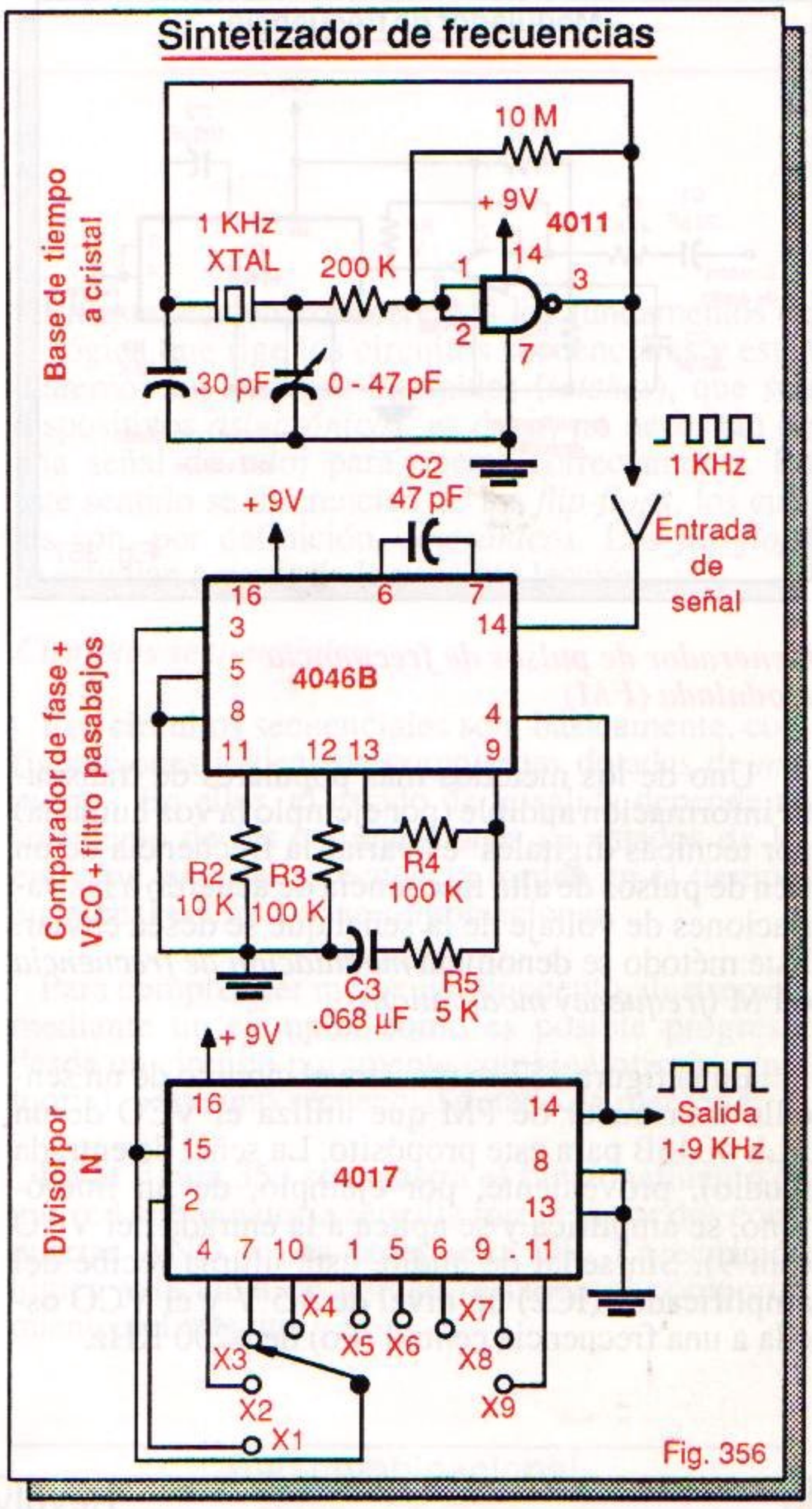


Fig. 356

de la salida del 4017B seleccionada. Este *chip* será analizado en detalle en la lección 25.

Por ejemplo, si se conecta la salida marcada "**x6**" (pin 5 del 4017B) a la entrada del comparador (pin 3), en el punto común de unión de la salida del VCO y la entrada del contador (pin 14 del 4017B) obtendremos una onda cuadrada de 6 KHz, es decir, seis (6) veces la frecuencia de la señal de referencia aplicada a la entrada del PLL (pin 14).

Utilizando *contadores programables* en cascada se pueden obtener sintetizadores de un rango más amplio, por ejemplo, desde 10 Hz hasta 1 MHz. Los contadores programables se estudian en la lección 26. Para aplicaciones en las cuales la precisión no es un factor crítico, el oscilador a cristal puede reemplazarse por un oscilador convencional (ver lección 17).

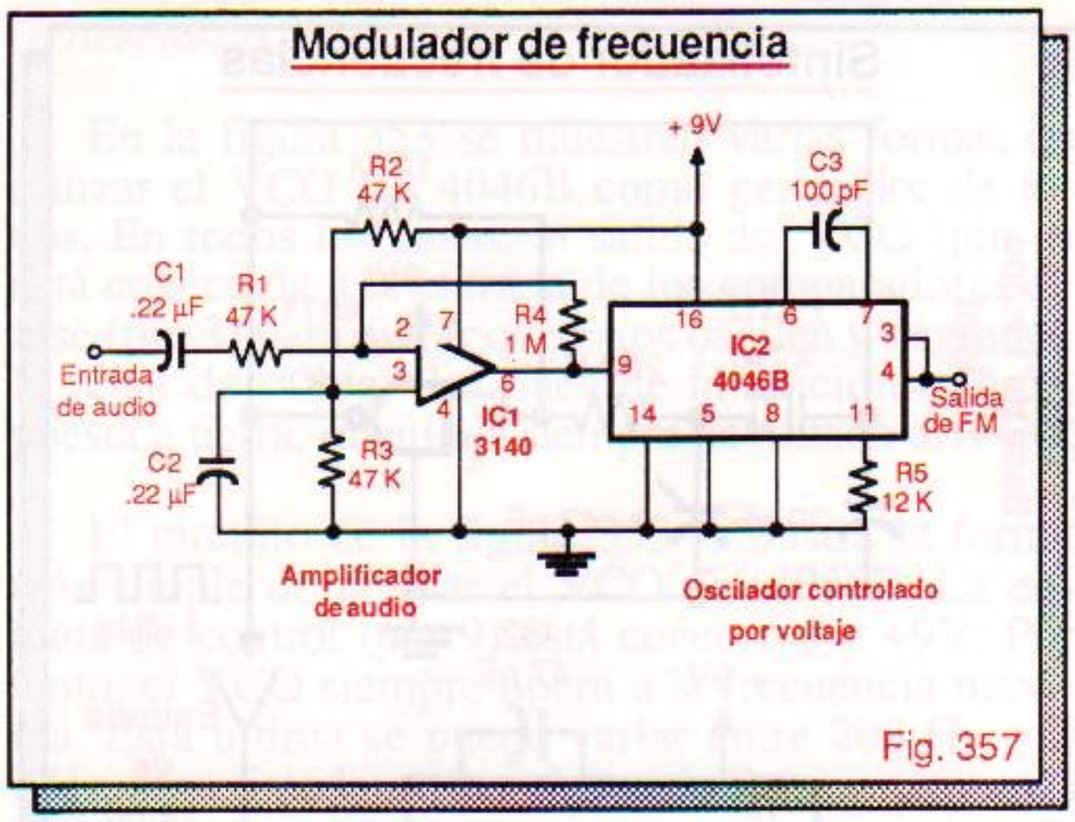


Fig. 357

Generador de pulsos de frecuencia modulada (FM)

Uno de los métodos más populares de transmitir información audible (por ejemplo la voz humana) por técnicas digitales es variar la frecuencia de un tren de pulsos de alta frecuencia de acuerdo a las variaciones de voltaje de la señal que se desea enviar. Este método se denomina *modulación de frecuencia* o FM (*frequency modulation*).

En la figura 357 se muestra el circuito de un sencillo transmisor de FM que utiliza el VCO de un PLL 4046B para este propósito. La señal de entrada (audio), proveniente, por ejemplo, de un micrófono, se amplifica y se aplica a la entrada del VCO (pin 9). Sin señal de audio, esta última recibe del amplificador (IC2) un nivel de 4.5 V y el VCO oscila a una frecuencia central (Fo) de ≈200 KHz.

Cuando se aplica una señal de audio, el voltaje de entrada del VCO cambia de acuerdo a las variaciones de amplitud de la misma. Si la señal de entrada aumenta, el voltaje de control disminuye y viceversa. En el primer caso, disminuye la frecuencia del VCO con respecto a su valor central y en el segundo aumenta.

Si la amplitud de la señal de entrada cambia rápidamente de un valor a otro, la frecuencia del VCO lo hará al mismo ritmo. Se dice, entonces, que el VCO está siendo *modulado* en frecuencia por la señal de audio. Acoplando la salida a un LED infrarrojo, a través de un amplificador de corriente, este circuito puede servir como transmisor en un sistema de comunicación por vía óptica elemental.

Revólver espacial (fasor)

El circuito de la figura 358 simula el sonido producido por un *fasor* o revólver espacial tipo "Guerra de las Galaxias". Este tipo de efecto sonoro es muy común en ciertos juegos de video. Cuando se pulsa el botón de fuego (S1), el astable produce pulsos de 4 ms a intervalos de 70 ms.

Cada pulso suministrado por el astable, cuando se dispara, carga rápidamente el condensador C2 a través de R3 y D2, produciendo un tono de alta frecuencia, el cual decae lentamente a medida que C2 se descarga a través de R5. El proceso se repite con la llegada de cada pulso.

Para obtener un mayor volumen, conecte la salida del VCO (pin 4) a un amplificador de audio, por ejemplo, el *kit* CEKIT K14.

Fig. 358

Lógica secuencial y cerrojos biestables

- *Introducción*
- *Circuitos secuenciales*
- *Diseño de circuitos secuenciales asincrónicos*
- *Cerrojos biestables (latches) vs multivibradores biestables (flip-flops)*
- *Actividad práctica Nº 14*
- *El latch NAND*
- *El latch NOR*
- *Experimento Nº 21. Comprobación de la operación de un cerrojo biestable*
- *Los latches como eliminadores de rebote*
- *Los latches como generadores de pulsos de*
- *Cerrojos biestables integrados*
- *CIRCUITOS DE APLICACION*
- *Actividad práctica Nª 15*

Introducción

El estudio de la electrónica digital desarrollado en la primera parte de este curso, desde compuertas hasta demultiplexores, se fundamentó en las denominadas *redes combinatorias*. En este tipo de circuitos, el estado de cada salida lo determina, íntegramente, la combinación de estados de las entradas. En ellos, no hay *memoria* ni tratamiento del *tiempo*.

El verdadero poder lógico de la electrónica digital se manifiesta cuando se involucra, en su sistema de análisis y diseño, la acción del tiempo. Los circuitos con memoria se denominan *secuenciales* y pueden realizar una gran variedad de funciones, incluyendo el conteo de pulsos y el almacenamiento, desplazamiento y secuenciamiento de datos, entre otras.

La unidad básica de memoria digital es el *multivibrador biestable*. Como establecimos en la lección 17, un biestable es un dispositivo que tiene dos estados estables (**alto** y **bajo**) y permanece indefinidamente en cualquiera de ellos, hasta que recibe una señal externa de disparo adecuada.

En otras palabras, un biestable es un circuito que puede almacenar, por tiempo indefinido, un nivel **alto** o **bajo** de voltaje, es decir, un *bit* de información (**1** ó **0**).

Los dos circuitos biestables básicos son el cerrojo o *latch* y el *flip-flop*. Los *latches* se denominan, también, *flip-flops asincrónicos*. Los *flip-flops* son los bloques constructivos básicos de todos los sistemas secuenciales, incluyendo memorias, contadores, registros de almacenamiento, registro de desplazamiento, microprocesadores, etc.

En esta lección conoceremos los fundamentos de la lógica que rige los circuitos secuenciales y estudiaremos los cerrojos biestables (*latches*), que son dispositivos *asincrónicos*, es decir, no necesitan de una señal de reloj para operar correctamente. En este sentido se diferencian de los *flip-flops*, los cuales son, por definición, *sincrónicos*. Los *flip-flops* se estudian a partir de la próxima lección.

Circuitos secuenciales

Los circuitos secuenciales son, básicamente, configuraciones lógicas de compuertas dotadas de *memoria*. En ellos, el estado de la salida depende no solamente de las combinaciones de estados de las entradas sino de la secuencia (orden en el tiempo) en la cual ocurren estas combinaciones.

Para comprender mejor este concepto, ilustremos, mediante un ejemplo, como es posible progresar desde un circuito puramente combinatorio (sin memoria) hasta uno secuencial dotado de memoria.

En la figura 359 se muestra el funcionamiento de una red combinatoria sencilla formada por dos compuertas AND y una compuerta OR. La ecuación lógica y la tabla de verdad resumen el comportamiento del circuito.

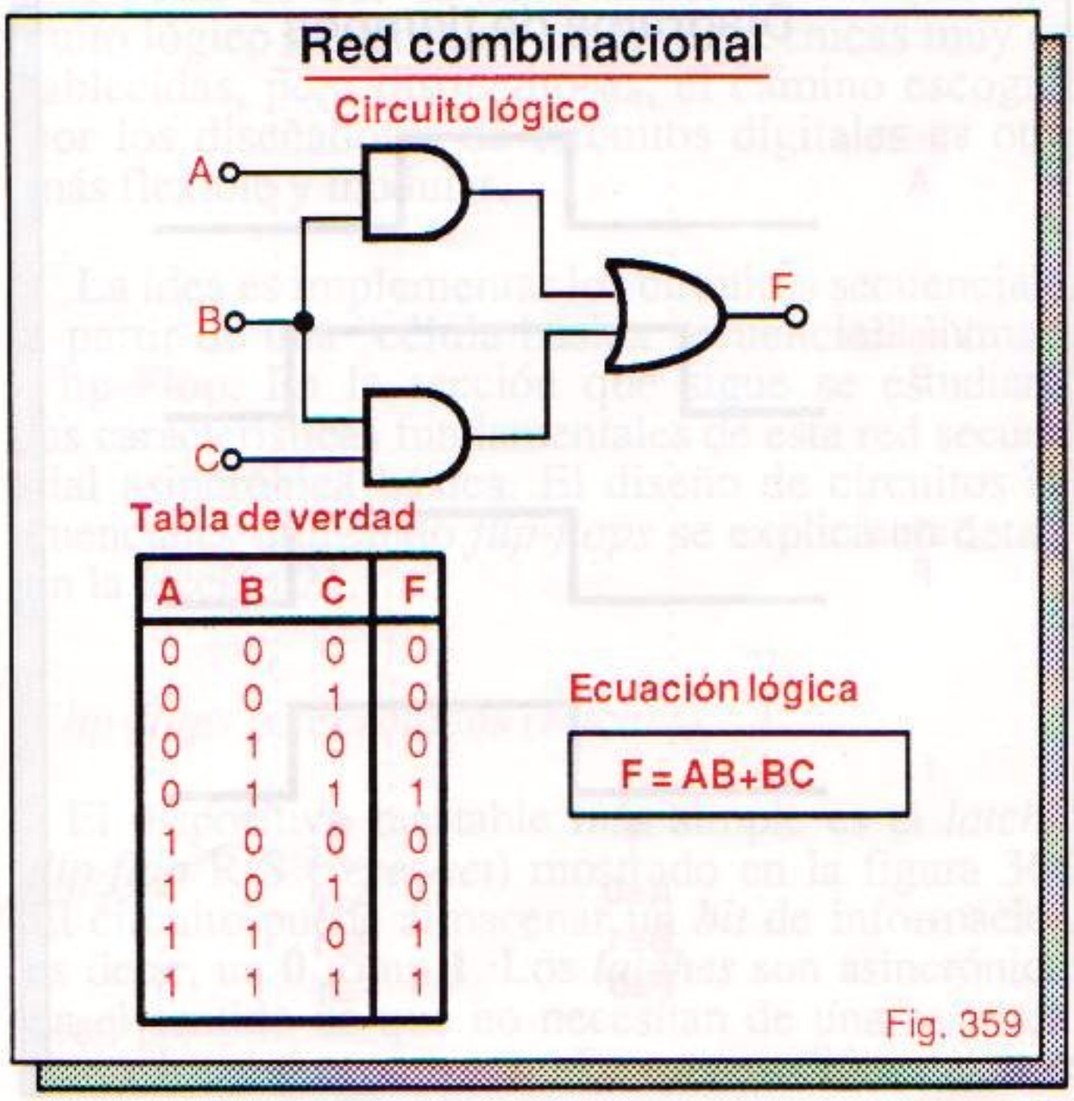


Fig. 359

Por ejemplo, cuando las entradas A y B valen **1**, la salida F se hace igual a **1**, sin importar el estado (**0** ó **1**) de la entrada C. Un análisis similar se puede hacer para las ocho posibilidades que ofrecen las tres variables de entrada. Observe que, en ningún momento, se hace alusión al tiempo, es decir al orden o secuencia en la cual se aplican estas variables.

El circuito combinatorio de la figura 359 se convierte en un circuito secuencial si se cambia la variable C por una conexión, realimentada, desde la salida F (figura 360). Bajo estas circunstancias, la tabla de verdad es intranscendente como herramienta de análisis. Un diagrama de temporización ofrece mucha más información.

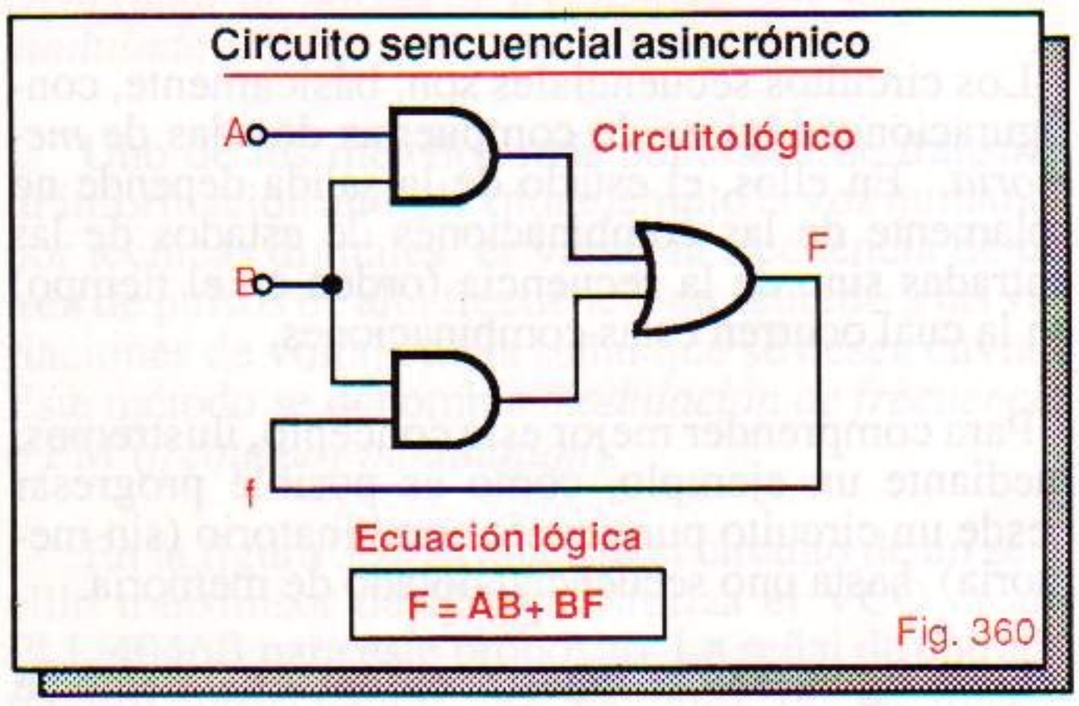


Fig. 360

En la figura 361 se muestra el diagrama de tiempo correspondiente al circuito de la figura 360. Inicialmente, si **A=0** y **B=1,** la salida **F** es igual a **0**. Luego, cuando **A=1** y **B=1**, la salida **F** se hace igual a **1**. Hasta este momento, la ecuación lógica del circuito original (**F=AB+BC**) describe el comportamiento del mismo, como si se tratara de una red combinatoria.

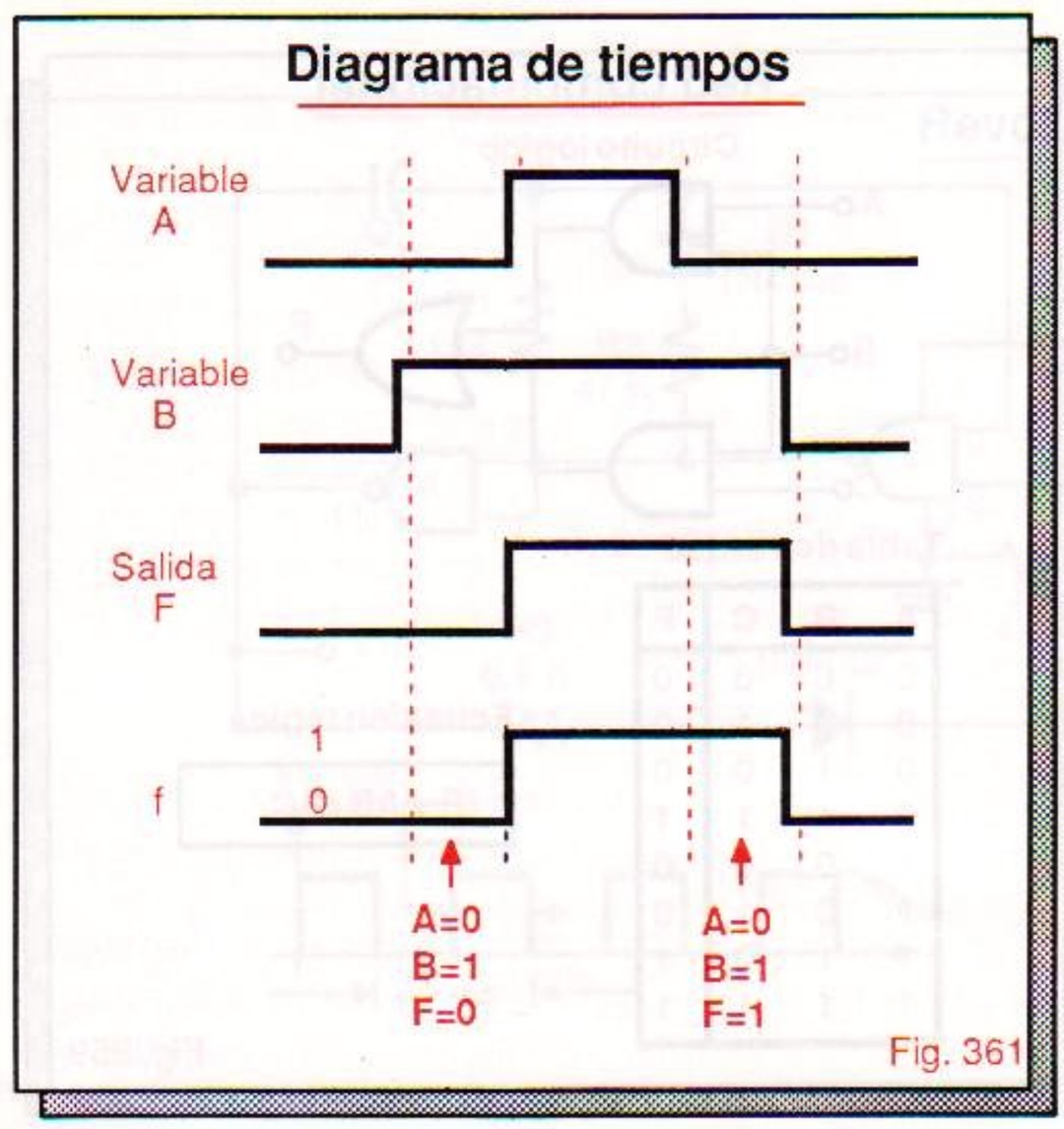


Fig. 361

No obstante, la acción de la realimentación introducida por la salida **F** a la entrada, ha cambiado totalmente el significado de las cosas. Observe, por ejemplo, que cuando **A=0**, nuevamente, se presenta la misma combinación de entradas inicial (**A=0** y **B=1**). Sin embargo, la salida no toma el valor de **F=0**.

La misma combinación de entradas pero diferentes salidas: esto no se parece, en ningún momento, a un circuito combinatorio. Ahora, la realimentación debida a **F** nos permite memorizar el hecho de que **B** llegó primero que A a **1**. Solamente cuando las dos entradas retornan a **0**, la salida toma este valor.

Note la acción del tiempo en el funcionamiento de esta red: nos indica la respuesta ante una secuencia de entradas y no, únicamente, ante una combinación de entradas, como en las redes que vimos al comienzo de este curso.

En el circuito de la figura 360, tan pronto aparecen los cambios en las entradas, se obtiene una respuesta en la salida. La secuencia de las entradas aparece, ante la red, en cualquier momento y orden y, la salida, debe responder de manera instantánea. A este tipo de acción, tanto de las entradas como de las salidas, se le llama comportamiento *asincrónico*.

Diseño de circuitos secuenciales asincrónicos

La metodología para el diseño de circuitos digitales secuenciales asincrónicos es compleja y poco utilizada. No obstante, si el circuito es simple, se puede desarrollar el diseño, en forma intuitiva, teniendo presente el siguiente principio:

Cada realimentación que se implemente en el circuito, introduce un elemento de memoria.

El siguiente ejemplo ilustra la forma de utilizar y aplicar este principio elemental de diseño lógico asincrónico.

Ejemplo. Construir un circuito que permita conectar y desconectar un motor de CC de 12 V de la alimentación, utilizando pulsadores momentáneos (*push-buttons*) normalmente abiertos (NA). El pulsador de conexión debe etiquetarse como START (arranque) y el de desconexión como STOP (parada).

Accionamiento de un motor

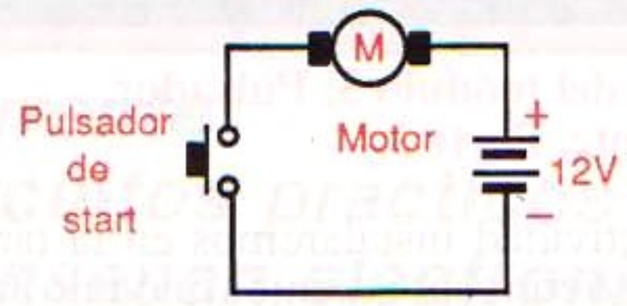


Fig. 362

Solución. En la figura 362 se ilustra el principio de conexión y desconexión del motor a la fuente de alimentación. Como puede apreciarse, no es posible mantener energizado el motor, de manera indefinida, a menos que el pulsador se mantenga activado en forma permanente, es decir, cerrado.

Un circuito digital podría efectuar la conexión, solamente si está dotado de una "memoria" que "recuerde" el momento en que fue activado el pulsador. En otras palabras, se necesita un circuito secuencial asincrónico, dotado de memoria, si se quiere conectar y desconectar el motor con pulsadores normalmente abiertos.

Recuerde que, para lograr el efecto de memoria, se debe hacer una realimentación o conexión de la salida hacia la entrada. En la figura 363 se muestra un circuito secuencial, construido con compuertas TTL, adecuado para este propósito.

Circuito asincrónico

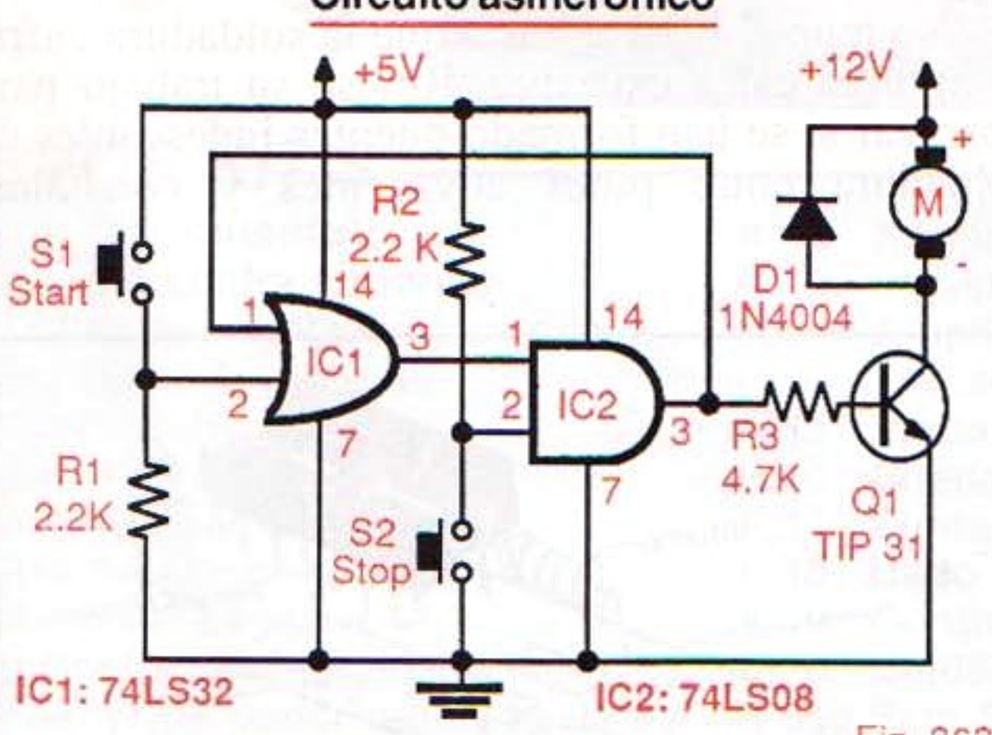


Fig. 363

Inicialmente, la salida de la compuerta AND (pin 3) es de nivel **bajo** y el motor está desconectado. Cuando se acciona el pulsador de arranque (START), aparece, momentáneamente, en la entrada de la compuerta **OR** (pin 2) un nivel **alto**. La salida de la compuerta (pin 3) será, por tanto, un nivel **alto**.

En las entradas de la compuerta **AND** (pines 1 y 2) tenemos, entonces, dos niveles **altos**: uno proveniente de la salida de la compuerta **OR** y, el otro, de la resistencia R2. Como resultado, la salida de la compuerta **AND**, en el momento de accionar el pulsador START es, también, de nivel **alto**.

Este nivel **alto** se memoriza por medio de la realimentación existente entre la salida de la compuerta AND (pin 3 del 74LS08) y la entrada de la compuerta **OR** (pin 1 del 74LS 32). De ésta forma, se puede liberar al pulsador sin que la información se pierda.

En otras palabras, la realimentación le recuerda al circuito que el interruptor de arranque fue activado. La compuerta **AND** se encarga, también, de saturar al transistor y energizar el motor.

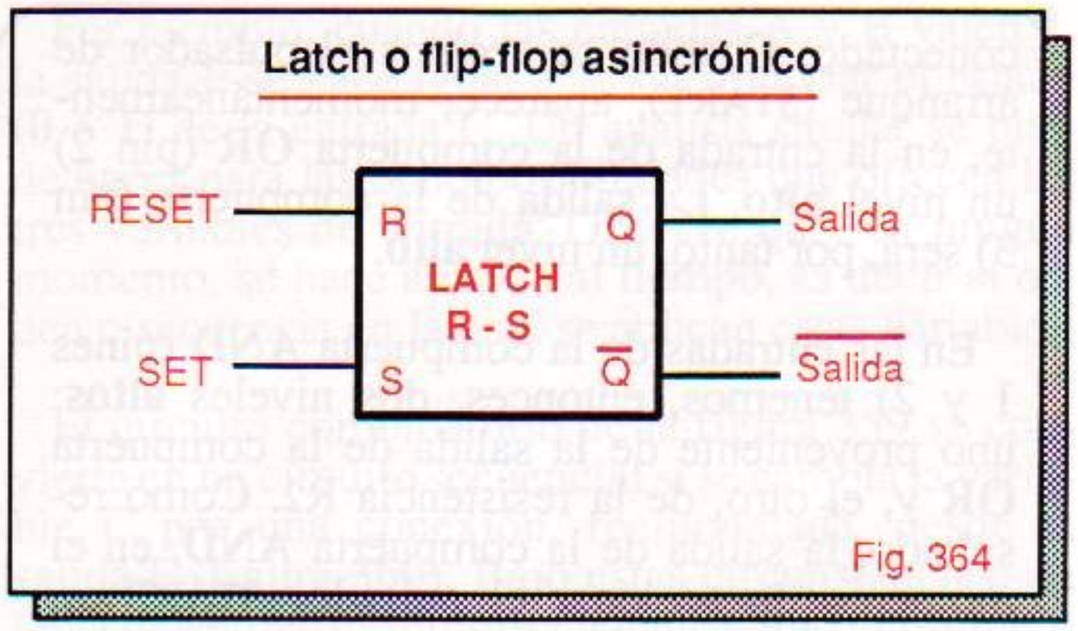
Para anular la orden de START, memorizada por el circuito, basta con accionar, momentáneamente, el pulsador de parada (STOP). Esta acción provoca un nivel **bajo** en la entrada de la compuerta **AND** (pin 2), el cual lleva la salida a un nivel **bajo**, cancelando la "memorización" y, por lo tanto, desconectando el motor de la alimentación.

A pesar de que es posible diseñar cualquier circuito lógico asincrónico mediante técnicas muy establecidas, pero dispendiosas, el camino escogido por los diseñadores de circuitos digitales es otro, más flexible y modular.

La idea es implementar los circuitos secuenciales a partir de una "célula básica secuencial" llamada **Flip-Flop**. En la sección que sigue se estudiarán las características fundamentales de esta red secuencial asincrónica básica. El diseño de circuitos secuenciales utilizando *flip-flops* se explica en detalle en la lección 21.

Flip-flops asincrónicos (latches)

El dispositivo biestable más simple es el *latch* o *flip-flop* R-S (*reset-set*) mostrado en la figura 364. El circuito puede almacenar un *bit* de información, es decir, un **0** ó un **1**. Los *latches* son asincrónicos en el sentido de que no necesitan de una señal externa de reloj para operar. En esto se diferencian de



los *flip-flops* propiamente dichos, los cuales son, por definición, sincrónicos.

Se dice que el *latch* está en estado ***set*** cuando la salida **Q** es de nivel **alto** (**1**) y en estado ***reset*** cuando es de nivel **bajo** (**0**). El estado de las salidas **Q** y $\overline{\mathbf{Q}}$, en condiciones normales, es siempre complementario y se programa combinando apropiadamente los estados lógicos de las entradas R (RESET) y S (SET).

Específicamente, para almacenar un **1** lógico, debe aplicarse un pulso de disparo a la entrada SET. Así mismo, para almacenar un **0** lógico, debe aplicarse un pulso a la entrada RESET. El pulso de disparo puede ser positivo (activo en **alto**) o negativo (activo en **bajo**), dependiendo del diseño.

Una vez que el *latch* ha sido programado en estado SET o RESET por el pulso de entrada, permanecerá en ese estado hasta que sea modificado o se retire el suministro de potencia. Los l*atches* son volátiles, es decir, la información almacenada en ellos desaparece cuando se desconectan de la fuente de alimentación.

Los *latches R-S* se pueden implementar a base de compuertas básicas AND, OR y NOT o utilizando compuertas NAND o NOR. Estas últimas son las más utilizadas. En la figura 365 se muestran dos versiones de *latches* R-S con compuertas **AND, OR, AND y NAND.** En todos los casos, el estado de la salida lo describe la siguiente ecuación lógica:

$$Q = S + \overline{R} \cdot Q$$

El circuito de la figura 365-B se realiza con compuertas AND, OR y NOT y el de la figura 365-C con compuertas NAND. El circuito de la figura 365-D es el mismo de la figura 365-C pero redibujado para apreciar la existencia de la salida complementaria $\overline{Q}$, la cual es siempre la negación de la salida principal (Q): si Q es **0**, entonces $\overline{Q}$=**1**, y viceversa. *(continúa en la página 229).*

ACTIVIDAD PRACTICA Nº 14

Construcción del módulo 3: Pulsador lógico sin rebote. Parte 2.

En esta actividad instalaremos en la tarjeta de circuito impreso correspondiente al módulo 3 (EDM-3), la base de 14 pines del circuito integrado 4011B (IC1) y la resistencia de 4.7 K (R1). La función de la base es servir de soporte al *chip* y facilitar su montaje y reemplazo. R1 es la resistencia de *pull-up* del pulsador S1.

Componentes y herramientas necesarios

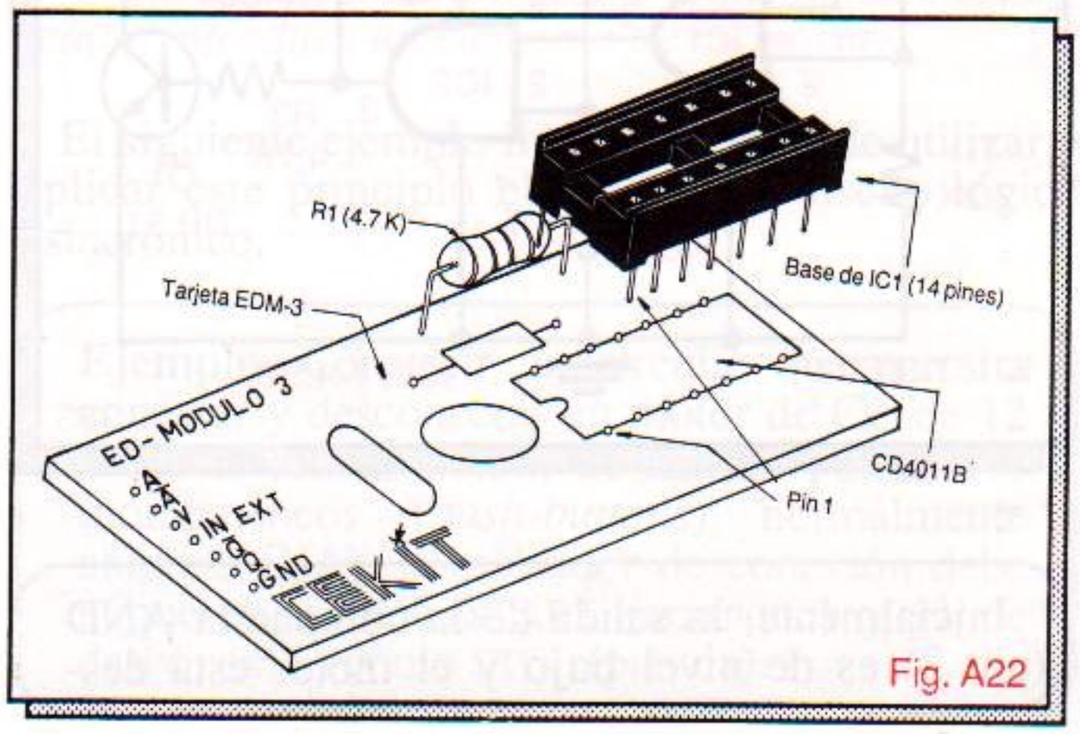
1 base para circuito integrado de 14 pines.
1 resistencia de 4.7 KΩ. R1.
1 circuito impreso CEKIT EDM-3.
Herramientas: pinza de puntas planas, cortafríos, cautín, soldadura.

Procedimiento

Tome la resistencia R1 y la base de 14 pines de IC1 e instálelas en la tarjeta de circuito impreso EDM-3, como se indica en la figura A22. Identifique R1 por el código de colores "amarillo, violeta, rojo, dorado" sobre su cuerpo. Después de soldar, corte los alambre sobrantes y consérvelos: le servirán como puntas de prueba.

Cuando instale la base, asegúrese de que todos los pines entren en los correspondientes agujeros y y no haya alguno doblado o partido. Antes de soldar, cerciórese de que los puntos de contacto estén limpios y no haya síntomas de oxidación. Esto facilitará la adherencia de la soldadura.

No mueva la base hasta que la soldadura enfríe ni aplique calor excesivo. Revise su trabajo para observar si se han formado puentes indeseables de soldadura entre pines adyacentes y corríjalos.



Flip-flop R-S (latch) asincrónico

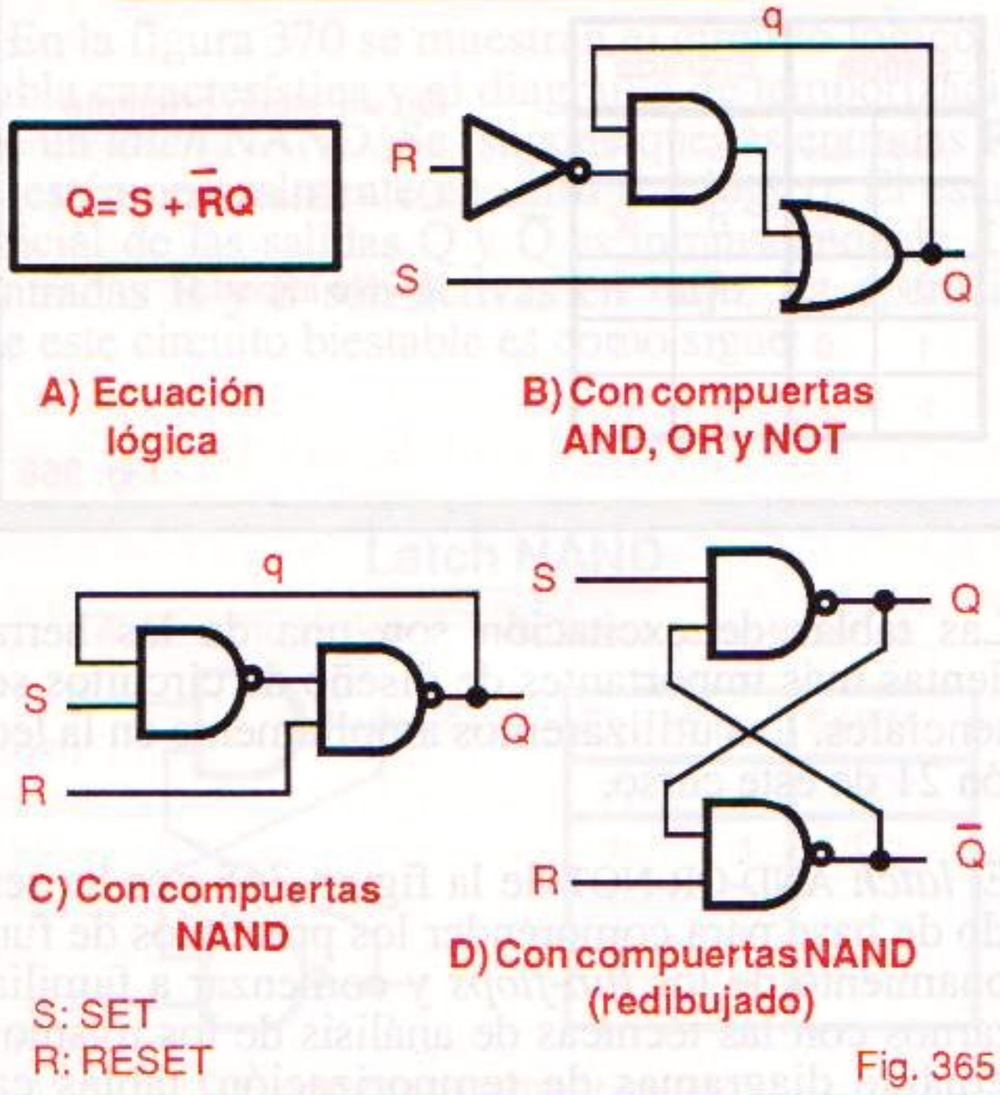


Fig. 365

La característica clave que hace de estos circuitos algo más que configuraciones estáticas de compuertas es la existencia de una línea de realimentación (**q**) entre la salida Q y la entrada. Esta realimentación es la que le permite al *latch* memorizar un cambio en las entradas R y S.

En la figura 366 se muestra el diagrama de temporización del *latch* R-S de la figura 365-B. Para simplificar el análisis de este circuito, se asume que, inicialmente, la salida Q es **baja** (**0**) y que las entradas **R** y **S** son también **bajas** (**0**).

Como muestra el diagrama de la figura 366, en el instante **t1**, la entrada S se hace **alta**, imponiendo un nivel **alto** en la salida Q. Este nivel **alto** se transmite a la entrada de la compuerta AND (figura 365B) a través de la línea de realimentación **q**. Cuando la entrada S se hace nuevamente **baja** en el instante **t2**, la salida permanece **alta**.

Obsérvese que, entre los instantes **t2** y **t3**, las entradas R y S son ambas **bajas**, como al comienzo del proceso. Sin embargo, la salida Q no es **baja** sino **alta**. Es decir, el circuito nos está informando que, en un momento anterior, la entrada S fue **alta**.

En el instante **t3**, la entrada R se hace **alta**, cancelando el nivel **alto** de la salida Q e imponiendo un **bajo**. Este nivel **bajo** en la salida Q se mantiene cuando la entrada R se hace **baja** en el instante **t4** e, incluso, cuando se hace otra vez **alta**, entre los instantes **t5** y **t6**.

Es decir, el circuito recuerda, mediante un **bajo** en su salida, que la última entrada en hacerse **alta** fue R. La razón es muy sencilla: la entrada S no ha vuelto a ser **alta** desde el instante **t2**. Usted puede comprobar estos resultados en el circuito de la figura 365-B reemplazando cada variable (R, S y Q) por el valor que va tomando en cada instante.

Hasta el momento, podemos concluir lo siguiente:

- Si la entrada SET (S) es **alta**, la salida Q es **alta**.
- Si la entrada RESET (R) es **alta**, la salida es **baja**.

En otras palabras, S lleva la salida a **1** (condición *set*) y R la lleva a **0** (condición *reset*).

- Si las entradas SET y RESET son iguales a **0**, la salida Q permanece en el estado previamente establecido por cualquiera de las líneas R ó S. Es decir, la condición R=S=**0** memoriza la última línea de entrada activa: si fue R, entonces Q=**0** y si fue S, entonces Q=**1**.

Diagrama de temporización del latch R-S AND/OR/NOT

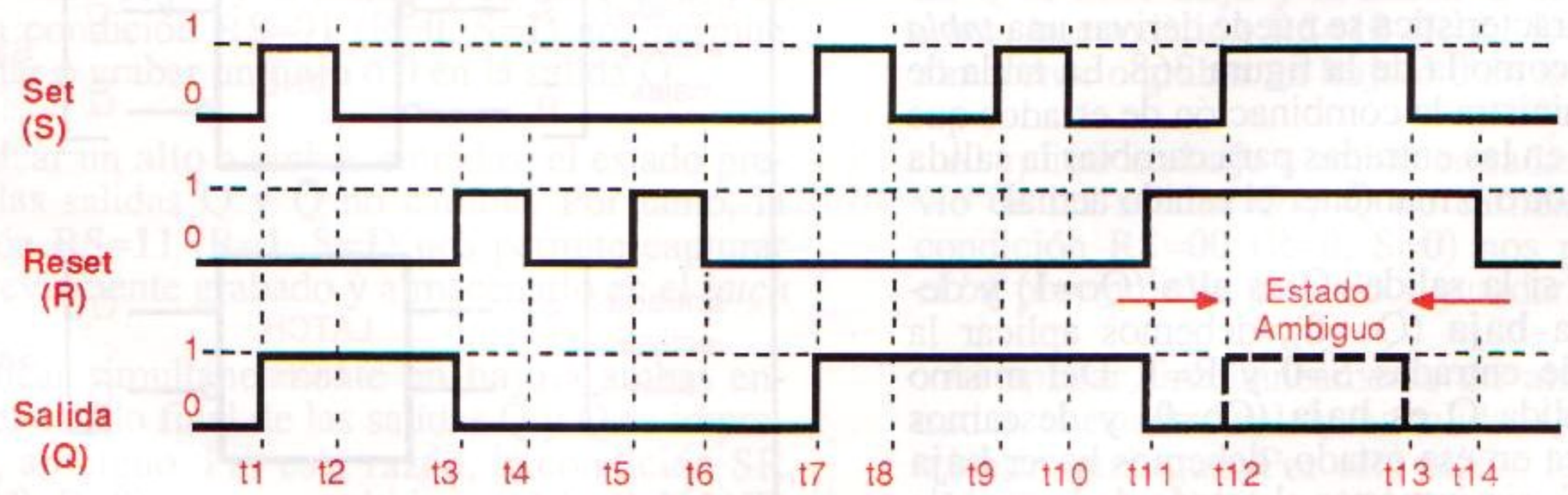


Fig. 366

Entre los instantes **t7** a **t11**, sólo cambia de estado la entrada S y, por tanto, la salida permanece **alta**. En el instante **t12** sucede algo interesante: las dos entradas, SET y RESET, son **altas**. Desde el punto de vista lógico, esta situación es ambigüa: se pretende, simultáneamente, llevar la salida al estado de RESET (**0**) y al estado de SET (**1**).

Como es obvio, esto no es factible: un punto de un circuito digital no puede ser **alto** y **bajo** al mismo tiempo. Como consecuencia de esta ambigüedad, la salida Q toma cualquier valor. En el caso de la figura 366, se hace **baja** porque la primera entrada en hacerse **alta** fue R. Por la razón expuesta, la combinación de entradas S=**1** y R=**1** debe evitarse.

El comportamiento del circuito de la figura 365, visualizado mediante el diagrama de temporización de la figura 366, se puede también describir mediante una *tabla característica*, como se muestra en la figura 367. La tabla característica relaciona el estado *futuro* o siguiente de la salida Q (**Q^+**) con su valor *presente* o actual (**Qo**) de acuerdo a los posibles valores de las entradas R y S.

Tabla característica

Entradas		Salida
S	R	Q+
0	0	Qo
0	1	0
1	0	1
1	1	*

Q^+: Valor siguiente

Qo:Valor de salida actual

*: Estado ambiguo

Fig. 367

Por ejemplo, si el valor actual de la salida Q es Qo=**0** y se aplica la combinación de entradas S=**1** y R=**0**, el valor futuro de la salida Q (Q^+) será **1**, sin importar si estaba en **0**.

De la tabla característica se puede derivar una *tabla de excitación*, como la de la figura 368. La tabla de excitación suministra la combinación de estados que debe aplicarse en las entradas para cambiar la salida de un estado a otro o mantener el estado actual.

Por ejemplo, si la salida Q es **alta** (Qo=**1**) y deseamos hacerla **baja** (Q+=**0**), debemos aplicar la combinación de entradas S=**0** y R=**1**. Del mismo modo, si la salida Q es **baja** (Qo=**0**) y deseamos que permanezca en ese estado, debemos hacer **baja** (**0**) la entrada S, sin importar el estado de la entrada R (puede ser **alta** o **baja**).

Tabla de excitación

Salida		Entrada	
Qo	Q+	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

Qo = Estado presente

Q+ = Estado futuro

X = No importa

Fig. 368

Las tablas de excitación son una de las herramientas más importantes de diseño de circuitos secuenciales. Las utilizaremos ampliamente en la lección 21 de este curso.

El *latch* AND-OR-NOT de la figura 365 nos ha servido de base para comprender los principios de funcionamiento de los *flip-flops* y comenzar a familiarizarnos con las técnicas de análisis de los mismos, mediante diagramas de temporización, tablas características y tablas de excitación.

Sin embargo, este dispositivo biestable no es muy utilizado, debido a que requiere de tres compuertas distintas para su realización. Para obtener un *latch* como el de la figura 365B, con compuertas TTL, por ejemplo, necesitaríamos tres *chips*: un CI **7404** (NOT), un CI **7408** (AND) y un CI **7432** (OR).

En la práctica, los *latches* o flip-flops R-S asincrónicos se implementan utilizando compuertas NAND o NOR. Existen, por consiguiente, dos tipos de cerrojos biestables: el *latch* NAND y el *latch* NOR (figura 369). En el primer caso, las señales de SET y RESET son activas en **bajo** y, en el segundo, lo son en **alto**. En las siguientes secciones analizaremos en detalle cada tipo.

Cerrojos biestables NAND y NOR

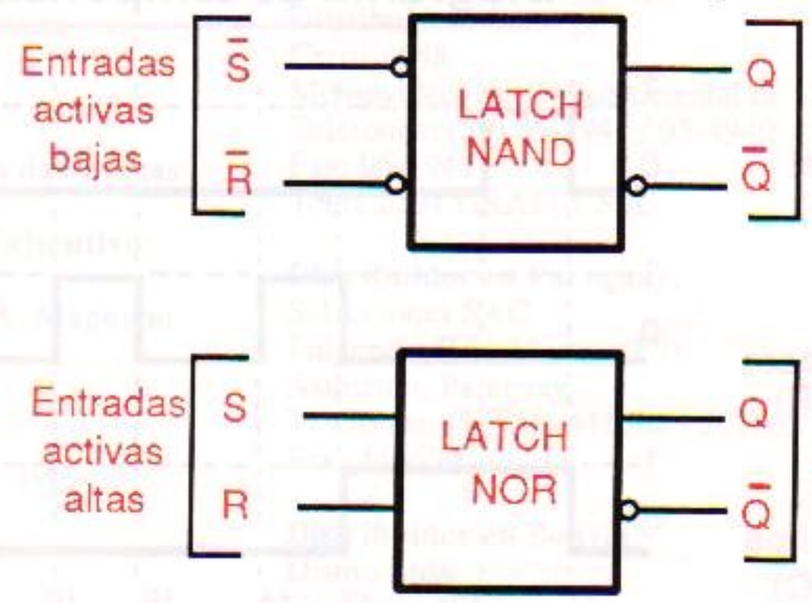


Fig. 369

Latch NAND

En la figura 370 se muestran el circuito lógico, la tabla característica y el diagrama de temporización de un *latch* NAND. Se supone que las entradas R y, S están normalmente en **alto** ó **1** lógico. El estado inicial de las salidas Q y $\bar{Q}$ es intranscendente. Las entradas R y S son activas en **bajo**. La operación de este circuito biestable es como sigue:

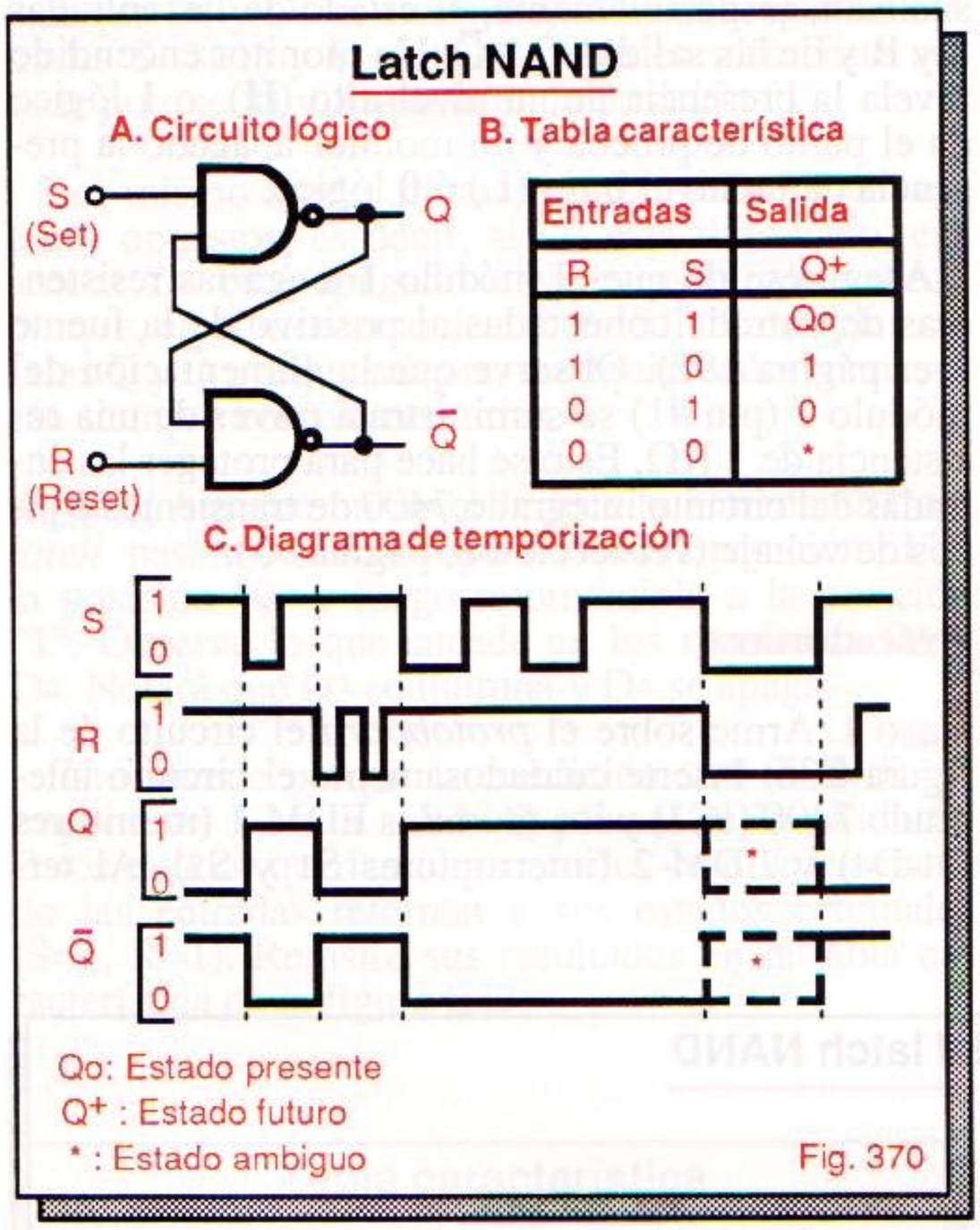


Fig. 370

Al aplicar un **bajo** a la entrada S (SET), la salida Q se hace **alta** y la salida $\bar{Q}$ se hace **baja**. Por tanto, la condición SR=**01** (S=**0**, R=**1**), nos permite almacenar o grabar un **alto** ó **1** lógico en la salida Q.

Al aplicar un **bajo** a la entrada R (RESET), la salida Q se hace **baja** y la salida $\bar{Q}$ se hace **alta**. Por tanto, la condición RS=**01** (R=**0**, S=**1**) nos permite almacenar o grabar un **bajo** ó **0** en la salida Q.

Al aplicar un **alto** a ambas entradas, el estado previo de las salidas Q y $\bar{Q}$ no cambia. Por tanto, la condición RS=**11** (R=**1**, S=**1**) nos permite capturar el *bit* previamente grabado y almacenarlo en el *latch*

Al aplicar simultáneamente un **bajo** a ambas entradas, el estado final de las salidas Q y $\bar{Q}$ es impredecible, ambiguo. Por esta razón, la condición SR =**00** (S=**0**, R=**0**) no es permitida en el *latch* NAND y debe evitarse.

Latch NOR

En la figura 371 se muestran el circuito lógico, la tabla característica y el diagrama de termporización de un *latch* NOR. Se supone que las entradas R y S están normalmente en **bajo** o **0** lógico. El estado inicial de las salidas Q y $\bar{Q}$ es intranscendente. Las entradas R y S son activas en **alto**. La operación de este circuito es como sigue:

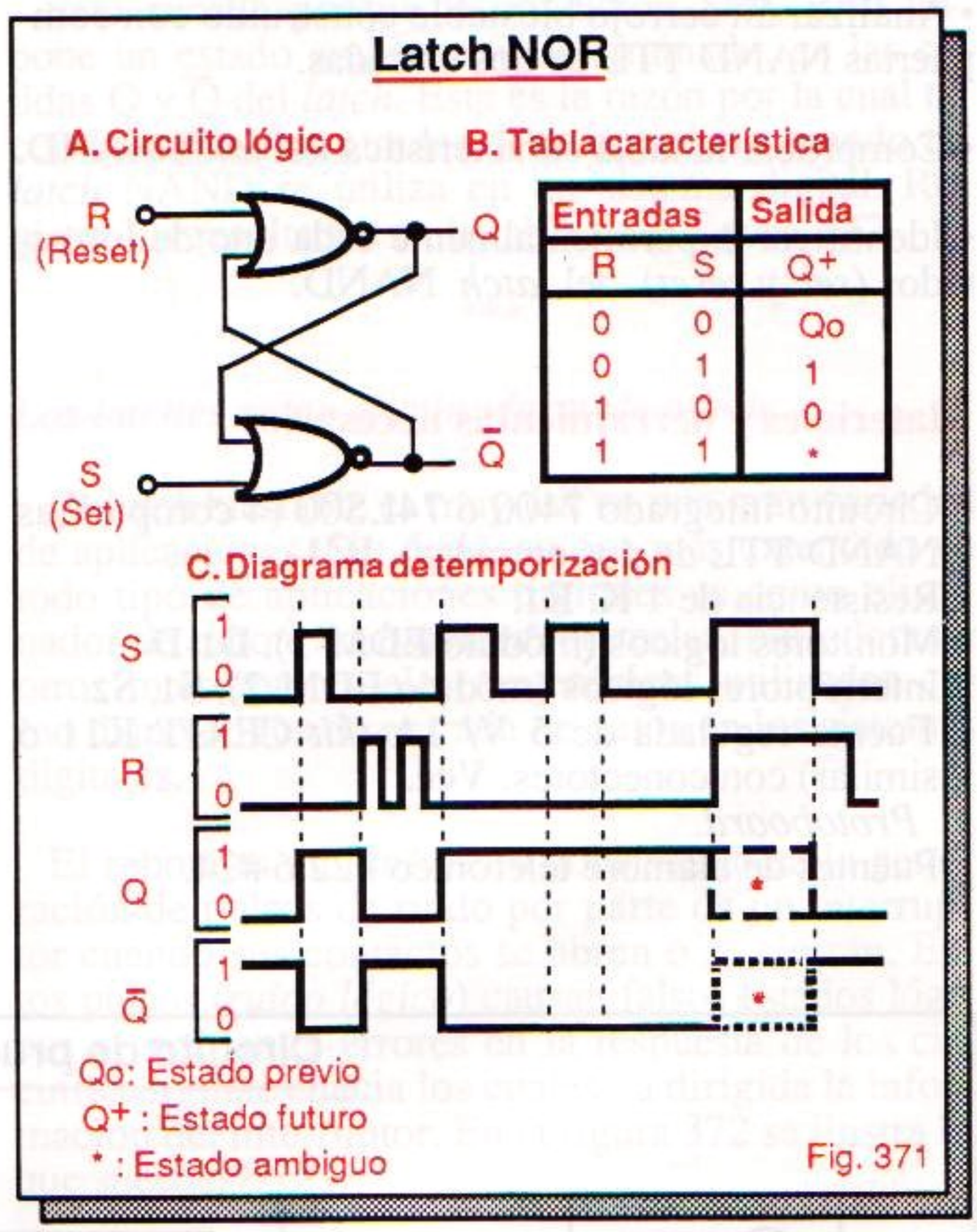


Fig. 371

Al aplicar un **alto** a la entrada S (SET), la salida Q se hace **alta** y la salida $\bar{Q}$ se hace **baja**. Por tanto, la condición SR=**10** (S=**1**, R=**0**) nos permite almacenar o grabar un **alto** ó **1** lógico en la salida Q.

Al aplicar un **alto** a la entrada R (RESET), la salida $\bar{Q}$ se hace **baja** y la salida Q se hace **alta**. Por tanto, la condición RS=**10** (R=**1**, S=**0**) nos permite almacenar o grabar un **bajo** ó **0** en la salida Q.

Al aplicar un **bajo** a ambas entradas, el estado previo de las salidas Q y $\bar{Q}$ no cambia. Por tanto, la condición RS=**00** (R=**0**, S=**0**) nos permite atrapar el *bit* previamente grabado y guardarlo en el *latch*.

Al aplicar simultáneamente un **alto** a ambas entradas, el estado final de las salidas Q y $\bar{Q}$ es indeterminado, ambiguo. Por esta razón, la condición SR =**11** (S=**1**, R=**1**) es inadmisible en el *latch* NOR y debe evitarse.

EXPERIMENTO Nº 21

Comprobación de la operación de un cerrojo biestable

Objetivos

• Analizar un cerrojo biestable construido con compuertas NAND TTL de dos entradas.

• Comprobar la tabla característica del *latch* NAND.

• Identificar experimentalmente cada uno de los estados *(set y reset)* del *latch* NAND.

Materiales y herramientas necesarios

1 Circuito integrado 7400 ó 74LS00 (4 compuertas NAND TTL de dos entradas). **IC1.**
1 Resistencia de 1 K. **R1.**
4 Monitores lógicos (módulo EDM-1). **D1-D4.**
2 Interruptores lógicos (módulo EDM-2). **S1, S2.**
1 Fuente regulada de 5 V/ 1A (*kit* CEKIT K11 ó similar) con conectores. **Vcc.**
1 *Protoboard.*
Puentes de alambre telefónico #22 ó #24.

Descripción del circuito de prueba

En la figura E36 se muestra el circuito que vamos a utilizar en este experimento para comprobar la operación de un *latch* NAND. Este último está formado por las compuertas A y B de IC1 (7400). Los interruptores lógico S1 y S2 del módulo 2 determinan, en su orden, el estado de las entradas S (SET) y R (RESET) del flip-flop.

Los monitores lógicos D1 a D4 del módulo 1 visualizan, respectivamente, el estado de las entradas S y R y de las salidas Q y $\overline{Q}$. Un monitor encendido revela la presencia de un nivel **alto** (**H**) o **1** lógico en el punto de prueba y un monitor apagado la presencia de un nivel **bajo** (**L**) ó **0** lógico.

Asegúrese de que el módulo 1 tenga las resistencias de entrada conectadas al positivo de la fuente (ver página 192). Observe que la alimentación del módulo 2 (pin #1) se suministra a través de una resistencia de 1 KΩ. Esto se hace para proteger las entradas del circuito integrado 7400 de transientes o picos de voltaje (ver lección 8, página 95).

Procedimiento

Paso 1. Arme sobre el *protoboard* el circuito de la figura E36. Inserte cuidadosamente el circuito integrado 7400 (IC1) y los módulos EDM-1 (monitores D1-D4) y EDM-2 (interruptores S1 y S2). Al ter-

Circuito de prueba del latch NAND

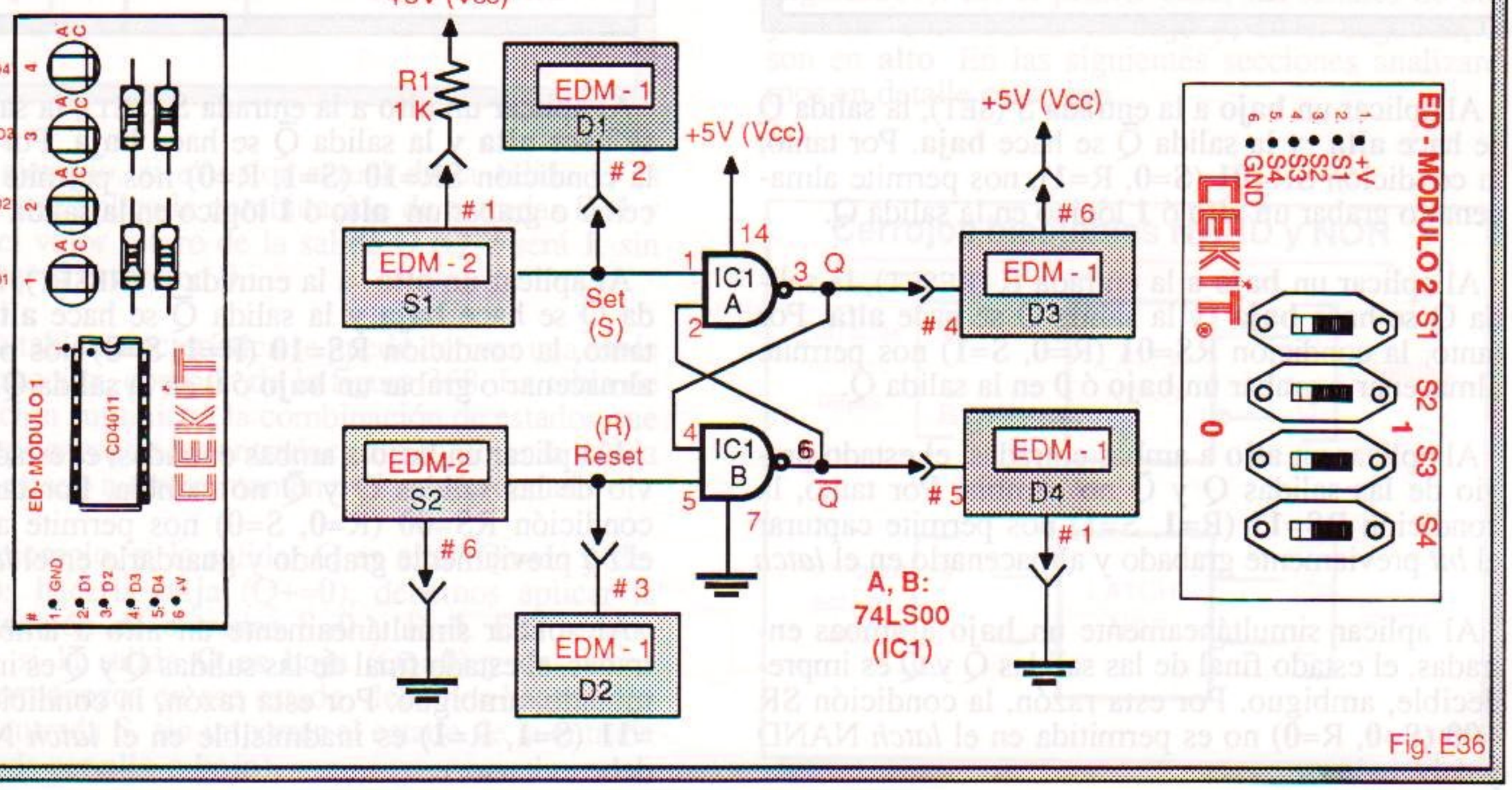


Fig. E36

minar el montaje, sitúe S1 y S2 en la posición 1. De este modo, las entradas R y S del *latch* recibirán un nivel **alto**.

Antes de conectar la fuente de alimentación, asegúrese de que todas las conexiones estén correctas. Busque, especialmente, puentes faltantes, en cortocircuito o extraviados.

Paso 2. Encienda la fuente de alimentación y observe el estado inicial de los monitores D1 a D4. Notará que D1 y D2 se iluminan, indicando que las entradas S (SET) y R (RESET) están en **alto**. Esto sucede porque S1 y S2 están en la posición "**1**".

Del mismo modo, notará que D3 y D4 tienen estados opuestos, es decir, si D3 está iluminado, entonces D4 está apagado o viceversa. Esto sucede porque, en el momento de encender la fuente, las salidas Q y $\overline{Q}$ pueden adoptar cualquier valor, pero serán siempre complementarias.

Paso 3. Aplique un nivel **bajo** a la entrada SET del *latch* pasando el interruptor S1 de la posición "**1**" a la posición "**0**" y luego retornándolo a la posición "**1**". Observe lo que sucede en los monitores D3 y D4. Notará que D3 se ilumina y D4 se apaga.

Esto sucede porque la condición SET (S=**0**, R=**1**) impone un **1** en la salida Q y un **0** en la salida $\overline{Q}$. Estos estados quedan almacenados en el *latch* cuando las entradas retornan a sus estados originales (S=**1**, R=**1**). Registre sus resultados en la tabla característica de la figura E37.

Tabla característica

Entradas		Salida
S	R	Q+
0	0	
0	1	
1	0	
1	1	

1 : Nivel alto (H)

0 : Nivel bajo (L)

Q+ : Estado resultante o futuro de la salida

Fig. E37

Paso 4. Aplique un nivel **bajo** a la entrada RESET del *latch*, pasando el interruptor S2 de la posición "**1**" a la posición "**0**" y luego retornándolo a la posición "**1**". Observe lo que sucede en los monitores D3 y D4. Notará que D3 se apaga y D4 se ilumina.

Esto sucede porque la condición RESET (S=**1**, R=**0**) impone un **0** en la salida Q y un **1** en la salida $\overline{Q}$. Estos estados quedan almacenados en el *latch* cuando las entradas retornan a sus estados originales (S=**1**, R=**1**). Registre sus resultados en la tabla característica de la figura E37.

Paso 5. Aplique al mismo tiempo un nivel **bajo** a las entradas SET y RESET pasando los interruptores S1 y S2 a la posición "**0**" y luego retórnelos a la posición "**1**". Repita esta prueba varias veces. Observe lo que sucede en los monitores D3 y D4. Notará que los estados de D3 y D4 son ambiguos, es decir, se puede iluminar D3 ó D4 ó, incluso ambos.

Esto sucede porque la condición S=**0**, R=**0** impone un estado ambiguo, indeterminado, en las salidas Q y $\overline{Q}$ del *latch*. Esta es la razón por la cual tal combinación de entradas debe impedirse cuando un *latch* NAND se utiliza en un sistema digital. Registre sus resultados en la tabla de la figura E37.

***

Los latches como eliminadores de rebote

El *latch* biestable es muy útil en una gran variedad de aplicaciones. Sin duda, su uso más extendido en todo tipo de aplicaciones digitales es como eliminador de rebote (*debouncer*) de teclas, pulsadores y otros interruptores electromecánicos utilizados como dispositivos de entrada de datos en los sistemas digitales.

El rebote es un fenómeno consistente en la generación de pulsos de ruido por parte de un interruptor cuando sus contactos se abren o se cierran. Estos pulsos (*ruido lógico*) causan falsos estados lógicos y, por tanto, errores en la respuesta de los circuitos digitales hacia los cuales va dirigida la información del interruptor. En la figura 372 se ilustra lo que sucede.

Rebote en un interruptor electromecánico

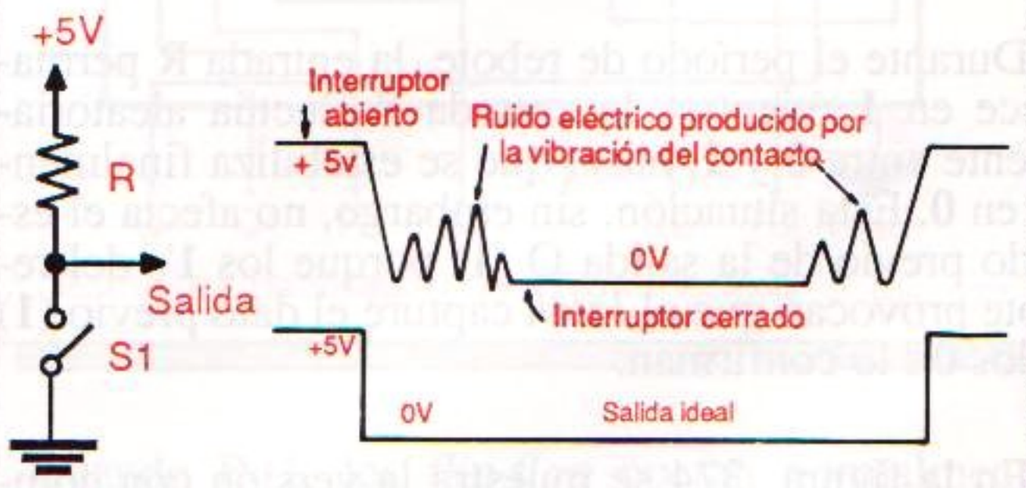


Fig. 372

En condiciones normales, la salida del circuito es de nivel lógico **alto** (+5V) cuando el interruptor está abierto y de nivel **bajo** (0V) cuando está cerrado.

Sin embargo, durante las transiciones de un estado al otro, las laminillas o contactos metálicos del interruptor vibran, rebotando varias veces antes de unirse o separarse definitivamente.

La situación se acentúa si los contactos no están limpios, es decir, tienen rastros de polvo, grasa, óxido, o cualquier otro agente extraño que impida una conmutación nítida. Como resultado del rebote, se generan múltiples pulsos o picos de ruido, los cuales deben *enmascararse*, es decir, evitar que sean vistos por el circuito de utilización.

Una solución sencilla al problema del rebote es utilizar un *latch*. En la figura 373 se muestra un circuito típico de anti-rebote para interruptor spdt (un polo, dos posiciones) con *latch* NAND. Al situar el interruptor en la posición "H", las entradas S y R reciben un nivel **bajo** (**0**) y un nivel **alto** (**1**), respectivamente. En consecuencia, la salida Q es un nivel **alto** (**1**).

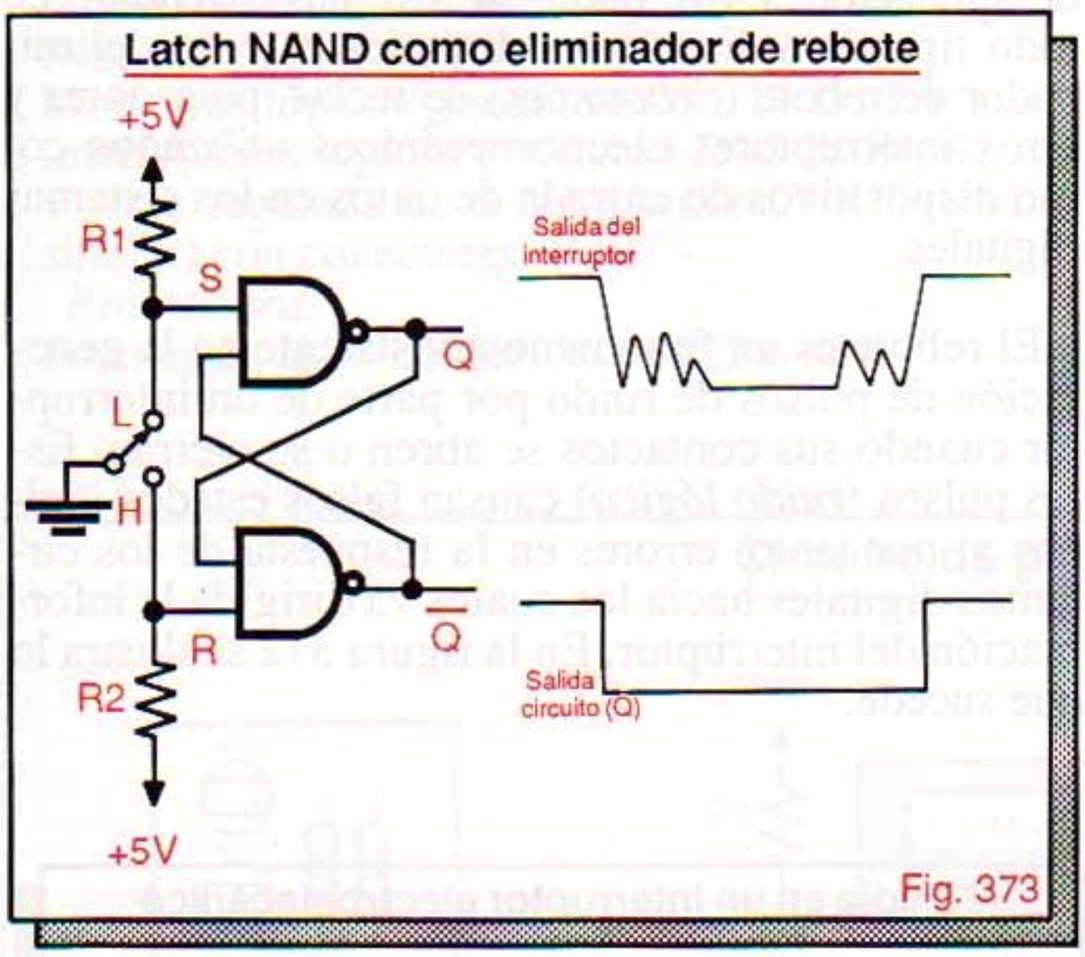


Fig. 373

Durante el período de rebote, la entrada R permanece en **1** mientras la entrada S fluctúa aleatoriamente entre **0** y **1**, hasta que se estabiliza finalmente en **0**. Esta situación, sin embargo, no afecta el estado previo de la salida Q (**1**) porque los **1**'s del rebote provocan que el *latch* capture el dato previo (**1**) y los **0**'s lo confirman.

En la figura 374 se muestra la versión con compuertas NOR de un eliminador de rebote para interruptor spst. Observe que el terminal central está conectado al positivo de la fuente, es decir, tiene aplicado un nivel **alto** permanente. Esto debe ser así porque las entradas de un *latch* NOR son activas en **alto**, en contraste con las de un *latch* NAND, que son activas en **bajo**.

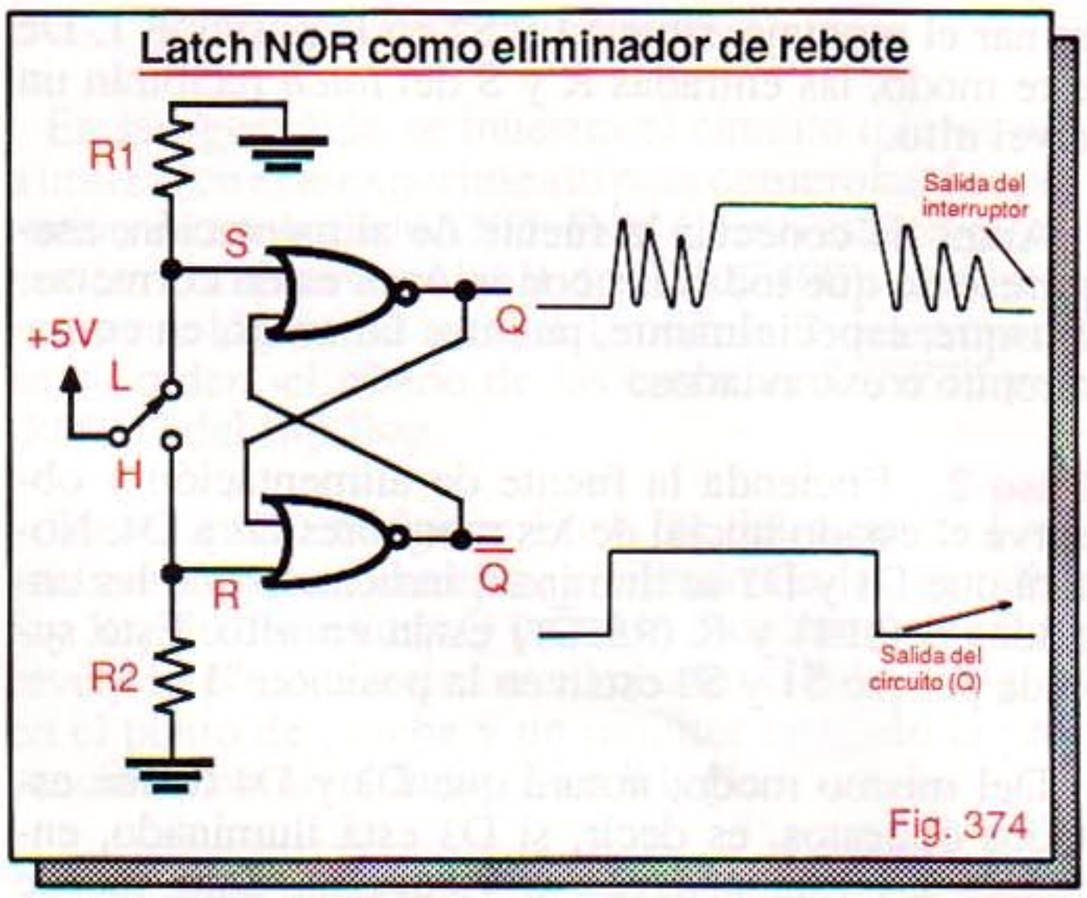


Fig. 374

Los latches como generadores de pulsos de arranque y parada (on/off)

Los *latches*, en general, se utilizan como celdas de memoria de un *bit* para retener información binaria procedente de sensores, microinterruptores y otros elementos digitales biestables que entregan señales temporales. Para comprender mejor este concepto, consideremos el siguiente ejemplo.

Suponga que se pretende generar las señales de arranque y de parada de una máquina o de un sistema con interruptores tipo *pushbutton* (pulsadores) normalmente abiertos. Estos dispositivos se cierran cuando se pulsan y retornan a su estado normal (abierto) cuando se liberan. Por tanto, necesitan de un elemento de memorización que retenga su efecto.

En la figura 375 se muestra la forma de utilizar un *latch* biestable para memorizar o almacenar el estado de los pulsadores de arranque (START) y de parada (STOP). La salida Q del *latch* satura o corta la base del transistor Q1, energizando o desenergizando la bobina del relé RL1. Los contactos del relé manejan la carga, representada, en este caso, por un motor de CA de baja potencia, por ejemplo, de 0.18 KVA (≈ 0.25 HP).

Para comprender mejor la acción de control del *latch*, asumamos que, inicialmente, la salida Q es de nivel **bajo**. Cuando se presiona el botón START, la entrada S recibe un **bajo**, la salida Q se hace **alta**, el transistor se satura, circula una corriente por la bobina del relé y sus contactos se cierran. Por tanto, el motor queda conectado a la red de 110 V.

Al liberar el botón START, esta situación se mantiene, es decir, la orden de arranque queda memorizada en la circuitería del *latch*. Si se pulsa el botón STOP y luego se libera, la salida Q se hace **baja** y el relé desconecta el motor de la red. En conclusión, el

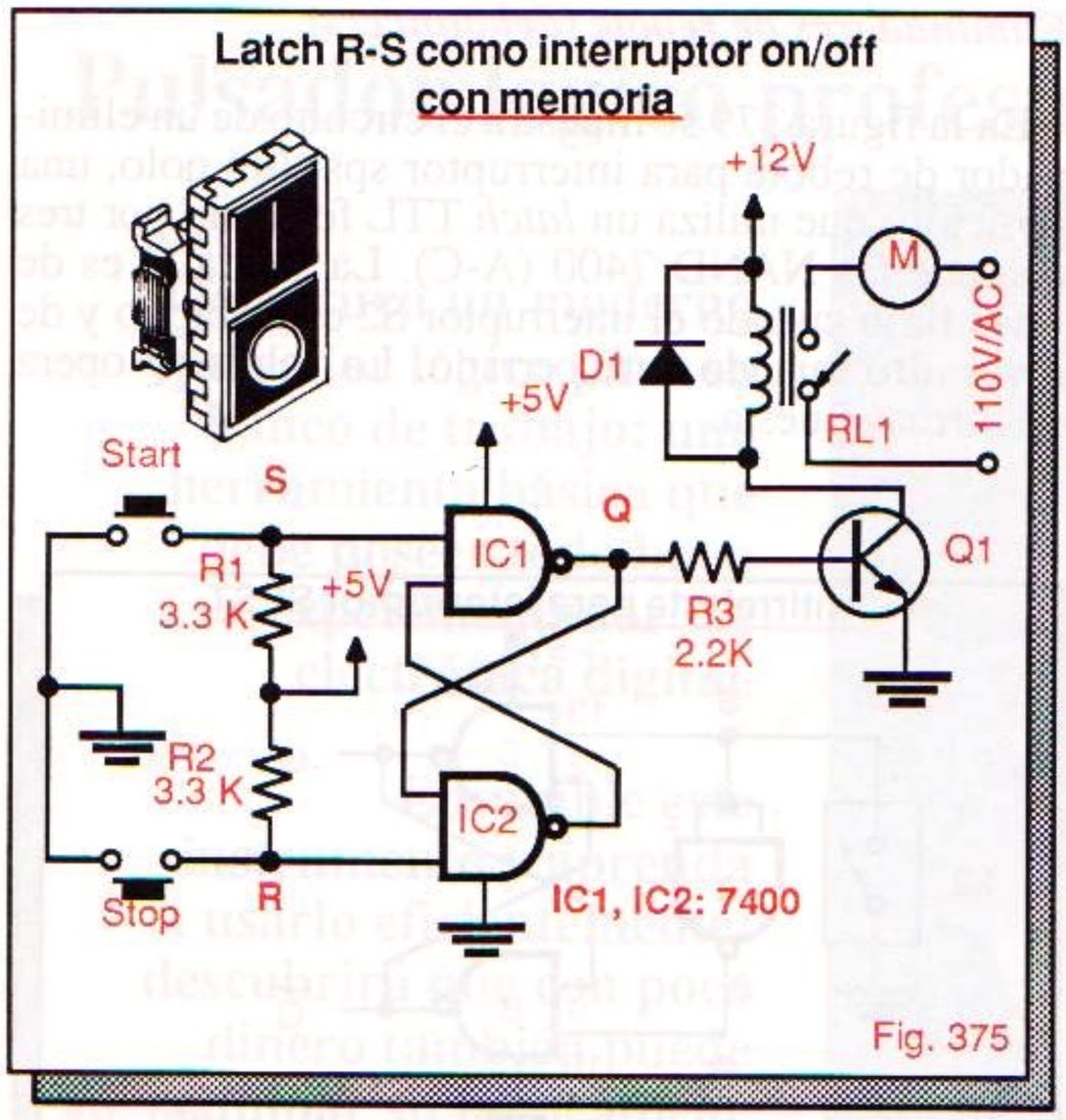


Fig. 375

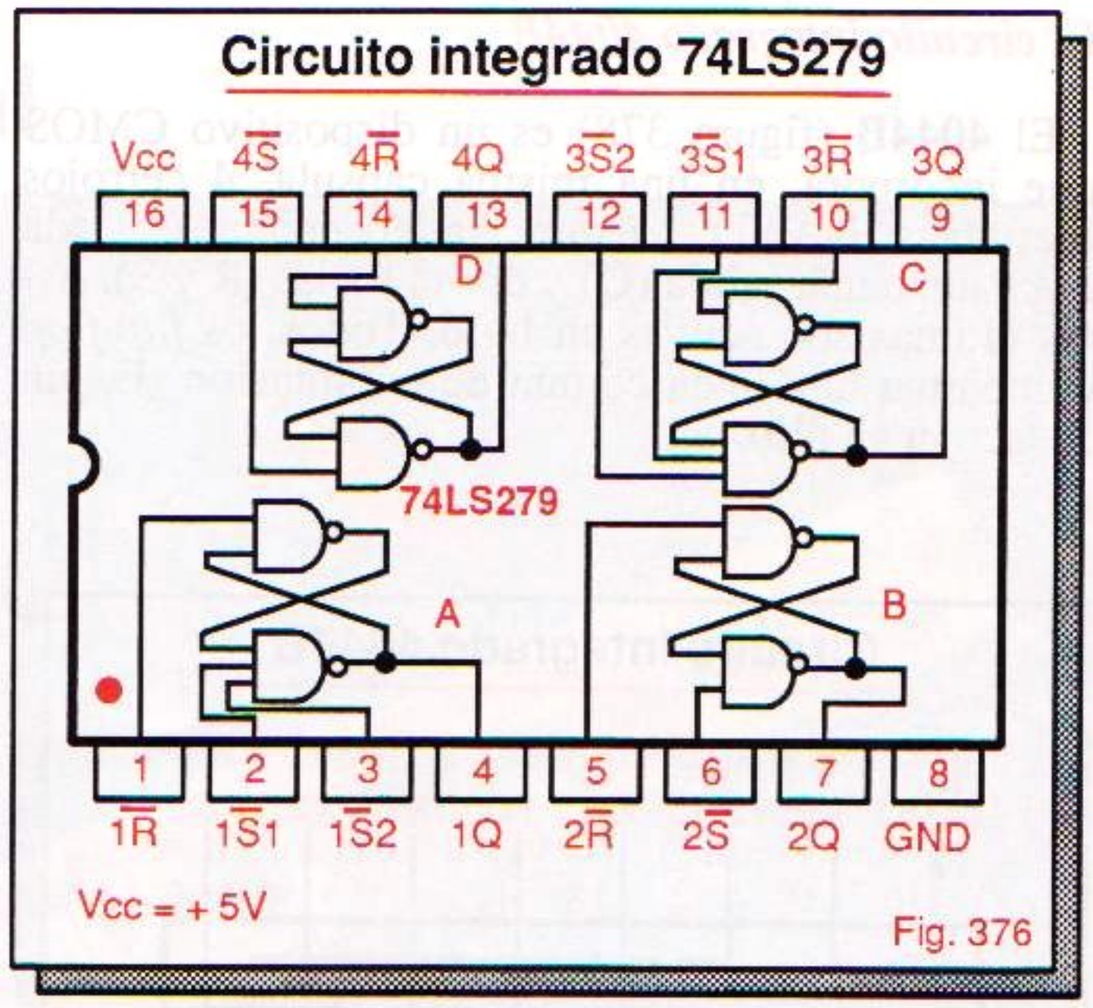


Fig. 376

latch permanece "recordando" la acción del último de los pulsadores.

Cerrojos biestables integrados

Los cerrojos biestables se realizan, en la mayoría de los casos, utilizando compuertas NAND o NOR discretas. Sin embargo, existen algunos *chips* TTL y CMOS que incorporan, en una misma cápsula, varios de estos dispositivos y ofrecen características auxiliares, por ejemplo, salidas *tri-state*.

En las siguientes secciones describiremos los circuitos integrados **74LS279**, **4043B** y **4044B**, que son los más representativos. Todos incluyen cuatro *latches* biestables de un *bit* independientes dentro de una misma cápsula, y son especialmente adecuados como eliminadores de rebote.

Circuito integrado 74LS279

El 74LS279 (figura 376) es un dispositivo TTL que incorpora, en una misma cápsula DIP de 16 pines, 4 cerrojos biestables NAND completamente independientes. Todas las entradas son activas en **bajo**. Observe que los *latches* A y C tienen una entrada S (SET) adicional. En todos los casos, sólo una salida (Q) es accesible.

Un **bajo** en cualquier entrada S (S1 ó S2), con la entrada R **alta**, produce el almacenamiento de un nivel **alto** en la salida Q mientras que un **bajo** en la entrada R, con las entradas S **altas**, produce el almacenamiento de un nivel **bajo**. La transición de las entradas R y S de **alto** a **bajo** causa que la salida Q sea indeterminada.

Circuito integrado 4043B

El **4043B** (figura 377) es un dispositivo CMOS que incorpora, en una misma cápsula, 4 cerrojos biestables NOR *tri-state* independientes. Cada *latch* tiene una salida (Q) y dos entradas (R y S). Estas últimas son activas en **alto**. Todos los *flip-flop* comparten una línea común de habilitación (E, pin 5), activa en **alto**.

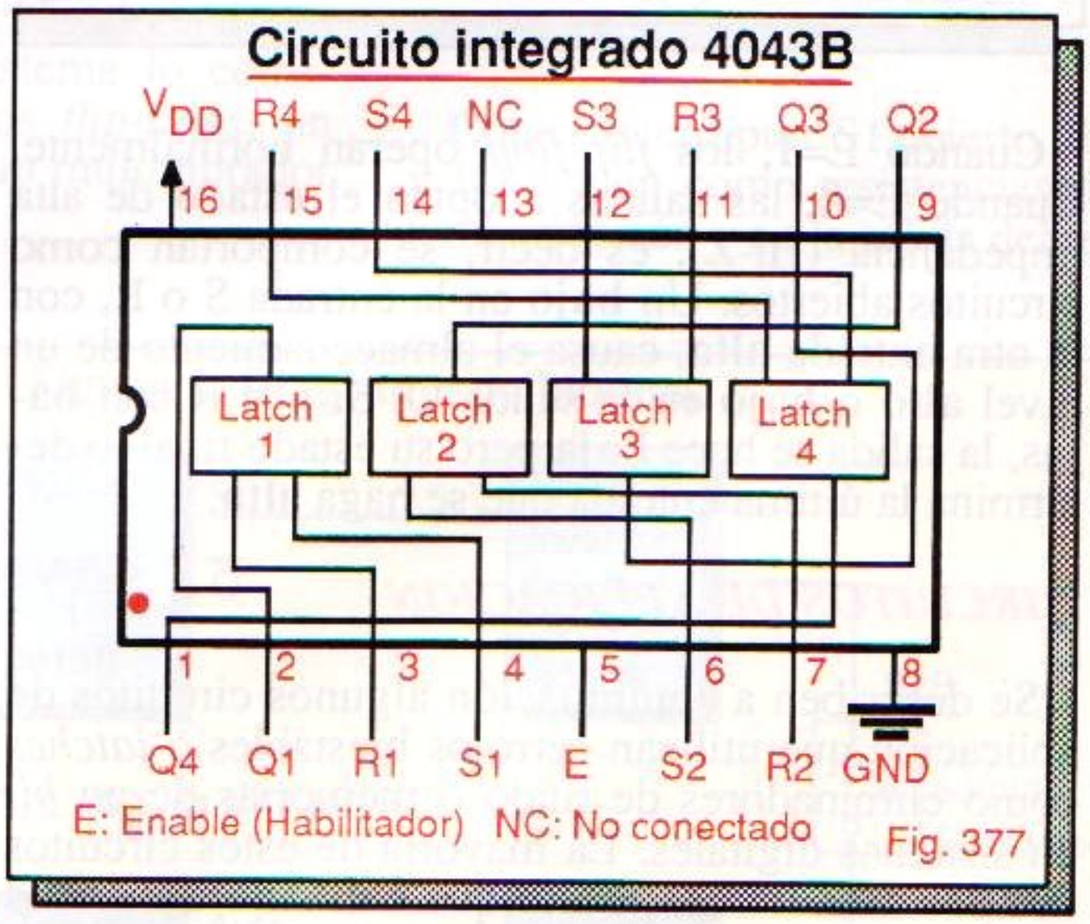


Fig. 377

Cuando E=**1**, los *flip-flop* operan normalmente. Cuando E=**0**, las salidas adoptan el estado de alta impedancia (Hi-Z), es decir, se comportan como circuitos abiertos. Un **alto** en la entrada S o R, con la otra entrada **baja**, causa el almacenamiento de un nivel **alto** o **bajo** en la salida Q. Si S y R son **altas**, la salida se hace **alta** pero su estado final lo determina la última entrada que se haga **baja**.

El circuito integrado 4044B

El **4044B** (figura 378) es un dispositivo CMOS que incorpora, en una misma cápsula, 4 cerrojos biestables NAND *tri-state* independientes. Cada *latch* tiene una salida (Q) y dos entradas (R y S). Estas últimas son activas en **bajo**. Todos los *flip-flop* comparten una línea común de habilitación (E, pin 5), activa en **alto**.

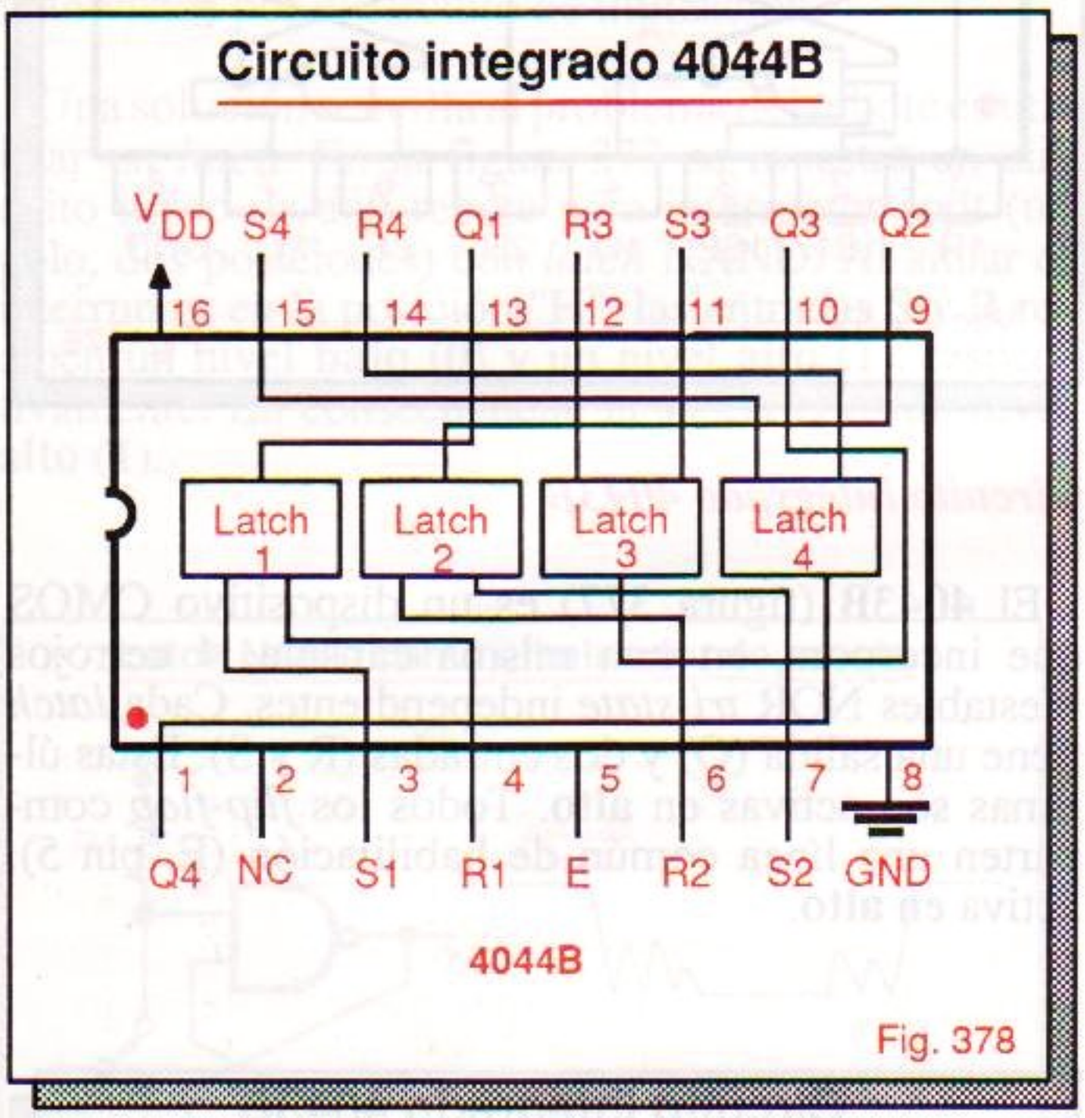


Fig. 378

Cuando E=**1**, los *flip-flop* operan normalmente. Cuando E=**0**, las salidas adoptan el estado de alta impedancia (Hi-Z), es decir, se comportan como circuitos abiertos. Un **bajo** en la entrada S o R, con la otra entrada **alta**, causa el almacenamiento de un nivel **alto** o **bajo** en la salida Q. Si S y R son **bajas**, la salida se hace **baja** pero su estado final lo determina la última entrada que se haga **alta**.

CIRCUITOS DE APLICACION

Se describen a continuación algunos circuitos de aplicación que utilizan cerrojos biestables o *latches* como eliminadores de ruido o memorias de un *bit* en sistemas digitales. La mayoría de estos circuitos nos son familiares, puesto que han sido utilizados en algunos de los proyectos centrales de este curso.

Entre los proyectos presentados figuran varios esquemas de eliminadores de rebote (*debouncers*) de interruptores, un *latch* de metrónomo digital y un eliminador de ruido para tacómetro. Con estos circuitos, comenzaremos también a familiarizarnos con el análisis de sistemas digitales representados por diagramas de bloques.

Eliminadores de rebote (debouncers)

En la figura 379 se muestra el circuito de un eliminador de rebote para interruptor spst (un polo, una posición) que utiliza un *latch* TTL formado por tres compuertas NAND 7400 (A-C). La salida Q es de nivel **bajo** cuando el interruptor S2 está abierto y de nivel **alto** cuando está cerrado. La salida $\overline{Q}$ opera en forma opuesta.

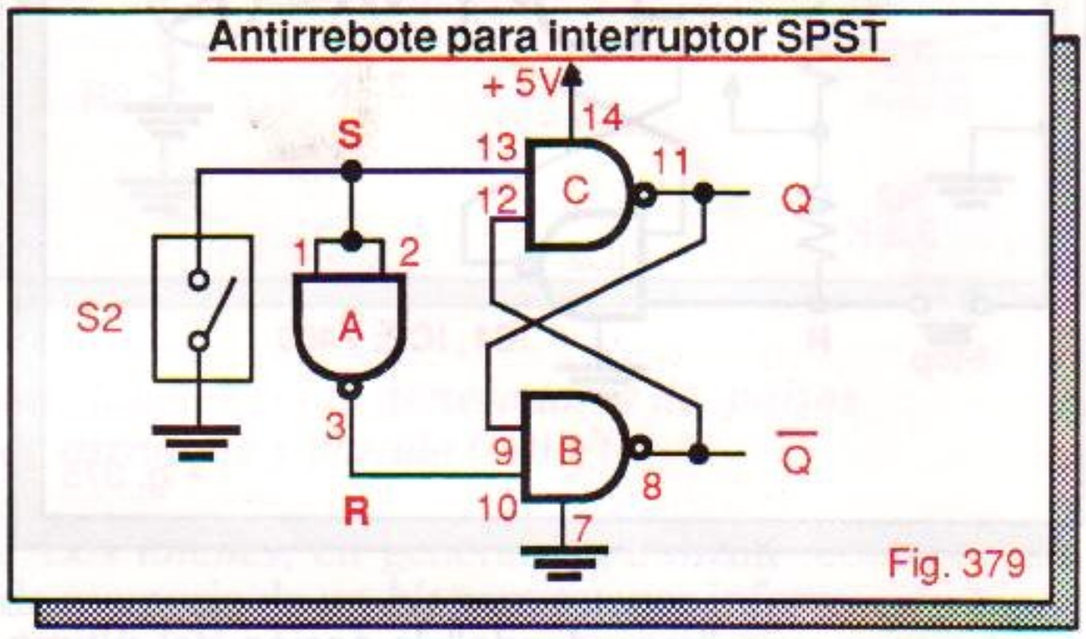


Fig. 379

La compuerta A, en particular, conectada como inversor, garantiza que las entradas R y S del latch no sean **altas** al mismo tiempo, una situación que, como sabemos, provoca una salida ambigua y, por tanto debe evitarse. Cuando S2 está abierto, la entrada S recibe un **alto** y la entrada R un **bajo**. Cuando S2 está cerrado, esta situación se invierte.

Esta configuración antirrebotes es la empleada en el temporizador programable descrito en el proyecto central Nº 10 de este curso. En este sistema, S2 está normalmente abierto durante la fase de programación del tiempo y se cierra para habilitar la temporización. El circuito es también válido para pulsadores NA ó NC.

En la figura 380 se muestra el circuito de un eliminador de rebote para interruptor spdt (un polo, dos posiciones) que utiliza un *latch* CMOS, formado por dos compuertas NAND **4011B**. La salida Q es de nivel **alto** cuando S1 está en la posición H y de nivel **bajo** cuando está en la posición L.

La salida $\overline{Q}$ opera en forma contraria. Las resistencias R1 y R2 son de protección. Con ligeras modificaciones en la tarjeta EDM-2, este circuito se puede adaptar fácilmente a los interruptores lógicos del módulo 2, construido entre las actividades prácticas Nº 8 y Nº 12.

En la figura 381 se muestran los circuitos de los dos pulsadores lógicos (S5 y S6) del entrenador digital CEKIT descrito en el proyecto central Nº 3. El *latch* TTL, formado por las compuertas NAND

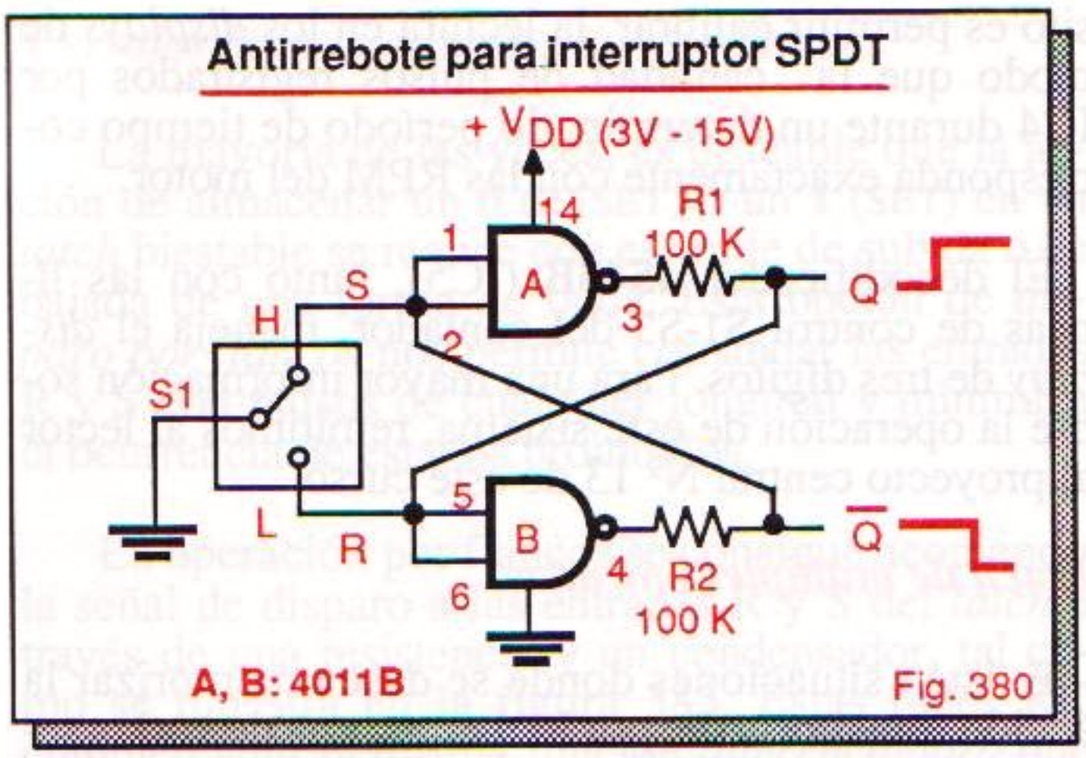


Fig. 380

7400, actúa como eliminador de rebote. Los datos entre paréntesis corresponden al pulsador S6. Limitaremos la explicación al pulsador S5.

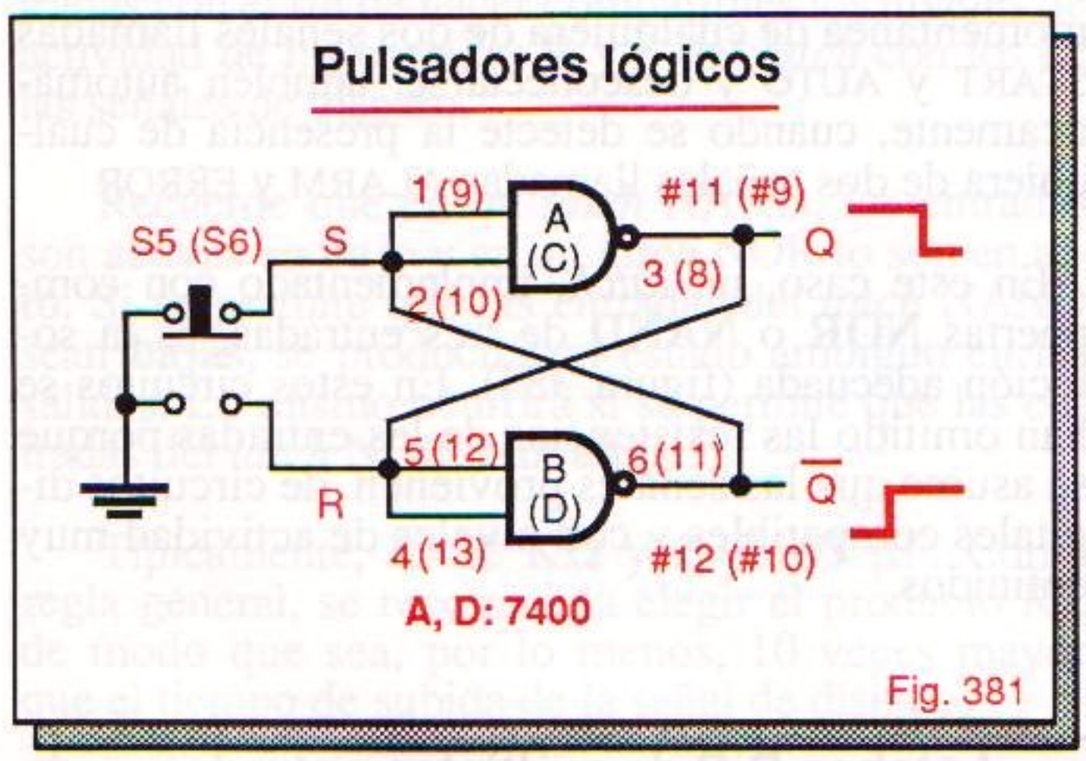


Fig. 381

La salida Q (pin #11 de la base de salida) es normalmente **alta** y se hace **baja** cuando se pulsa el botón S5. La salida Q (pin #12) opera en forma contraria. Cuando se libera S5, las salidas retornan a sus estados originales. El pulsador S6 opera en forma exactamente igual. Recuerde que una entrada TTL al aire se interpreta como un **alto**.

Latch de metrónomo de péndulo

En la figura 382 se muestra el diagrama de bloques simplificado del metrónomo digital CEKIT descrito en el proyecto central Nº 6. Este circuito utiliza un *latch* NAND como celda de memoria de un *bit* para controlar la secuencia de encendido de diez LED (D1 a D10) que simulan el movimiento del brazo oscilante de un péndulo.

Cuando se conecta la fuente de alimentación, la línea SET envía un **bajo** a la entrada S del *latch,* formado por las compuertas NAND B y C de un CI **4011B** (IC5). Por tanto, la salida Q aplica un **alto**

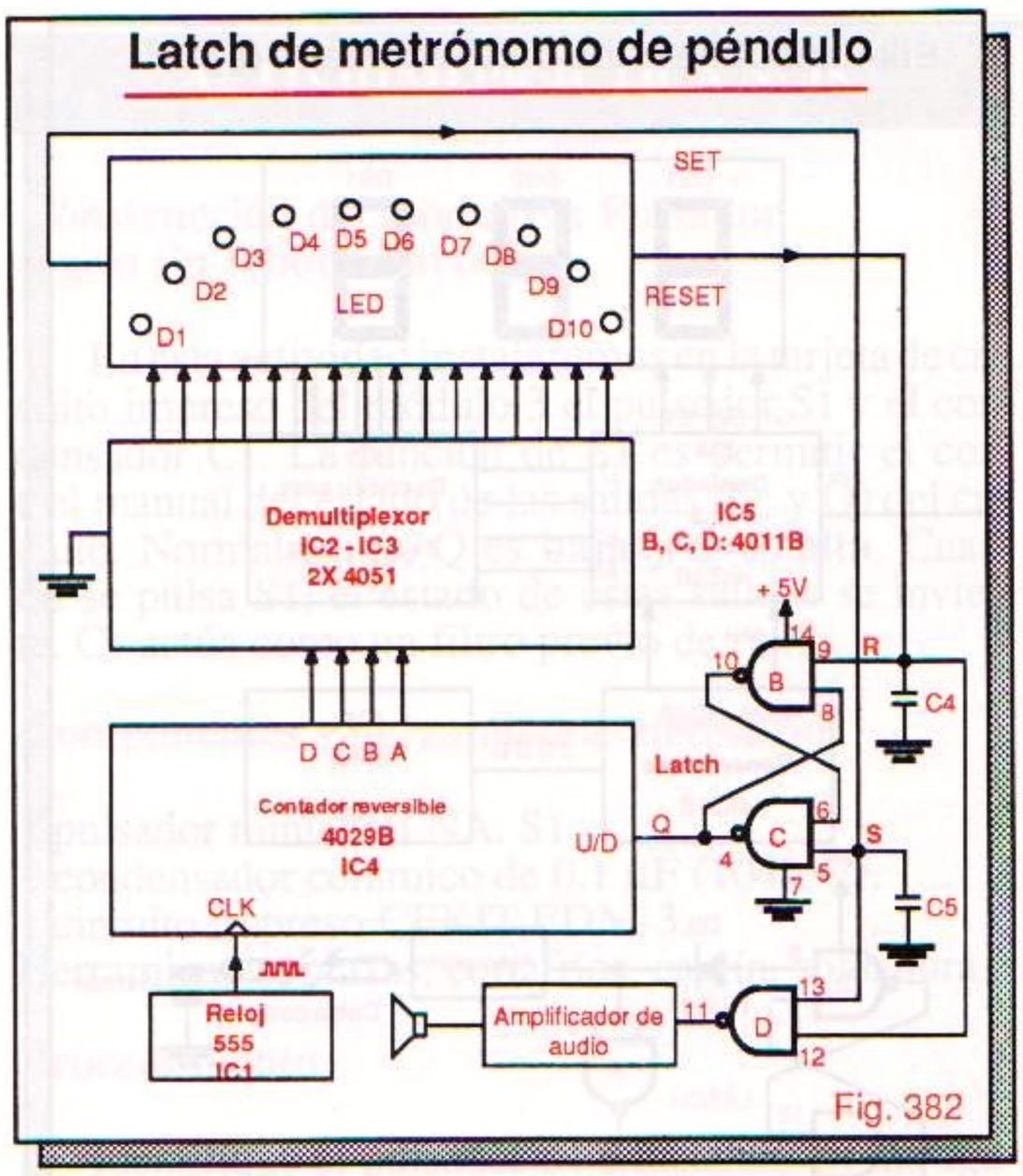


Fig. 382

a la entrada U/D (*up/down*) del contador **4029B** (IC4), obligándolo a contar los pulsos procedentes del reloj **555** (IC1) en forma ascendente (*up*).

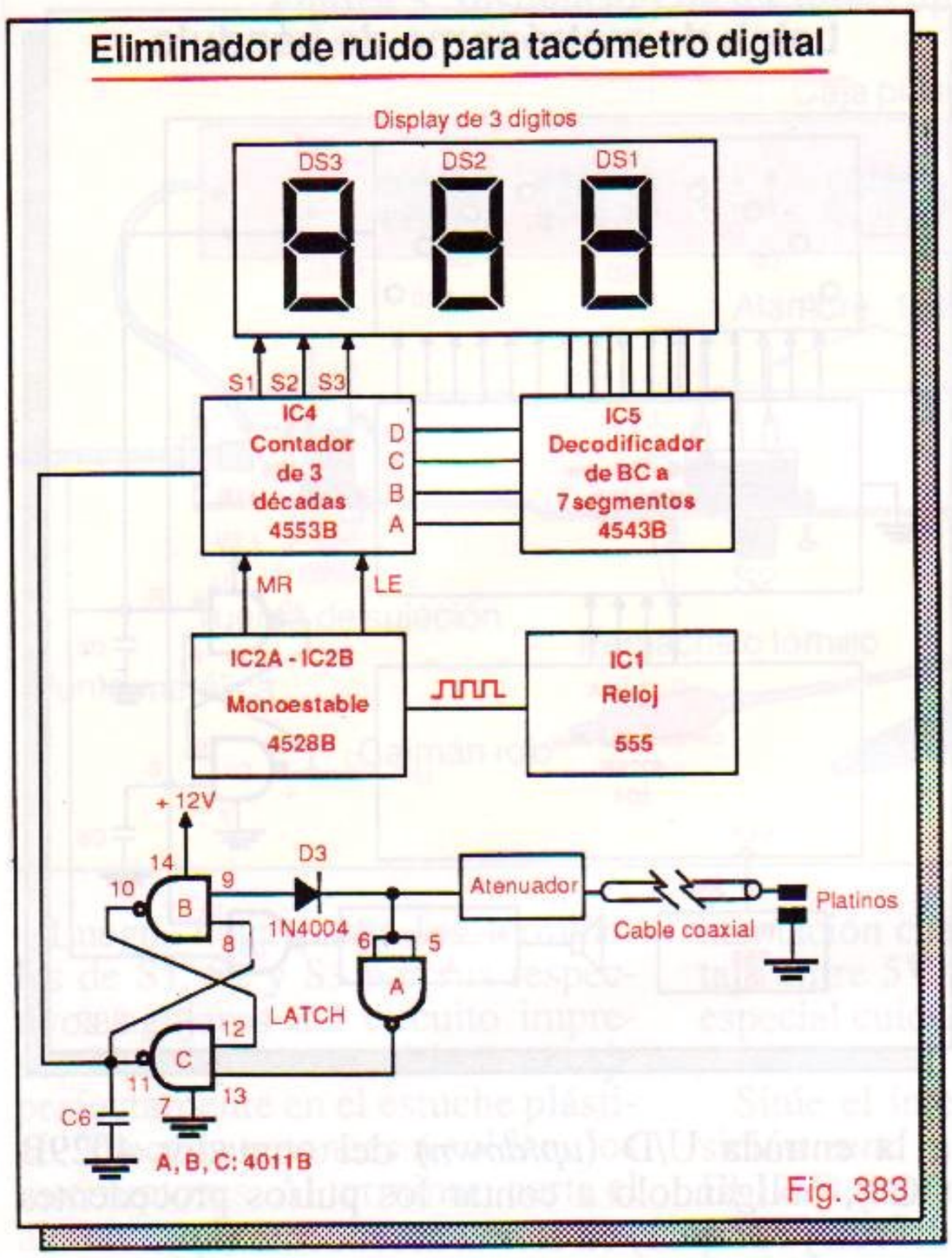
Como resultado, el demultiplexor, formado por dos CI **4051B** (IC2-IC3), energiza secuencialmente los LED en sentido directo, desde D1 hasta D10. Cuando se energiza el último LED (D10), la línea RESET envía un **bajo** a la entrada R del latch. Por tanto, la salida Q aplica un **bajo** a la entrada U/D del contador, obligándolo a contar los pulsos del reloj en forma descendente (*down*).

En consecuencia, el demultiplexor energiza secuencialmente los LED en sentido inverso, desde D10 hasta D1. Cuando se energiza el primer LED (D1), la línea SET envía un **bajo** a la línea S y se repite, otra vez, el mismo proceso.

Cada vez que se activa una de las líneas SET o RESET, la compuerta D envía un pulso positivo al amplificador, el cual se reproduce en el parlante como un golpe seco, generándose el *click* de acompasamiento característico de los metrónomos. Para más información sobre este circuito, remitimos al lector al proyecto central Nº 6 de este curso.

Eliminador de ruido para tacómetro digital

En la figura 383 se muestra el diagrama de bloques simplificado del tacómetro digital, similar al descrito en el proyecto central Nº 13 de este curso. El circuito utiliza un *latch* como eliminador de ruido de los *pulsos* procedentes de los platinos. Es-



tos pulsos se utilizan como referencia para determinar las RPM (revoluciones por minuto) del motor.

Los contactos de los platinos de un automóvil de encendido convencional conectan y desconectan la corriente primaria de la bobina de alto voltaje a una frecuencia proporcional a las RPM del motor. Los pulsos producidos pueden alcanzar amplitudes hasta de 200V a 300 V. Por tanto, deben atenuarse a un nivel suficiente para que sean compatibles con los niveles de voltaje manejados en los circuitos digitales.

El *latch* garantiza que los pulsos aplicados al contador 4553B (IC4) sean perfectamente cuadrados, sin ruido, y su frecuencia corresponda con la de los platinos. El *latch* ignora los rebotes originados en los contactos de los platinos cuando estos se abren o se cierran y sólo tiene en cuenta la apertura y el cierre principal.

Si no se utilizara el *latch*, la lectura de las RPM en los *displays* no seria confiable porque cada pulso de ruido sería también registrado por el contador. Este último no puede, por sí mismo, distinguir entre un pulso de ruido y un pulso originado por la apertura y cierre de los platinos.

El reloj **555** (IC1) y los monoestables **4528** (IC2) configuran un circuito *base de tiempo* cuyo propósito es permitir calibrar la lectura en los *displays* de modo que la cantidad de pulsos registrados por IC4 durante un determinado período de tiempo corresponda exactamente con las RPM del motor.

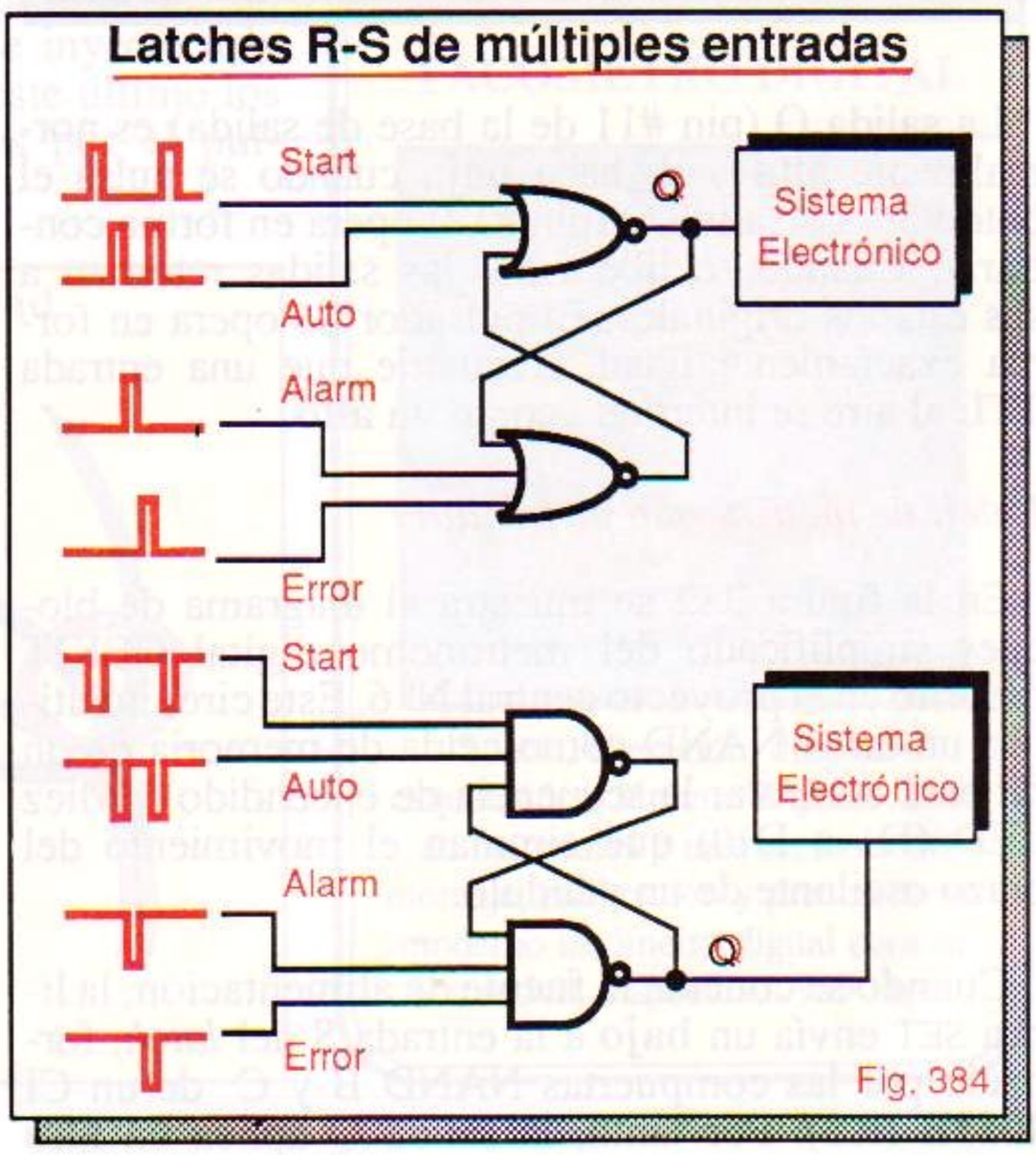
El decodificador **4543B** (IC5), junto con las líneas de control S1-S3 del contador, maneja el *display* de tres dígitos. Para una mayor información sobre la operación de este sistema, remitimos al lector al proyecto central Nº 13 de este curso.

Latch de múltiples entradas

Existen situaciones donde se desea memorizar la acción transitoria de, por lo menos, una de varias señales, para activar o desactivar permanentemente un dispositivo eléctrico. En muchos casos, un *latch* biestable ofrece una solución muy conveniente a este tipo de necesidades

Por ejemplo, suponga que una máquina debe activarse automáticamente cuando se detecte la acción momentánea de cualquiera de dos señales llamadas START y AUTO y desconectarse, también automáticamente, cuando se detecte la presencia de cualquiera de dos señales llamadas ALARM y ERROR

En este caso, un *latch*, implementado con compuertas **NOR** o **NAND** de tres entradas, es la solución adecuada (figura 384). En estos circuitos se han omitido las resistencias de las entradas porque se asume que las señales provienen de circuitos digitales compatibles y con niveles de actividad muy definidos.



Cerrojos biestables activados por flancos

La mayoría de las veces, es deseable que la acción de almacenar un **0** (RESET) o un **1** (SET) en un *latch* biestable se realice con el borde de subida o de bajada de una forma de onda. Esta opción de *disparo por flancos* nos permite comandar las entradas R y S con pulsos de cualquier longitud y minimiza la ocurrencia de estados prohibidos.

La operación por flancos se consigue acoplando la señal de disparo a las entradas R y S del *latch* a través de una resistencia y un condensador, tal como se muestra en la figura 385. Estas redes RC cumplen aquí la misma función *diferenciadora* que realizan en los detectores de flancos estudiados en la lección 15.

Los circuitos A y B responden a flancos de subida y los circuitos C y D a flancos de bajada. Los circuitos B y C requieren de inversores en las entradas con el fin de hacer compatibles los niveles de actividad de las entradas R y S del *latch* con los de las señales de disparo.

Recuerde que en un *latch* NAND, las entradas son activas en **bajo** y en un *latch* NOR lo son en **alto**. Si se permite que las entradas del *latch* NAND sean **bajas**, se producirá un estado ambiguo en las salidas. Lo mismo ocurrirá si se permite que las entradas del *latch* NOR sean **altas**.

Típicamente, R=22 KΩ y C=0.001 μF. Como regla general, se recomienda elegir el producto RC de modo que sea, por lo menos, 10 veces mayor que el tiempo de subida de la señal de disparo.

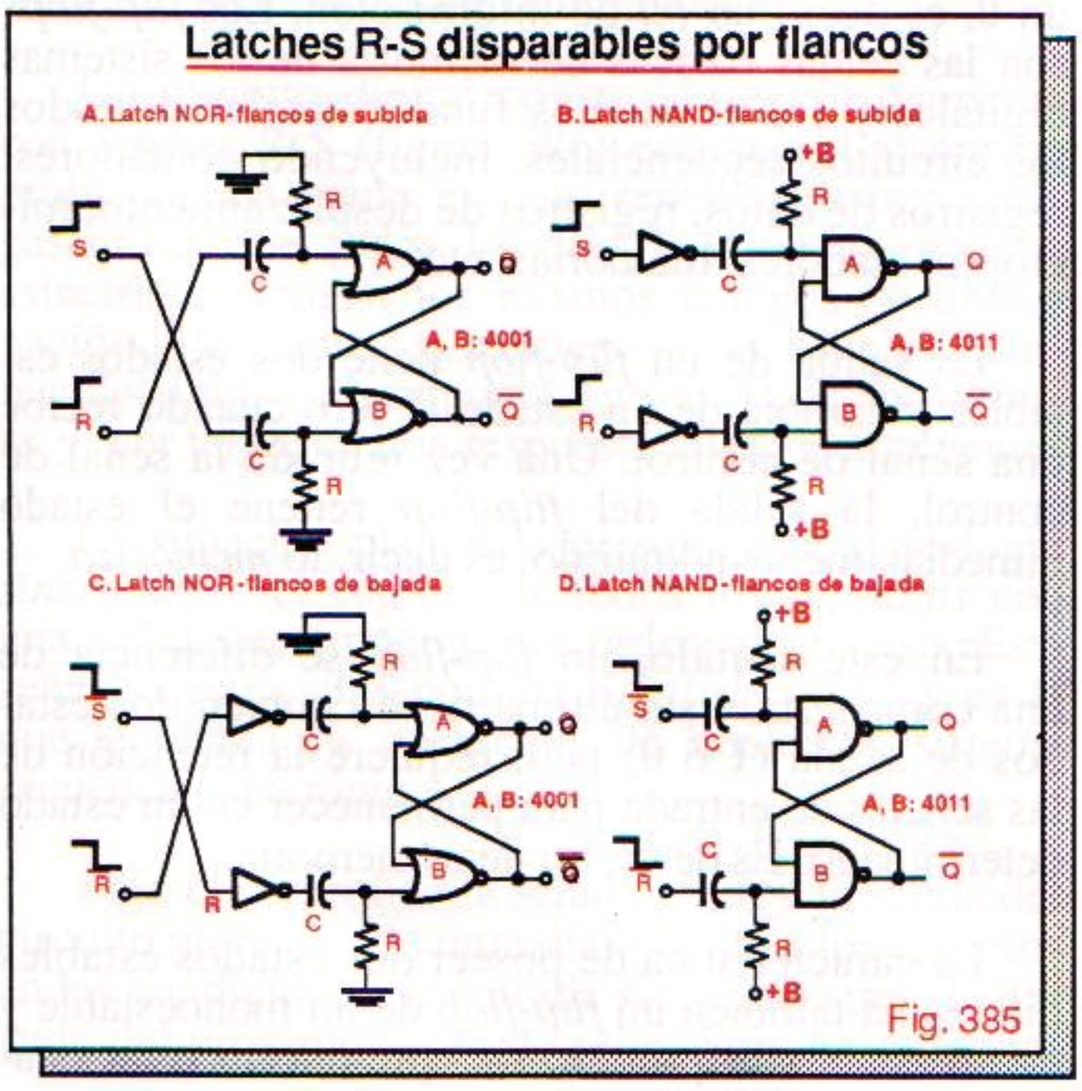


Fig. 385

ACTIVIDAD PRACTICA Nº 15

Construcción del módulo 3: Pulsador lógico sin rebote. Parte 3.

En esta actividad instalaremos en la tarjeta de circuito impreso del módulo 3 el pulsador S1 y el condensador C1. La función de S1 es permitir el control manual del estado de las salidas (Q y $\bar{Q}$) del circuito. Normalmente, Q es **baja** y $\bar{Q}$ es **alta**. Cuando se pulsa S1, el estado de estas salidas se invierte. C1 actúa como un filtro previo de ruido.

Componentes y herramientas necesarios

1 pulsador miniatura NA. S1.
1 condensador cerámico de 0.1 μF (104). C1.
1 circuito impreso CEKIT EDM-3.
Herramientas: pinzas, cortafríos, cautín, soldadura.

Procedimiento

Identifique el pulsador S1 e instálelo en los agujeros correspondientes de la tarjeta EDM-3, frente a la base de 14 pines, como se muestra en la figura A23(a). A continuación, identifique el condensador cerámico de 0.1 μF (C1) e instálelo en la posición que le corresponde, frente al pulsador S1, como se muestra en la figura A23(b). Después de soldar, elimine el alambre sobrante.

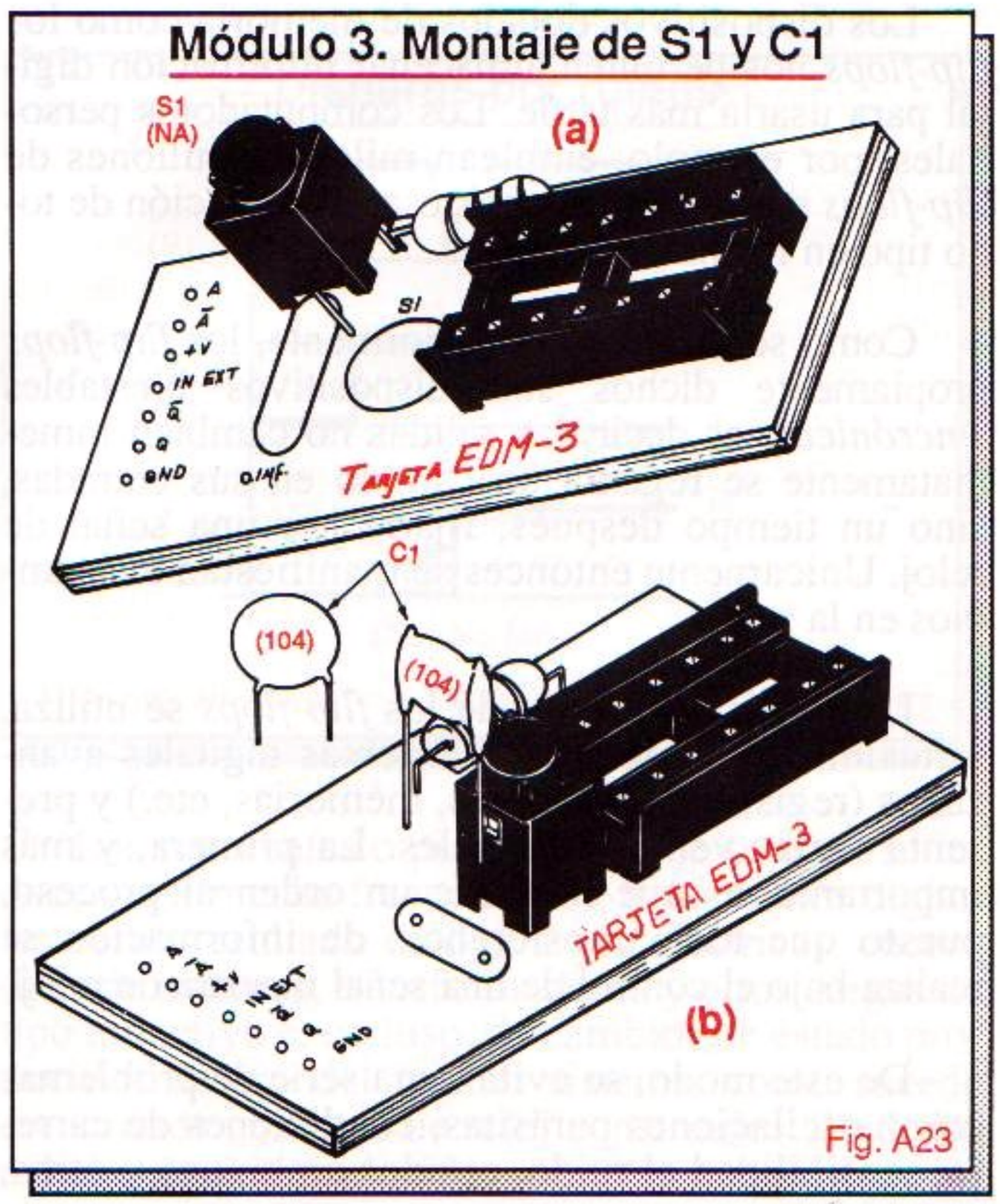


Fig. A23

Multivibradores biestables (flip-flops)

- *Introducción.*
- *Qué es un flip-flop.*
- *Desventajas de los flip-flops asincrónicos.*
- *Tipos de flip-flops sincrónicos.*
- *Flip-flop R-S sincrónico.*
- *Flip-flop maestro/esclavo.*
- *Flip-flop tipo T.*
- *Flip-flop tipo D.*
- *Circuitos integrados con flip-flops D.*
- *Experimento Nº 22. Operación de un flip-flop D.*
- *Flip-flop tipo J-K.*
- *Circuitos integrados con flip-flops JK.*
- *Experimento Nº 23. Operación de un flip-flop J-K*
- *Problemas típicos en circuitos con flip-flops.*
- *CIRCUITOS DE APLICACION*
- *Actividad práctica Nº 16*

Introducción

En la lección 19 analizamos en detalle el *latch* biestable o *flip-flop* R-S asincrónico y sus versiones NAND y NOR. Continuando nuestro recorrido por el mundo de la lógica secuencial, en esta lección iniciaremos el estudio formal de los *flip-flops*, los elementos básicos de memoria de los sistemas digitales.

Los dispositivos dotados de memoria como los *flip-flops* nos permiten almacenar información digital para usarla más tarde. Los computadores personales, por ejemplo, emplean miles de millones de *flip-flops* para guardar y procesar información de todo tipo en forma de **1**'s y **0**'s.

Como se estableció anteriormente, los *flip-flops* propiamente dichos son dispositivos biestables *sincrónicos*, es decir, las salidas no cambian inmediatamente se registra un cambio en sus entradas, sino un tiempo después, fijado por una señal de reloj. Unicamente entonces se manifiestan los cambios en la salida.

La *lógica sincrónica* de los *flip-flops* se utiliza, virtualmente, en todos los sistemas digitales avanzados (registros, contadores, memorias, etc.) y presenta varias ventajas notables. La primera, y más importante, es que imprime un orden al proceso, puesto que toda transferencia de información se realiza bajo el control de una señal maestra de reloj.

De este modo, se evitan una serie de problemas como oscilaciones parásitas, condiciones de carrera, sensibilidad al ruido, estados ambiguos y otros, que son típicos de los sistemas asincrónicos. Estas situaciones las trataremos más adelante.

Los *flip-flops*, como la mayoría de dispositivos lógicos sincrónicos, responden a uno de los flancos de la señal de reloj. Esta característica elimina la necesidad de recurrir a resistencias y condensadores para detectar el flanco de subida o de bajada de una señal lógica, como sí debe hacerse cuando se utilizan *flip-flops* R-S asincrónicos (ver figura 385).

En esta lección compararemos las características de los *flip-flops* asincrónicos y sincrónicos, estudiaremos los principales tipos de *flip-flops* y aprenderemos a utilizarlos eficientemente. En la próxima lección conoceremos las técnicas que se utilizan para diseñar circuitos secuenciales basados en estos dispositivos.

Los *flip-flops* son los bloques constructivos básicos de las memorias semiconductoras de lectura y escritura (RAM) y de toda una variada gama de circuitos y sistemas digitales como contadores, registros, microprocesadores, etc. Su conocimiento es básico para comprender a fondo el mundo de la electrónica digital y sus aplicaciones.

Qué es un flip-flop

En términos generales, un *flip-flop* o biestable es un dispositivo digital capaz de almacenar un **1** ó un **0**, es decir, un *bit* de información. Los *flip-flops* son las celdas básicas de memoria de los sistemas digitales y los elementos fundamentales de todos los circuitos secuenciales, incluyendo contadores, registros de datos, registros de desplazamiento, microprocesadores, memorias, etc.

La salida de un *flip-flop* tiene dos estados estables y cambia de un estado al otro cuando recibe una señal de control. Una vez retirada la señal de control, la salida del *flip-flop* retiene el estado inmediatamente adquirido, es decir, lo *memoriza.*

En este sentido, un *flip-flop* se diferencia de una compuerta. Esta última tiene también dos estados de salida (**1** ó **0**) pero requiere la retención de las señales de entrada para permanecer en un estado determinado. Es decir, no tiene memoria.

La característica de poseer dos estados estables diferencia también un *flip-flop* de un monoestable y de un astable. El primero siempre retorna a un esta-

do específico (su estado estable) mientras el segundo está cambiando permanentemente de estado (no tiene estado estable). Un *flip-flop*, en cambio, puede permanecer indefinidamente en cualquiera de sus dos estados estables.

La forma más simple de *flip-flop* es el *latch* biestable o *flip-flop* R-S asincrónico estudiado en la lección 19. En la siguiente sección analizaremos las desventajas de este dispositivo y la necesidad de evolucionar hacia la versión sincrónica del mismo. El *flip-flop* R-S sincrónico es la base de los *flip-flops* M/S (maestro-esclavo), T, D y J-K que conoceremos en esta lección.

Desventajas de los flip-flops asincrónicos

Como vimos en la lección 19, el *flip-flop* R-S asincrónico (*latch*) es adecuado para construir registros de datos, memorias, eliminadores de rebote y otros circuitos sencillos. Para aplicaciones más avanzadas, por ejemplo contadores de pulsos y registros de desplazamiento, los *flip-flops* asincrónicos no son apropiados por varias razones.

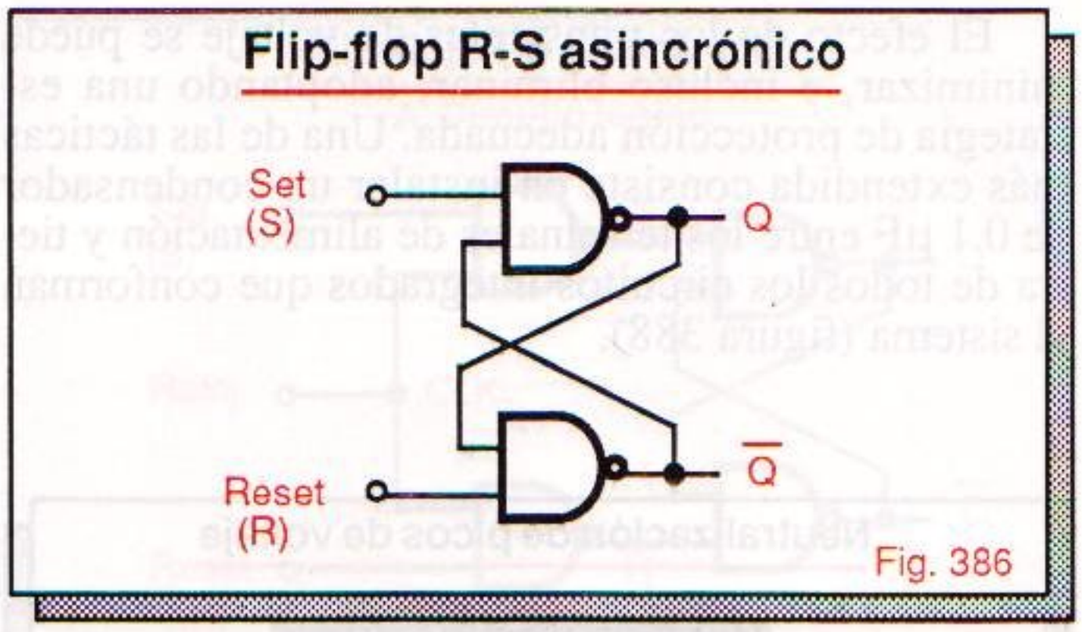
Entre estas últimas se destacan su susceptibilidad a las carreras lógicas *(races)*, su poca inmunidad al ruido y la posibilidad de provocar estados ambiguos. Estas circunstancias obligan al empleo de *flip-flops sincrónicos* en la mayoría de aplicaciones donde se requiere la función de memoria.

Las ***carreras*** son un problema muy frecuente que se presenta en circuitos lógicos con relés. Cuando varias señales lógicas ordenan el cierre simultáneo de varios relés, los más rápidos cierran primero sus contactos y los más lentos lo hacen un tiempo después. Durante este lapso, el circuito se descontrola y el resultado final es impredecible.

Un circuito digital construido exclusivamente con *latches* R-S (figura 386) está sujeto al mismo problema. La razón es muy sencilla: es imposible garantizar que todos los *flip-flops* de un sistema asincrónico tengan los mismos tiempos de propagación. Por tanto, si existen varias señales cambiando al mismo tiempo, la ocurrencia de una *carrera* y, por tanto, de una respuesta falsa, es inminente.

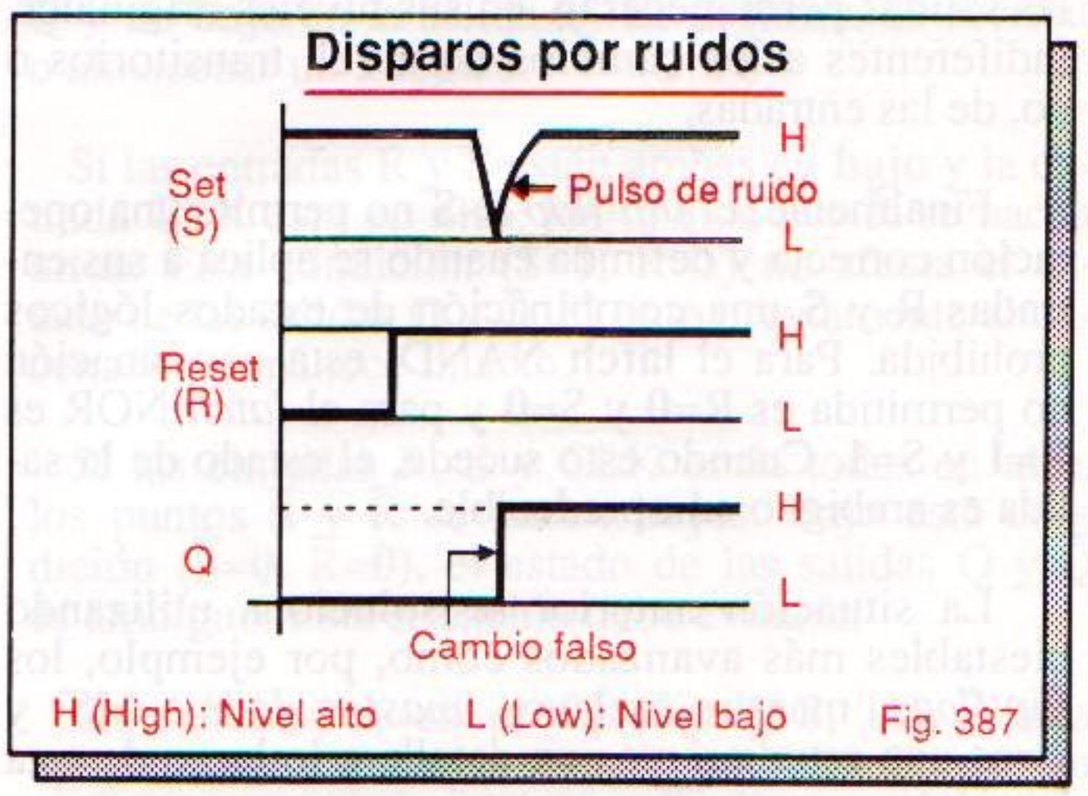
La situación planteada se soluciona si se logra *sincronizar* el cambio de todos los *flip-flops* con una señal que imponga un orden al proceso. Esta señal maestra se denomina *señal de reloj* y es la que gobierna la operación de cualquier sistema secuencial sincrónico.

Bajo el control de la señal de reloj, la salida del circuito no responde inmediatamente a los cambios en las condiciones de entrada sino que espera la llegada del próximo pulso de reloj. Sólo hasta entonces, el circuito emite una respuesta, basado en las condiciones de entrada existentes en ese instante.



De este modo se evita que los cambios de estado no previstos se propaguen sin control a través del circuito. En un sistema sincrónico, cada señal lógica se mueve de una etapa a la siguiente de una manera ordenada y todos los cambios se suceden a un mismo tiempo. La sincronización de las operaciones minimiza los riesgos de carreras lógicas, *glitches* y otros efectos indeseables.

Otra desventaja del *flip-flop* R-S asincrónico es su pobre inmunidad al ***ruido***. La figura 387, por ejemplo, ilustra lo que puede suceder cuando en una de las señales de entrada (SET, en este caso) se induce un transiente de voltaje. Este pico de ruido provoca que la salida Q cambie erróneamente de estado, fuera del control de las señales S y R.



Los transientes o picos de voltaje (*spikes*) se inducen con mucha frecuencia en los circuitos digitales como resultado de descargas eléctricas, encendido de motores, transformadores y otras cargas de tipo inductivo e, incluso, de cambios de estado producidos dentro del mismo sistema, como sucede con ciertos circuitos de reloj construidos alrededor del circuito integrado 555.

El efecto de los transientes de voltaje se puede minimizar, e incluso eliminar, adoptando una estrategia de protección adecuada. Una de las tácticas más extendida consiste en instalar un condensador de 0.1 µF entre los terminales de alimentación y tierra de todos los circuitos integrados que conforman el sistema (figura 388).

Neutralización de picos de voltaje

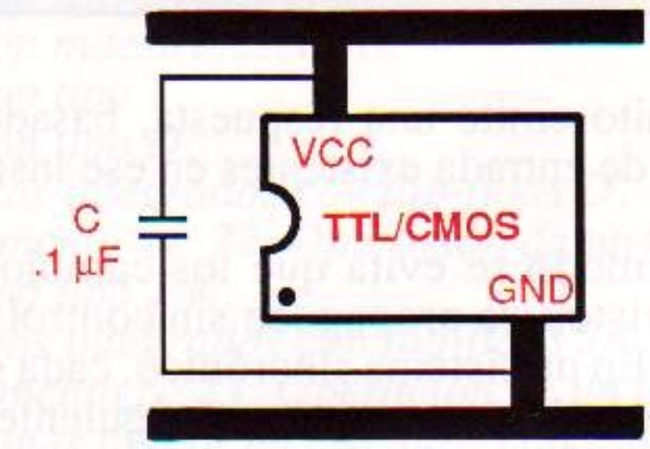


Fig. 388

Este condensador (C) se comporta como un cortocircuito ante los cambios bruscos de voltaje (transientes) y evita, así, que los picos de ruido generados se propaguen, a través de la fuente de alimentación, a lo largo del sistema.

Otra forma de reducir el efecto de los transientes de voltaje consiste en utilizar biestables R-S sincronizados con un pulso de reloj general. De esta manera, solamente cuando la señal de reloj exista, se producirá el cambio. De lo contrario, los estados de las salidas permanecerán en sus niveles originales, indiferentes a los cambios de nivel, transitorios o no, de las entradas.

Finalmente, el *flip-flop* R-S no permite una operación correcta y definida cuando se aplica a sus entradas R y S una combinación de estados lógicos prohibida. Para el **latch** NAND, esta combinación no permitida es R=**0** y S=**0** y para el *latch* NOR es R=**1** y S=**1**. Cuando esto sucede, el estado de la salida es ambiguo e impredecible.

La situación anterior se soluciona utilizando biestables más avanzados como, por ejemplo, los *flip-flops* maestro-esclavo (*master-slave* o MS) y otros que estudiaremos en detalle a lo largo de esta lección.

Tipos de flip-flops sincrónicos

Existen varios tipos de *flip-flops,* tanto sincrónicos como asincrónicos. Independientemente de su configuración interna, todos realizan la misma función básica: almacenar un *bit* (**0** ó **1**) de información. Los *flip-flops* más comunes son el **R-S** *(set-reset)*, el **M-S** *(master-slave)*, el **T** *(toggle)*, el **D** *(data* o *delay)* y el **J-K**.

El más simple de todos los *flip-flops* es el R-S asincrónico (*latch*) mostrado en la figura 389, en sus versiones NAND y NOR. Este dispositivo es poco utilizado debido a las razones expuestas anteriormente. Sin embargo, constituye la base a partir de la cual se construyen todos los otros.

Flip-flop asincrónico

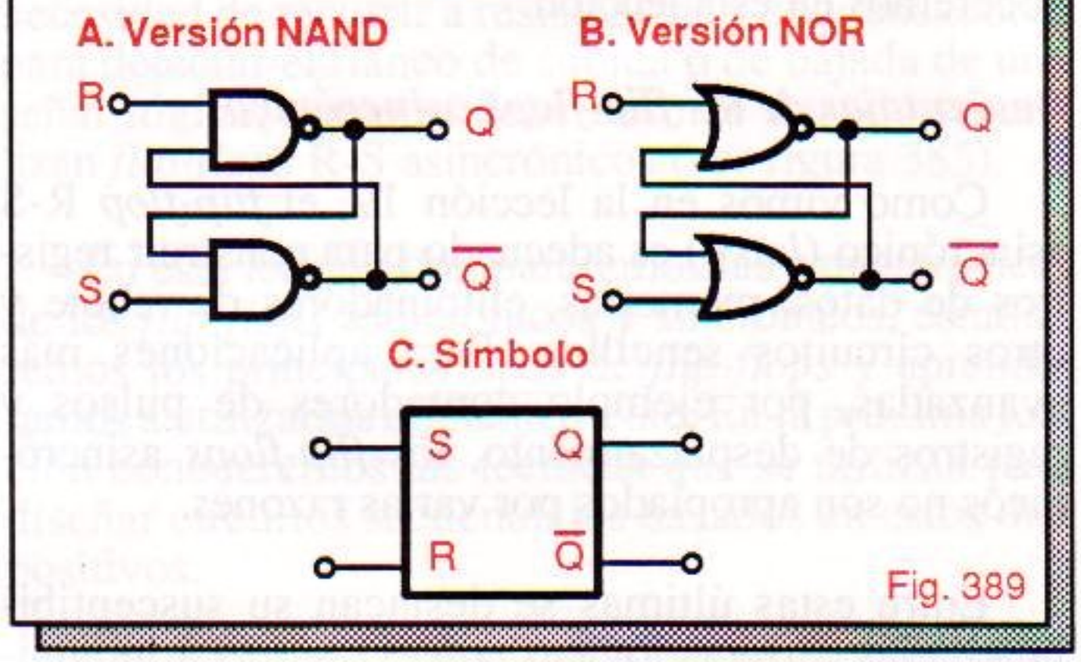


Fig. 389

En la figura 390 se muestra el símbolo lógico de un *flip-flop* sincrónico representativo. El dispositivo posee una entrada de reloj (CLOCK), una entrada de datos (D), dos salidas complementarias (Q y $\overline{Q}$) y dos entradas *asincrónicas* (PRESET y CLEAR). Estas últimas operan independientemente de la señal de reloj y se utilizan para inicializar la salidas Q y $\overline{Q}$ en estados opuestos determinados.

Específicamente, la entrada PRESET incializa la salida Q en **1** y la entrada CLEAR la inicializa en **0**. El estado de la entrada D (**0** ó **1**) se transfiere a la salida Q cuando se aplica un pulso a la entrada de reloj. Dependiendo del diseño, las líneas PRESET y CLEAR pueden ser activas en **alto** o en **bajo** y el disparo puede efectuarse por nivel o por flancos.

Flip-flop sincrónico representativo

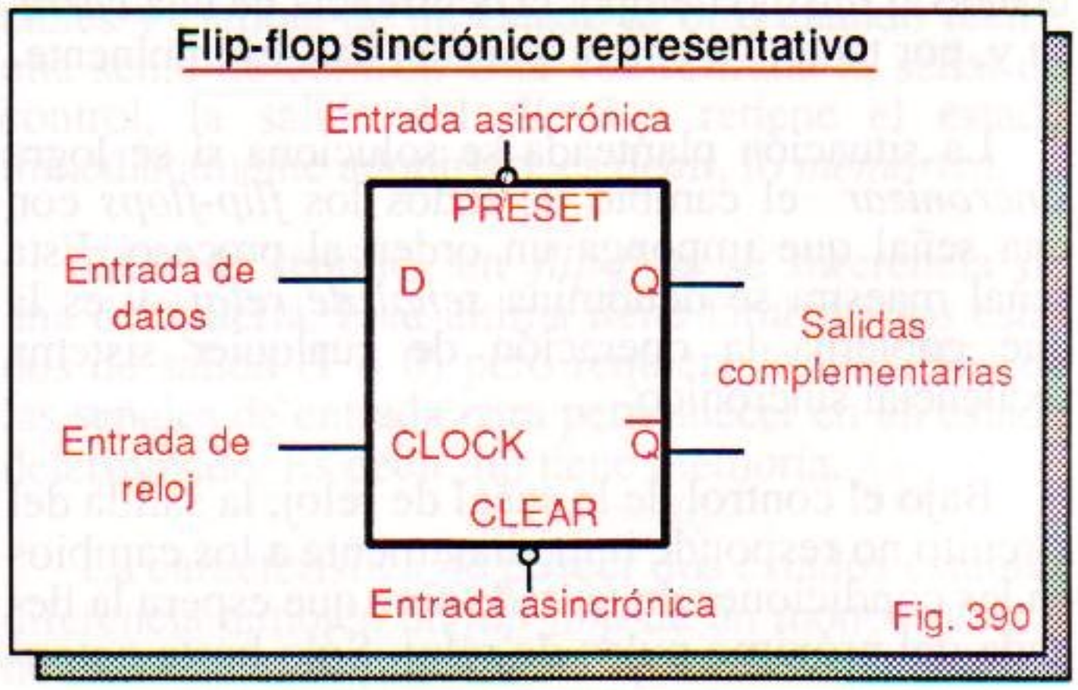


Fig. 390

La mayoría de *flip-flops* sincrónicos se diseñan para responder a uno de los flancos, el de subida o el de bajada, de la señal de reloj. Otros lo hacen cuando la señal de reloj alcanza un cierto nivel, positivo o negativo.

En un *flip-flop* disparable por nivel, el cambio de estado de la salida ocurre cuando la señal de reloj es **alta** o **baja** pero no durante la transición de un estado a otro. Un *flip-flop* disparable por nivel positivo, por ejemplo, es activo únicamente cuando la señal de reloj es **alta**. Del mismo modo, un *flip-flop* disparable por nivel negativo se activa sólo cuando la señal de reloj es **baja**.

En un *flip-flop* disparable por flancos, el cambio de estado de la salida ocurre durante las transiciones de nivel de la señal de reloj. Un *flip-flop* disparable por flancos positivos o de subida responde cuando la señal de reloj pasa de **bajo** a **alto** y uno disparable por flancos negativos o de bajada lo hace cuando pasa de **alto** a **bajo**.

Ejemplos de *flip-flops* disparables por nivel son el R-S sincrónico y el maestro/esclavo (MS) que se describen en las siguientes secciones. Ejemplos de *flip-flops* disparables por flancos son el T, el D y el J-K que se analizarán más adelante. La mayoría de *flip-flops* y dispositivos sincrónicos CMOS son disparables por flancos positivos.

Flip-flop R-S sincrónico

El *flip-flop* R-S sincrónico se obtiene a partir de un *latch* biestable controlando cada entrada a través de una compuerta y gatillando el sistema así formado mediante una señal de reloj. Un *flip-flop* R-S sincrónico es, por tanto, un *latch* NAND o NOR cuya operación está controlada por una señal de reloj.

En la figura 391 se muestra el circuito lógico de un *flip-flop* R-S obtenido a partir de un *latch* NAND. La señal de reloj (CLK) controla la operación del dispositivo a través de dos compuertas NAND. R (RESET) y S (SET) son las entradas del *flip-flop* y $\overline{R}$ y $\overline{S}$ las entradas del *latch*. Se supone que, en condiciones normales, R y S están en **alto**.

Cuando la señal de reloj está en **bajo**, los puntos $\overline{S}$ y $\overline{R}$ quedan ambos forzosamente en **alto** y, por consiguiente, las salidas Q y $\overline{Q}$ no responden a los cambios de estado de las entradas R y S. El dato previamente almacenado (**0** ó **1**) no se altera.

Cuando la señal de reloj está en **alto**, el nivel lógico de los puntos $\overline{S}$ y $\overline{R}$ dependerá del estado de las líneas de entrada S y R.

Si la entrada S está en **bajo** y las entradas R y CLK están ambas en **alto**, el punto $\overline{S}$ se hace **alto**

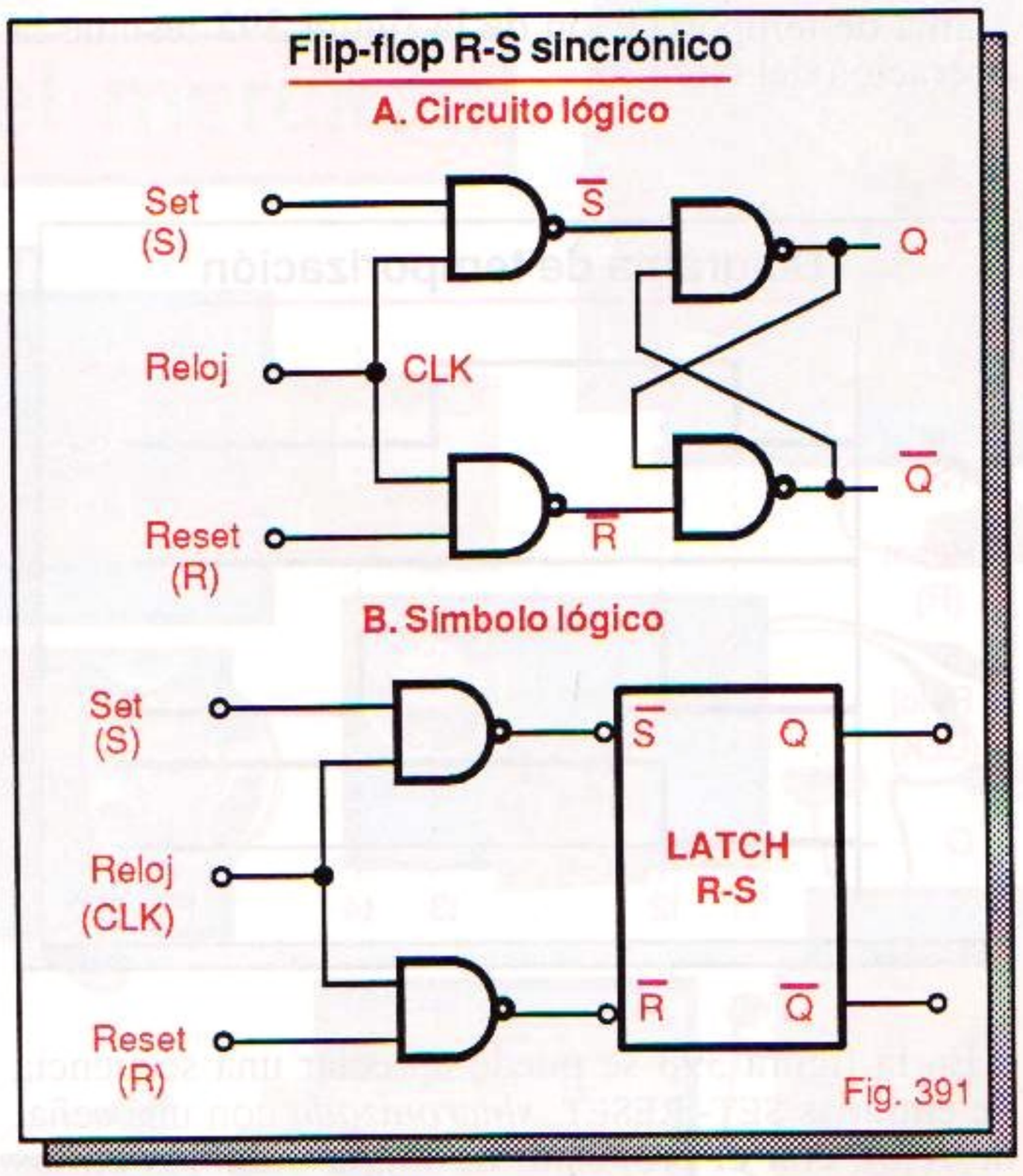


Fig. 391

y el punto $\overline{R}$ se hace **bajo**. Esta condición ($\overline{S}$=**1**, R=0) provoca forzosamente un **bajo** en la salida Q y un **alto** en la salida $\overline{Q}$. Es la forma de escribir o grabar un **0** lógico en esta celda de memoria.

Si la entrada R está en **bajo** y las entradas S y CLK están ambas en **alto**, el punto $\overline{R}$ se hace **alto** y el punto $\overline{S}$ se hace **bajo**. Esta condición ($\overline{S}$=**0**, $\overline{R}$=**1**) provoca forzosamente un **alto** en la salida Q y un **bajo** en la salida $\overline{Q}$. Es la forma de escribir o almacenar un **1** lógico.

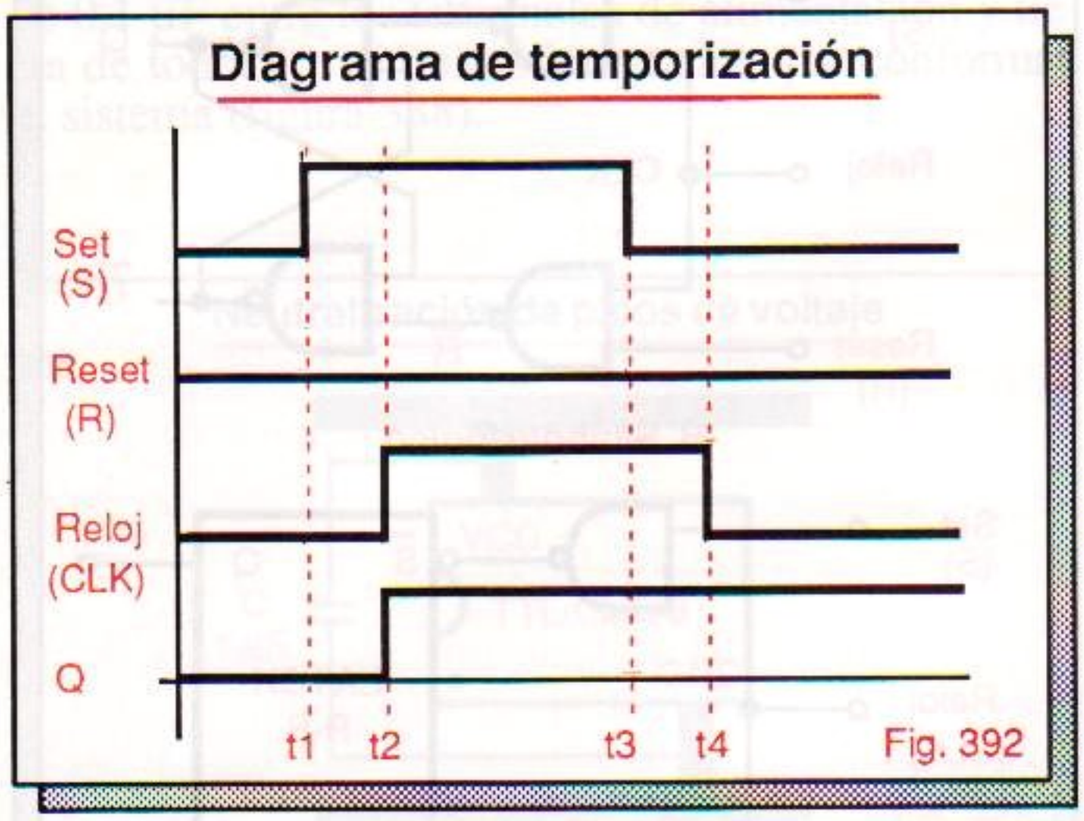
Si las entradas R y S están ambas en **bajo** y la entrada CLK está en **alto**, los puntos $\overline{S}$ y $\overline{R}$ se hacen **altos**. Esta condición ($\overline{S}$=1, $\overline{R}$=1) no afecta el estado de las salidas Q y $\overline{Q}$. El dato previamente almacenado permanece intacto.

Si las entradas R, S y CLK están todas en **alto**, los puntos $\overline{S}$ y $\overline{R}$ se hacen **bajos**. Bajo esta condición ($\overline{S}$=**0**, $\overline{R}$=**0**), el estado de las salidas Q y $\overline{Q}$ es ambiguo. Esta situación debe evitarse.

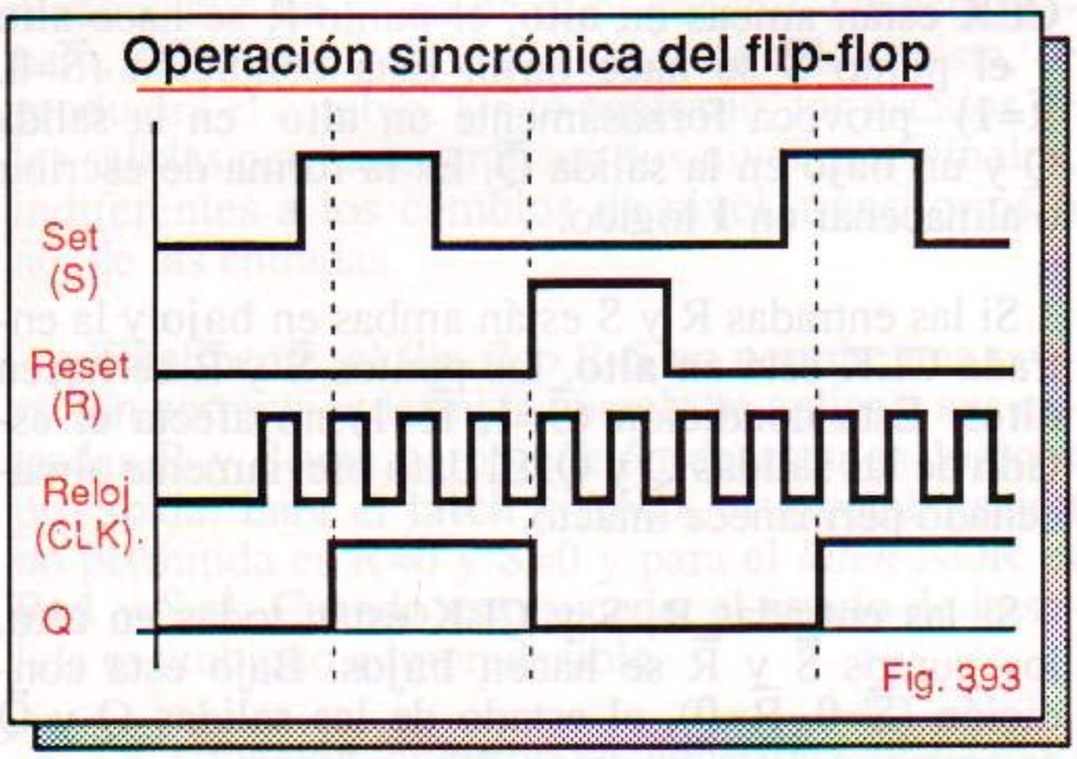
En conclusión, en el *flip-flop* R-S, las señales aplicadas a las entradas SET (S) y RESET (R) causan un cambio en las salidas Q y $\overline{Q}$ sólo cuando se activa la señal de reloj. Mientras esto no suceda, el *flip-flop* preserva el dato previo, independientemente de lo que suceda en sus entradas.

En nuestro caso, con la señal de reloj activa en **alto**, el *flip-flop* R-S de la figura 391 se comporta exactamente igual al *latch* NAND de la figura 389, extensamente analizado en la lección 19. El dia-

grama de temporización de la figura 392 resume la operación del circuito.

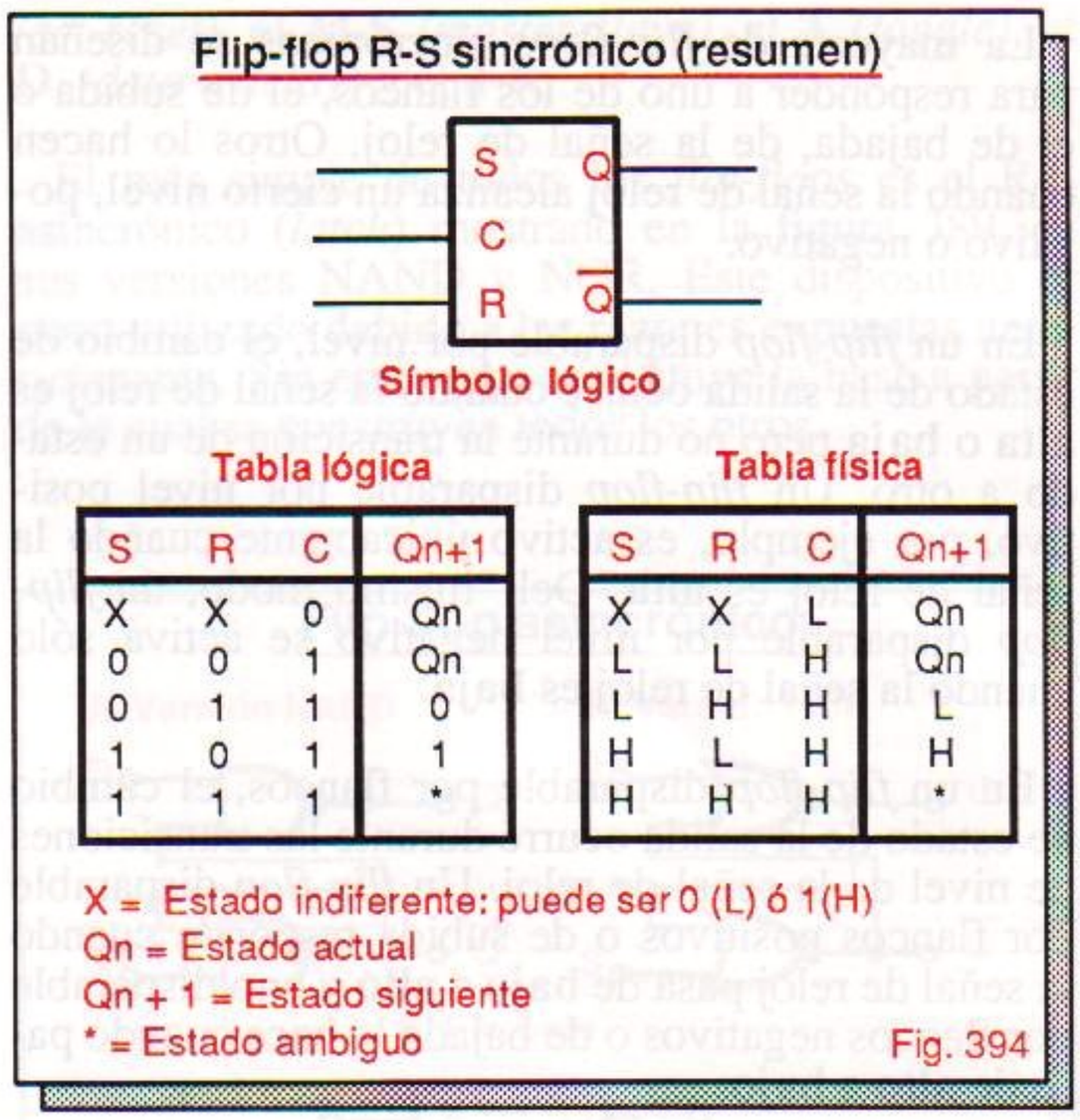


En la figura 393 se puede apreciar una secuencia de entradas SET- RESET, *sincronizada* con una señal de *reloj*, con el propósito de lograr cambios en las salidas en los momentos que el *reloj* lo permita. Observe que únicamente cuando la señal de *reloj* está en un nivel **alto** se producen los cambios propuestos por los niveles de actividad de las entradas de datos S y R.

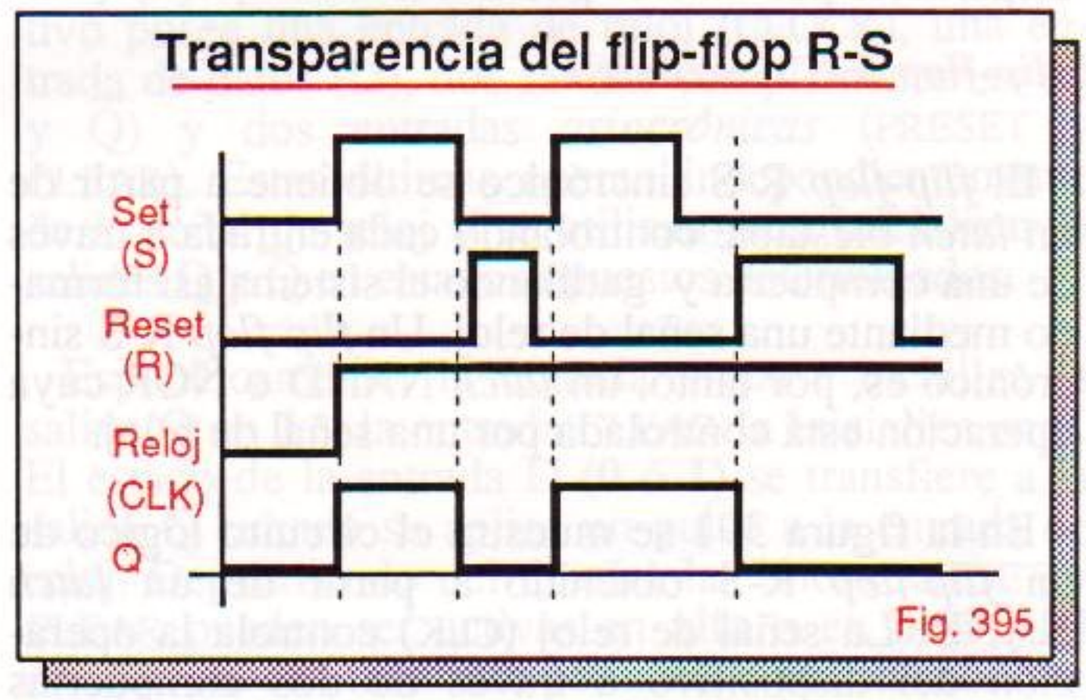


En la figura 394 se ilustran el símbolo y las tablas características lógica y *física* del *flip-flop* R -S sincrónico de la figura 391. La tabla física describe la operación del dispositivo en términos de niveles **altos** (H) y **bajos** (L) de voltaje mientras la lógica lo hace en términos de **1**'s y **0**'s.

En la figura 395 se puede apreciar la principal desventaja del *flip-flop* R-S sincrónico. Las salidas pueden cambiar, como respuesta a las entradas, durante todo el tiempo que dure la señal de reloj en



1 lógico, es decir en un nivel de voltaje **alto**. Por esta razón, se dice que el dispositivo es "transparente", ya que las salidas "miran" hacia la entrada o hacia los "datos" cuando la señal de *reloj* es **alta**.



Flip-flop maestro-esclavo

El *flip-flop* maestro-esclavo o M/S *(master/slave)* es una versión mejorada del *flip-flop* R-S sincrónico descrito anteriormente. Los *flip-flops* M/S almacenan información durante los períodos de transición (flancos) de la señal de reloj y la preservan durante los períodos estables.

Por tanto, los *flip-flops* maestro-esclavo no son transparentes, ya que no operan con el nivel de la señal de reloj sino con uno de sus flancos. La información lograda en una de las transiciones de la señal de reloj se mantiene hasta que ocurra, nuevamente, otra transición similar.

En la figura 396 se muestra el circuito básico de un *flip-flop* maestro/esclavo disparable por flancos de subida. El dispositivo se obtiene conectando dos *flip-flops* R-S en cascada o *tandem*, es decir, uno a continuación del otro.

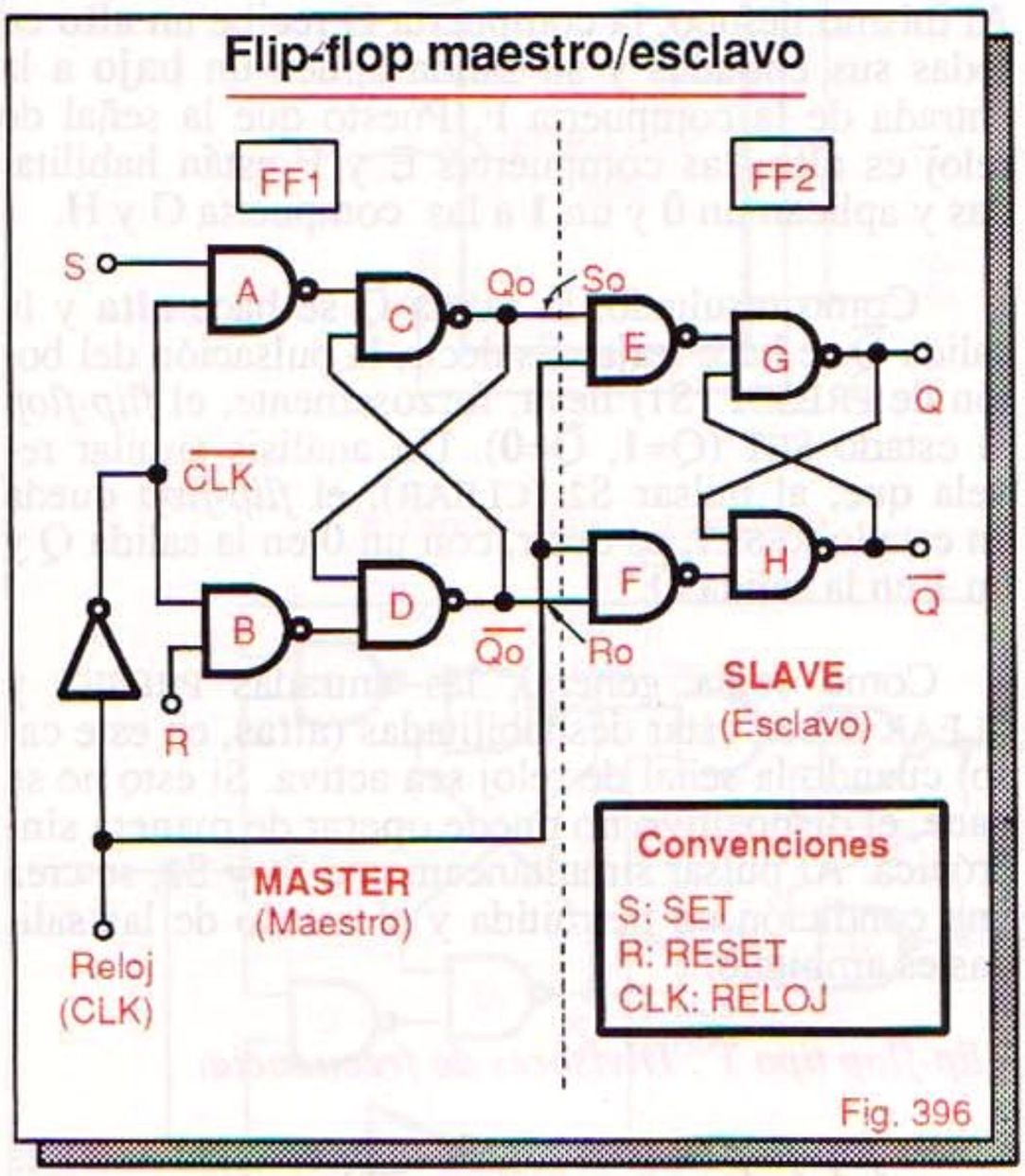


Fig. 396

El primer *flip-flop* (FF1) se denomina **maestro** (*master*) y el segundo (FF2) **esclavo** (*slave*). Uno de los *flip-flops* (en este caso el FF2) recibe directamente la señal de reloj y el otro (el FF1) la recibe complementada o negada. Como veremos, el almacenamiento de información se realiza durante las transiciones de **bajo** a **alto** de la señal de reloj.

Las salidas Qo y $\overline{Qo}$ del maestro manejan respectivamente las entradas So y Ro del esclavo. Las condiciones de operación se programan en las líneas de entrada R (RESET) y S (SET) del maestro. El dato de salida se obtiene en las líneas Q y $\overline{Q}$ del esclavo. El estado de las entradas S y R previo a la transición de la señal de reloj determina el estado final de las salidas después de la misma.

Si la señal de reloj (CLK) está en **bajo**, se aplica un **alto** a la entrada de reloj del maestro ($\overline{CLK}$) y un **bajo** a la del esclavo. El esclavo se inhibe e ignora el estado de sus entradas Ro y So. El maestro se habilita y desarrolla su lógica de acuerdo al estado de sus entradas R y S, enviando el dato (un **1** ó un **0**) a la salida Qo y su complemento a la salida $\overline{Qo}$.

Cuando la señal de reloj se hace **alta**, la entrada de reloj del maestro recibe un **bajo** y la del esclavo un **alto**. El maestro se inhibe e ignora el estado de sus entradas R y S. El esclavo se habilita y desarrolla su lógica de acuerdo al estado de sus entradas Ro y So, enviando un **1** ó un **0** lógico a la salida Q y el dato complementario a la salida $\overline{Q}$.

Por ejemplo, supongamos que en las líneas de entrada se tiene la condición S=**0** y R=**1**. Si la señal de reloj está en **0**, el maestro se habilita y sus salidas Qo y Qo se hacen **1** y **0**, respectivamente. Al mismo tiempo, el esclavo se inhibe y el dato previo almacenado en las salidas Q y $\overline{Q}$ no se altera.

Cuando la señal de reloj realiza la transición de **0** a **1**, el maestro se inhibe y el dato previo en las salidas Qo (**0**) y $\overline{Qo}$ (**1**) no se altera. Al mismo tiempo, el esclavo se habilita y responde de acuerdo al estado de sus entradas Ro (**1**) y So (**0**). Como resultado, las salidas Q y $\overline{Q}$ se hacen **1** y **0**, respectivamente.

En conclusión, las condiciones de las líneas de entrada R y S se reflejan en las líneas de salida Q y $\overline{Q}$ sólo cuando la señal de reloj realiza una transición de **0** a **1**. Se dice, entonces, que el *flip-flop* se dispara con flancos de subida. Invirtiendo las conexiones de las entradas de reloj se obtiene disparo por flancos de bajada (figura 397).

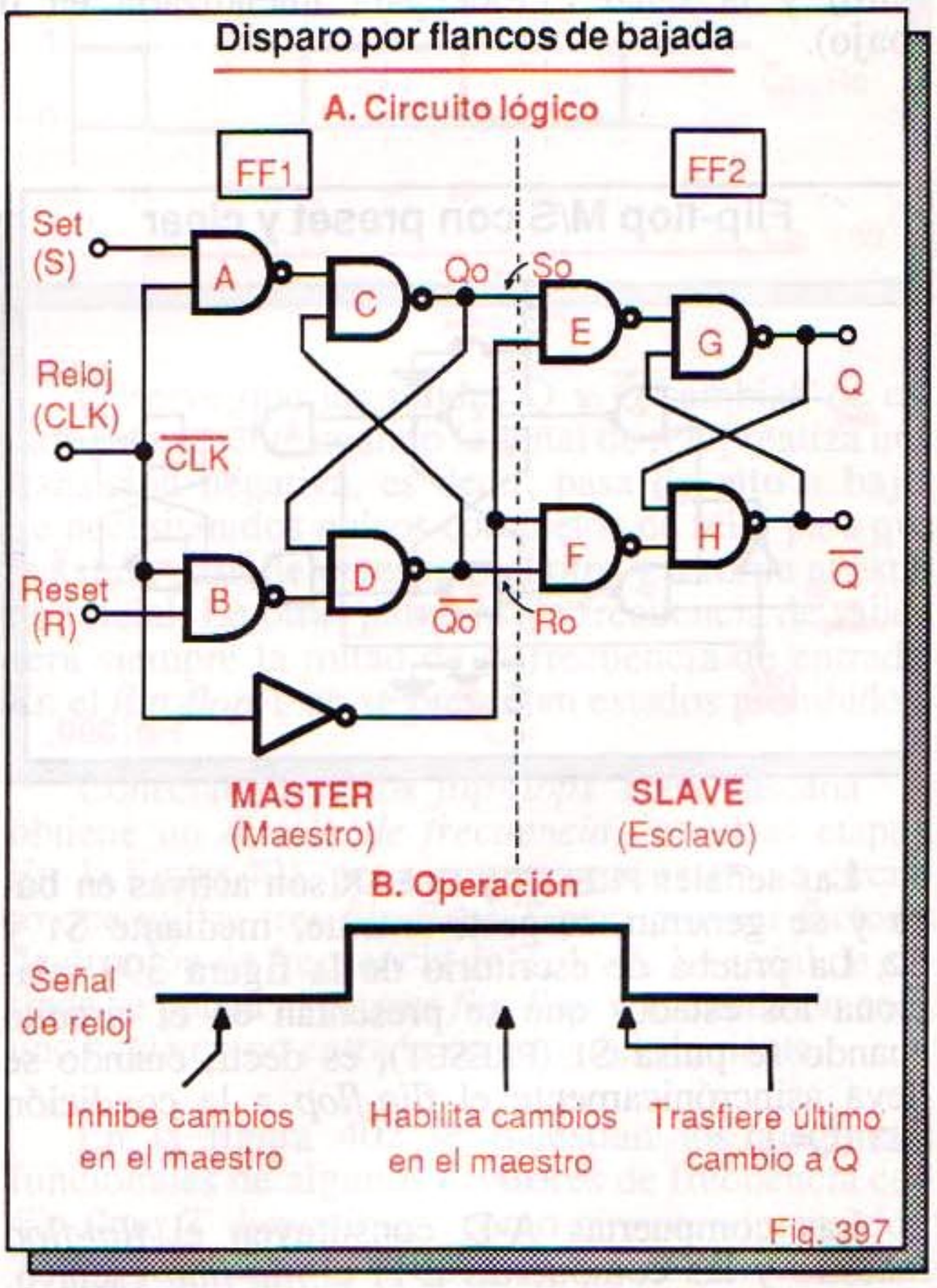


Fig. 397

En la figura 398 se presentan la tabla característica y el símbolo lógico del *flip-flop* R-S maestro/esclavo. Note que, con respecto al *flip-flop* sincrónico R-S, la tabla no ha variado: aún continúa la ambigüedad cuando las entradas SET y RESET toman, al mismo tiempo, el valor de **1** (H) lógico.

Flip-flop M/S (resumen)

Símbolo lógico

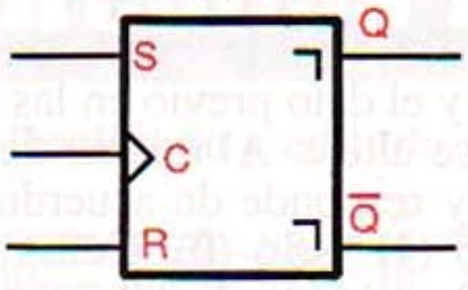


Tabla característica

S	R	C	Qn+1
L	L	⌞	Qn
L	H	⌞	L
H	L	⌞	H
H	H	⌞	*

⌞ = Flanco de bajada del reloj
* = Estado ambiguo
C = Señal de reloj
S = SET
R = RESET
H = 1; L = O

Fig. 398

En la figura 399 se indica la forma de modificar el *flip-flop* maestro/esclavo de la figura 396 para dotarlo de las funciones PRESET y CLEAR. Como vimos anteriormente, la señal asincrónica PRESET se utiliza para inicializar la salida de un *flip-flop* en **1** (**alto**) y la señal CLEAR para inicializarla en **0** (**bajo**).

Flip-flop M/S con preset y clear

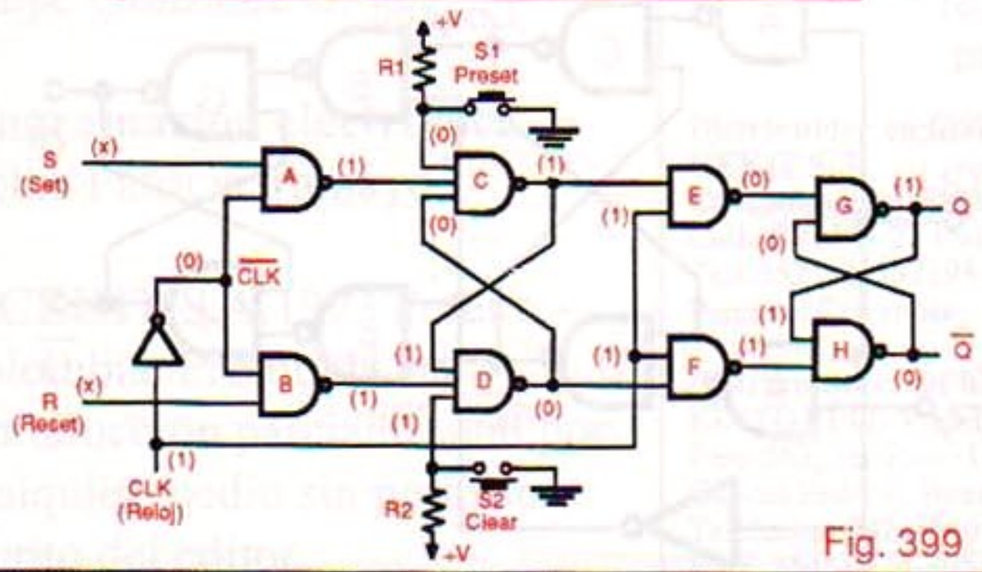


Fig. 399

Las señales PRESET y CLEAR son activas en **bajo** y se generan, respectivamente, mediante S1 y S2. La prueba de escritorio de la figura 399 relaciona los estados que se presentan en el circuito cuando se pulsa S1 (PRESET), es decir, cuando se lleva asincrónicamente el *flip-flop* a la condición SET (Q=**1**).

Las compuertas A-D constituyen el *flip-flop* maestro y las compuertas E-H el *flip-flop* esclavo.

Suponiendo que la señal de reloj está en **alto**, las salidas de las compuertas A y B serán **altas** y las de las compuertas C y D serán **0** y **1** ó viceversa, dependiendo del estado previo del *flip-flop*.

Cuando se pulsa S1 (PRESET), la compuerta C recibe un **bajo** y aplica un **alto** a la compuerta E. Al mismo tiempo, la compuerta D recibe un **alto** en todas sus entradas y su salida aplica un **bajo** a la entrada de la compuerta F. Puesto que la señal de reloj es **alta**, las compuertas E y F están habilitadas y aplican un **0** y un **1** a las compuerta G y H.

Como resultado, la salida Q se hace **alta** y la salida $\overline{Q}$ se hace **baja**. Es decir, la pulsación del botón de PRESET (S1) lleva, forzosamente, el *flip-flop* al estado SET (Q=**1**, $\overline{Q}$=**0**). Un análisis similar revela que, al pulsar S2 (CLEAR), el *flip-flop* queda en estado RESET, es decir, con un **0** en la salida Q y un **1** en la salida $\overline{Q}$.

Como regla general, las entradas PRESET y CLEAR deben estar deshabilitadas (**altas**, en este caso) cuando la señal de reloj sea activa. Si esto no se hace, el dispositivo no puede operar de manera sincrónica. Al pulsar simultáneamente S1 y S2, se crea una condición no permitida y el estado de las salidas es ambiguo.

Flip-flop tipo T . Divisores de frecuencia

El *flip-flop* T (del inglés *toggle:* ondulante) es un dispositivo biestable que permuta el estado de sus salidas cada vez que recibe un pulso de reloj. Se obtiene a partir del *flip-flop* M/S básico descrito anteriormente conectando la entrada S a la salida $\overline{Q}$ y la entrada R a la salida Q, como se muestra en la figura 400. Este circuito, en particular, responde a los flancos de bajada de la señal de reloj.

Observe que la única entrada del circuito es la señal de reloj (CLK). Como lo revela el diagrama de temporización (figura 400-D), la frecuencia de la señal de salida de un *flip-flop* T es la mitad de la frecuencia de la señal de reloj. Esta característica lo hace útil para implementar contadores y otros circuitos digitales donde se requiere la función de división de frecuencia.

Para comprender como trabaja el *flip-flop* T de la figura 400, supongamos que, al comenzar el proceso (instante t_0) la señal de reloj (CLK) es **baja** y el *flip-flop* está en la condición de RESET, es decir Q=R=**0** y $\overline{Q}$=S=**1**. En el instante t_1, la señal de reloj se hace **alta**. Como resultado, el estado de las entradas S y R se trasfiere a las salidas Qo y $\overline{Q}$o del maestro y a las entradas So y Ro del esclavo.

Estas señales no afectan el estado previo de las salidas Q y $\overline{Q}$ del sistema porque el esclavo no está

Flip-flop T

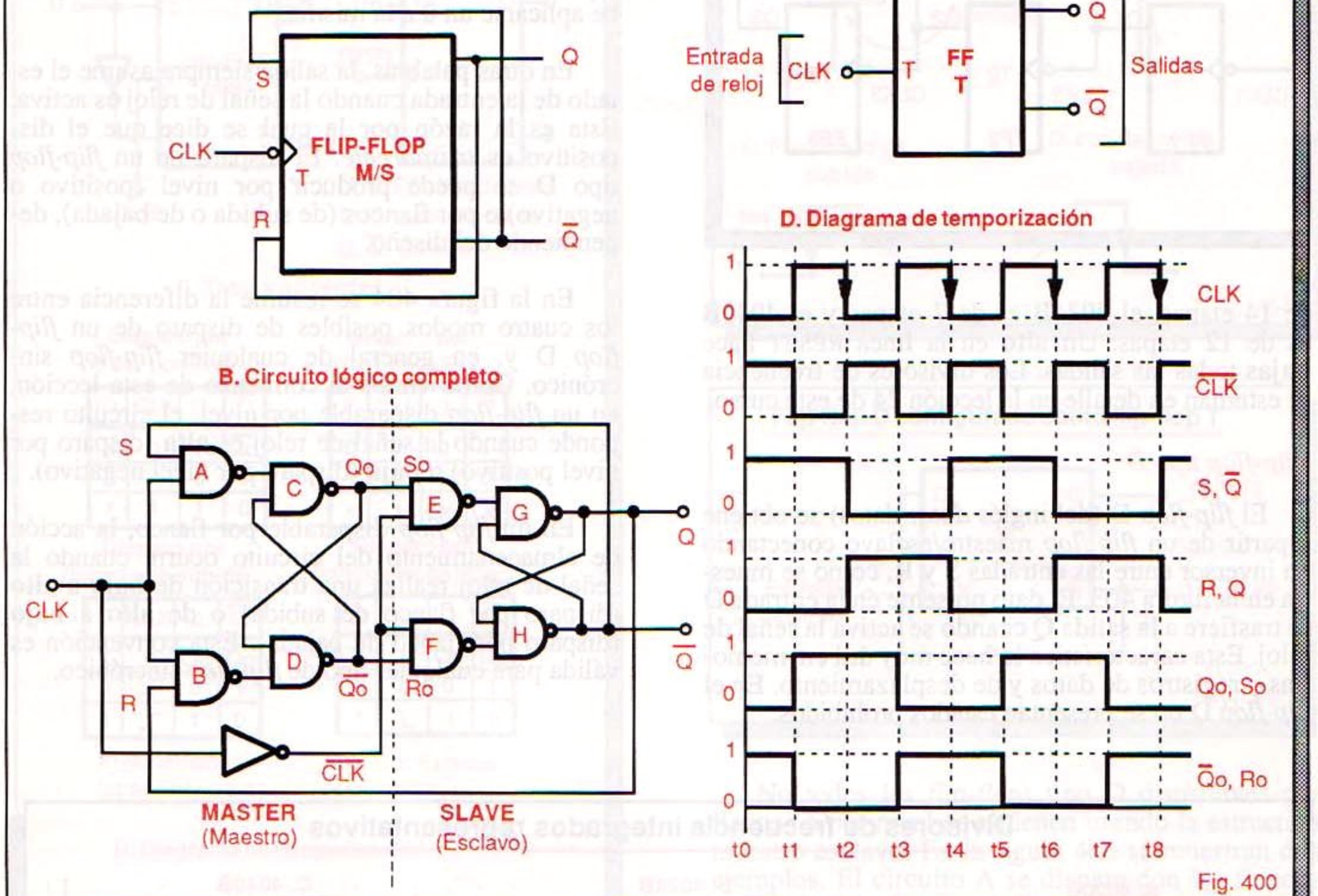


Fig. 400

habilitado. En el instante t_2, la señal de reloj se hace **baja** y el estado de las entradas So y Ro se transfiere a las salidas Q y $\overline{Q}$ del esclavo. Como resultado, el *flip-flop* pasa a la condición SET, es decir Q=R=**1** y $\overline{Q}$=S=**0**.

En el instante t_3, la señal de reloj se hace **alta** y el estado de las entradas S y R del maestro se transfiere a las entradas So y Ro del esclavo. Por consiguiente, So=**0** y Ro=**1**. El estado previo de las salidas Q (**1**) y $\overline{Q}$ (**0**) no se altera porque el esclavo está inhibido.

En el instante t_4, la señal de reloj se hace **baja** y el estado de las entradas So y Ro se transfiere a las salidas Q y $\overline{Q}$. Como resultado, el *flip-flop* pasa a la condición RESET, es decir Q=R=**0** y $\overline{Q}$=S=**1**. En el instante t_5, el circuito se encuentra en las mismas condiciones iniciales en que se encontraba en el instante t_1 y, por tanto, se repite la misma secuencia.

Observe que las salidas Q y $\overline{Q}$ cambian de estado únicamente cuando la señal de reloj realiza una transición negativa, es decir, pasa de **alto** a **bajo**. Se necesitan dos pulsos completos de reloj para que la salida pase de un estado al otro y retorne al estado inicial. En otras palabras, la frecuencia de salida será siempre la mitad de la frecuencia de entrada. En el *flip-flop* T no se presentan estados prohibidos

Conectando varios *flip-flops* T en cascada se obtiene un *divisor de frecuencia* de varias etapas. En la figura 401, por ejemplo, se muestra un circuito que utiliza tres *flip-flops* T para proveer factores de división de frecuencia de 2, 4 y 8. La señal de entrada se aplica al primer *flip-flop* y la salida de cada uno actúa como entrada de reloj del siguiente.

En la figura 402 se muestran los diagramas funcionales de algunos divisores de frecuencia con *flip-flops* T disponibles como circuitos integrados. Todos responden a flancos de bajada. El **4020B** es

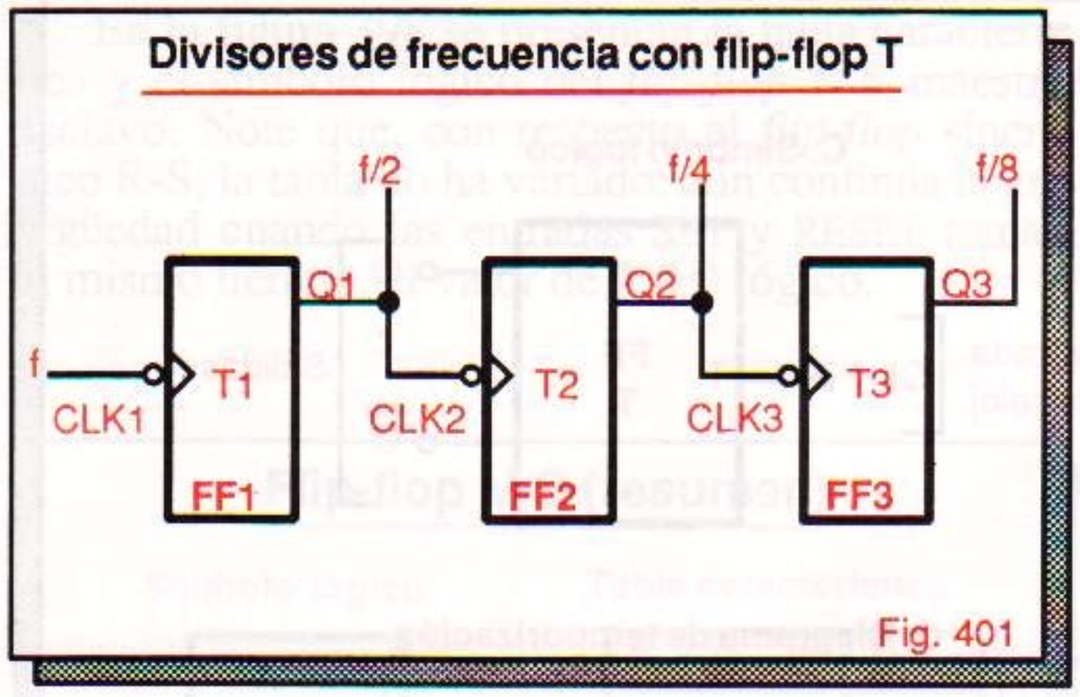


Fig. 401

de 14 etapas, el **4024B** es de 7 etapas y el **4040B** es de 12 etapas. Un **alto** en la línea RESET hace **bajas** todas las salidas. Los divisores de frecuencia se estudian en detalle en la lección 24 de este curso.

Flip-flop tipo D

El *flip-flop* D (del inglés *data:* datos) se obtiene a partir de un *flip-flop* maestro/esclavo conectando un inversor entre las entradas S y R, como se muestra en la figura 403. El dato presente en la entrada D se trasfiere a la salida Q cuando se activa la señal de reloj. Esta característica lo hace muy útil en memorias y registros de datos y de desplazamiento. En el *flip-flo*p D no se presentan estados prohibidos.

Como resultado de la inclusión del inversor, las entradas R y S tienen siempre estados opuestos. Para llevar el *flip-flop* a la condición SET (Q=**1**, $\overline{Q}$=**0**), debe aplicarse un **1** a la entrada de datos (D) y para llevarlo a la condición RESET (Q=**0**, $\overline{Q}$=**1**) debe aplicarse un **0** a la misma.

En otras palabras, la salida siempre asume el estado de la entrada cuando la señal de reloj es activa. Esta es la razón por la cual se dice que el dispositivo es *trasparente*. El disparo de un *flip-flop* tipo D se puede producir por nivel (positivo o negativo) o por flancos (de subida o de bajada), dependiendo del diseño.

En la figura 404 se resume la diferencia entre los cuatro modos posibles de disparo de un *flip-flop* D y, en general de cualquier *flip-flop* sincrónico. Como vimos al comienzo de esta lección, en un *flip-flop* disparable por nivel, el circuito responde cuando la señal de reloj es **alta** (disparo por nivel positivo) o **baja** (disparo por nivel negativo).

En un *flip-flop* disparable por flanco, la acción de almacenamiento del circuito ocurre cuando la señal de reloj realiza una transición de **bajo** a **alto** (disparo por flanco de subida) o de **alto** a **bajo** (disparo por flanco de bajada). Esta convención es válida para cualquier tipo de *flip-flop* sincrónico.

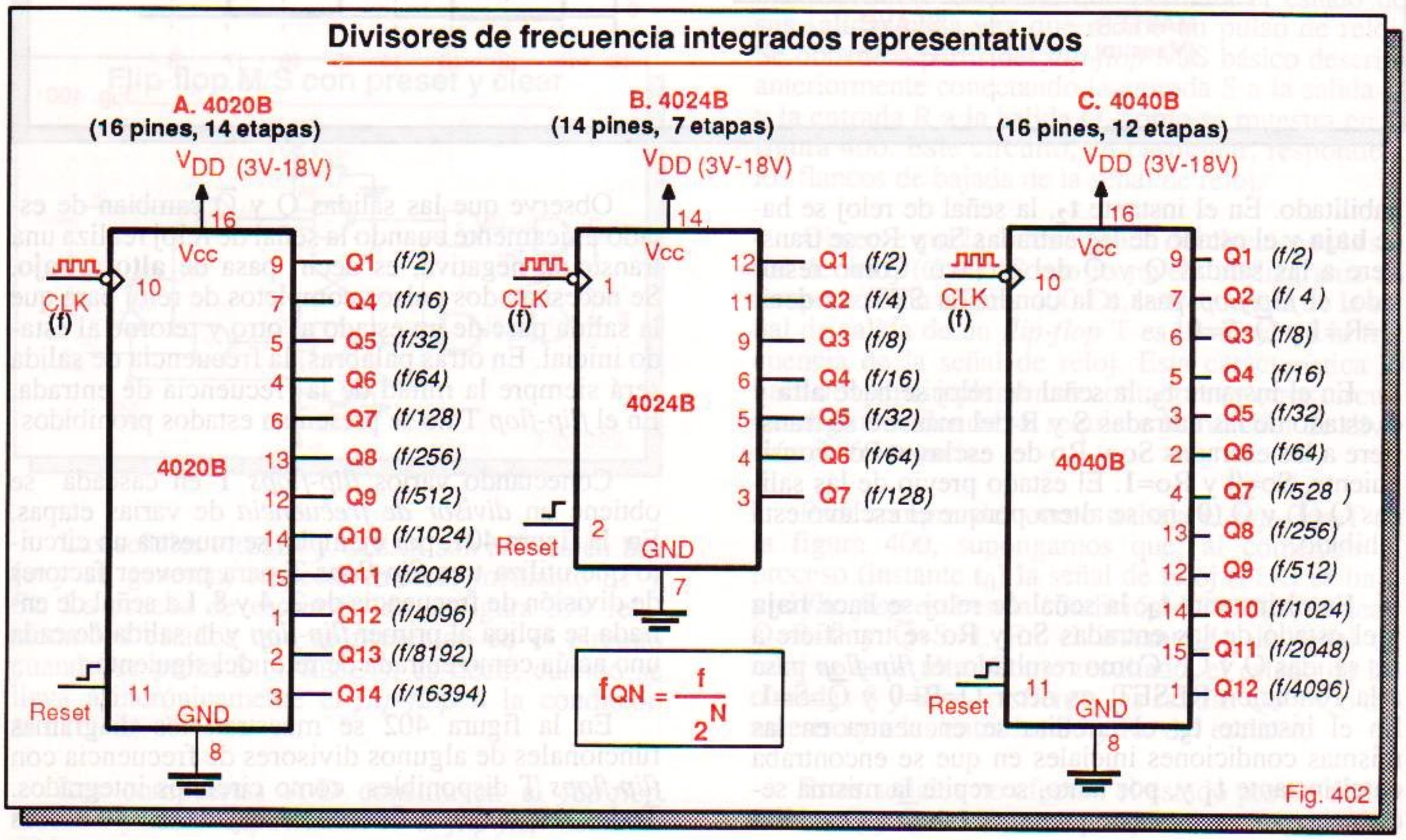
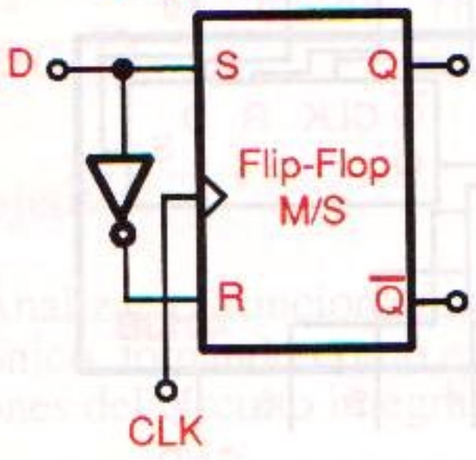


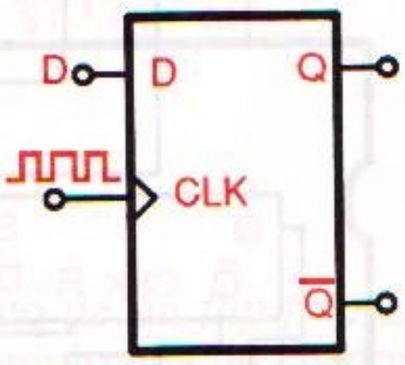
Fig. 402

Flip-flop tipo D

A. Circuito lógico simplificado



B. Símbolo lógico



CLK: Entrada de reloj
D: Entrada de datos
Q, $\overline{Q}$: Salidas

C. Tablas de verdad

Disparo por nivel positivo

D	CLK	Q	$\overline{Q}$
X	0	Qo	$\overline{Qo}$
0	1	0	1
1	1	1	0

Disparo por nivel negativo

D	CLK	Q	$\overline{Q}$
0	0	0	1
1	0	1	0
x	1	Qo	$\overline{Qo}$

Disparo por flancos de subida

D	CLK	Q	$\overline{Q}$
X	0	Qo	$\overline{Qo}$
0	⌐	0	1
1	⌐	1	0

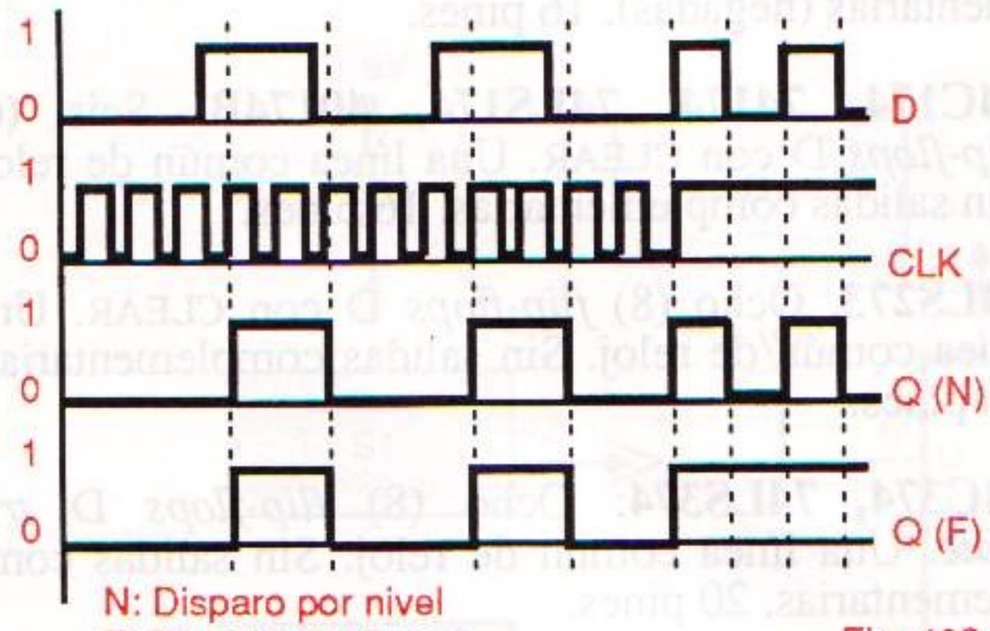
X: No importa (puede ser 0 ó 1)

Disparo por flancos de bajada

D	CLK	Q	$\overline{Q}$
X	1	Qo	$\overline{Qo}$
0	⌙	0	1
1	⌙	1	0

Qo, $\overline{Qo}$: Estados previos

D. Diagrama de temporización



N: Disparo por nivel
F: Disparo por flanco

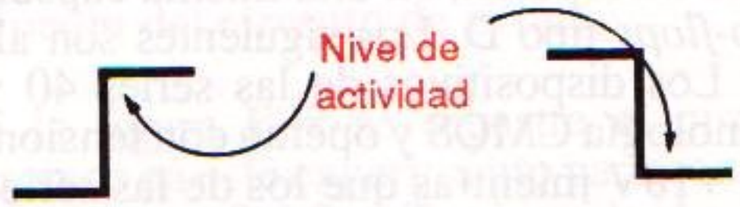
Fig. 403

Un *flip-flop* D se puede convertir fácilmente en un *flip-flop* T conectando la salida $\overline{Q}$ a la entrada D, como se muestra en la figura 405. En este caso, la entrada de reloj actúa como la entrada de *toggle* (T) del *flip-flop*. La salida Q cambia de estado con cada pulso de reloj y la frecuencia de salida es la mitad de la frecuencia de entrada. La operación de un *flip-flop* T se resume en la figura 400.

Modos de disparo del flip-flop D

A. Por nivel positivo

B. Por nivel negativo



C. Por flanco de subida

D. Por flanco de bajada

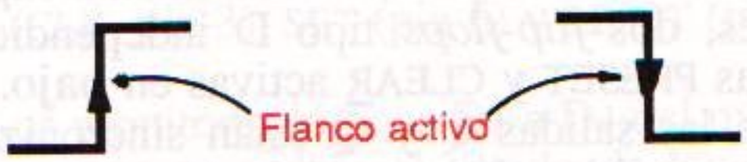


Fig. 404

Flip-flop D configurado como flip-flop T

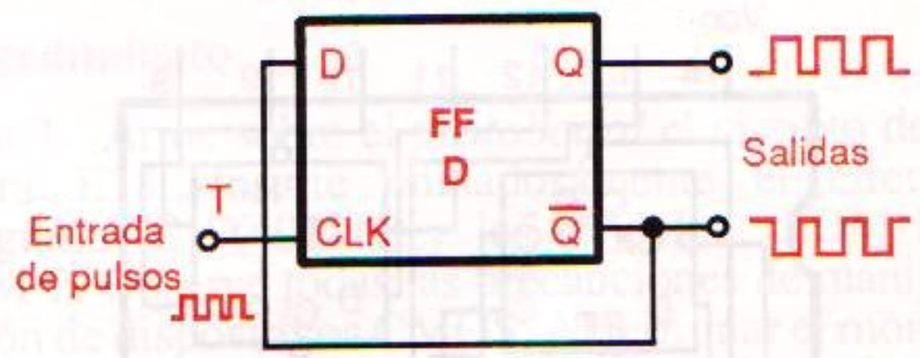


Fig. 405

No todos los *flip-flops* tipo D disparables por flancos o por nivel se obtienen usando la estructura maestro esclavo. En la figura 406 se muestran dos ejemplos. El circuito A se dispara con los flancos de subida del reloj y se realiza con tres cerrojos biestables tipo NAND. El circuito B responde cuando la señal de reloj es **alta** y se realiza a partir de un *flip-flop* R-S sincrónico.

Otros flip-flops tipo D

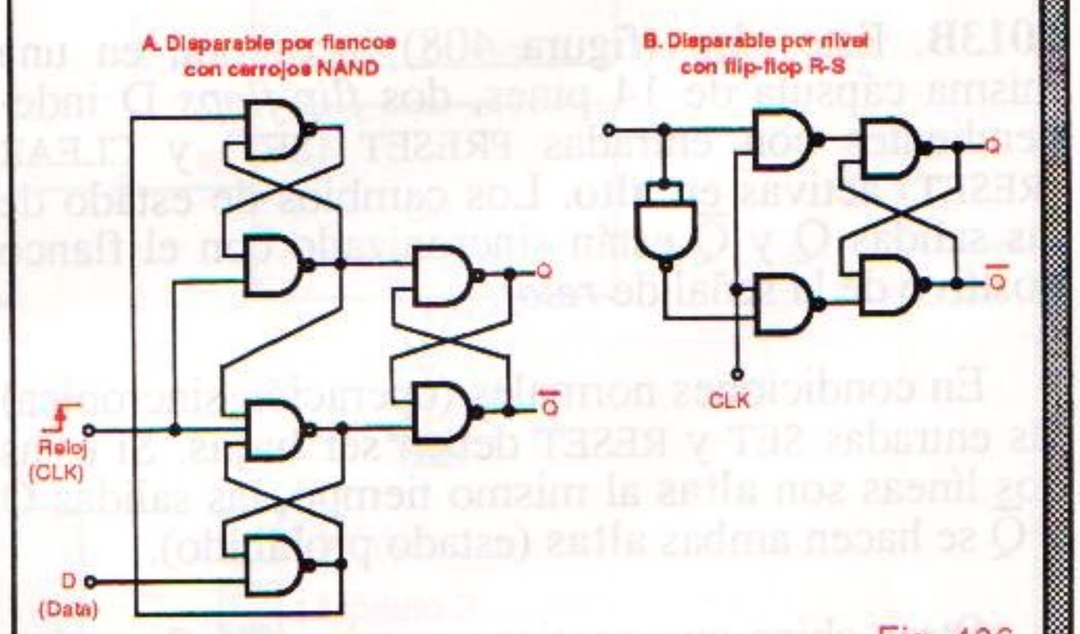


Fig. 406

Circuitos integrados con flip-flops tipo D

Existen varios circuitos integrados TTL y CMOS que incorporan, en una misma cápsula, dos o más *flip-flops* tipo D. Los siguientes son algunos ejemplos. Los dispositivos de las series 40 y 74C son de tecnología CMOS y operan con tensiones entre +3V y +18V mientras que los de las series 74 y 74LS son de tecnología TTL y operan a +5V.

7474, 74C74, 74LS74. Cada uno de estos *chips* (figura 407) incorpora, en una misma cápsula de 14 pines, dos *flip-flops* tipo D independientes con entradas PRESET y CLEAR activas en **bajo**. Los cambios en las salidas Q y $\overline{Q}$ están sincronizados con el flanco positivo de la señal de reloj (CK).

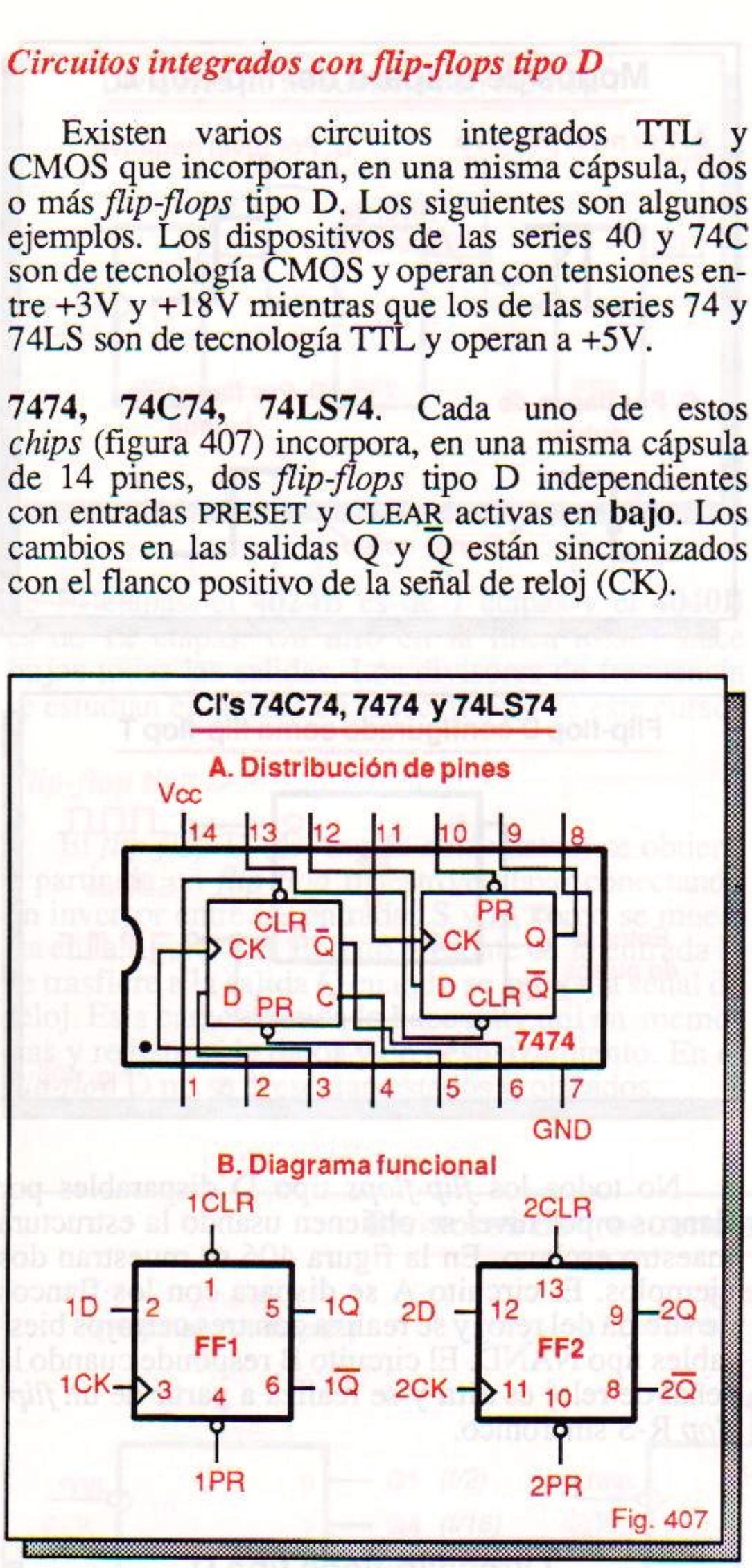


Fig. 407

4013B. Este *chip* (figura 408) incorpora, en una misma cápsula de 14 pines, dos *flip-flops* D independientes con entradas PRESET (SET) y CLEAR (RESET) activas en **alto**. Los cambios de estado de las salidas Q y $\overline{Q}$ están sincronizado con el flanco positivo de la señal de *reloj*.

En condiciones normales (operación sincrónica) las entradas SET y RESET deben ser **bajas**. Si estas dos líneas son **altas** al mismo tiempo, las salidas Q y $\overline{Q}$ se hacen ambas **altas** (estado prohibido).

Otros chips que contienen varios *flip-flops* tipo D en una misma cápsula son los siguientes:

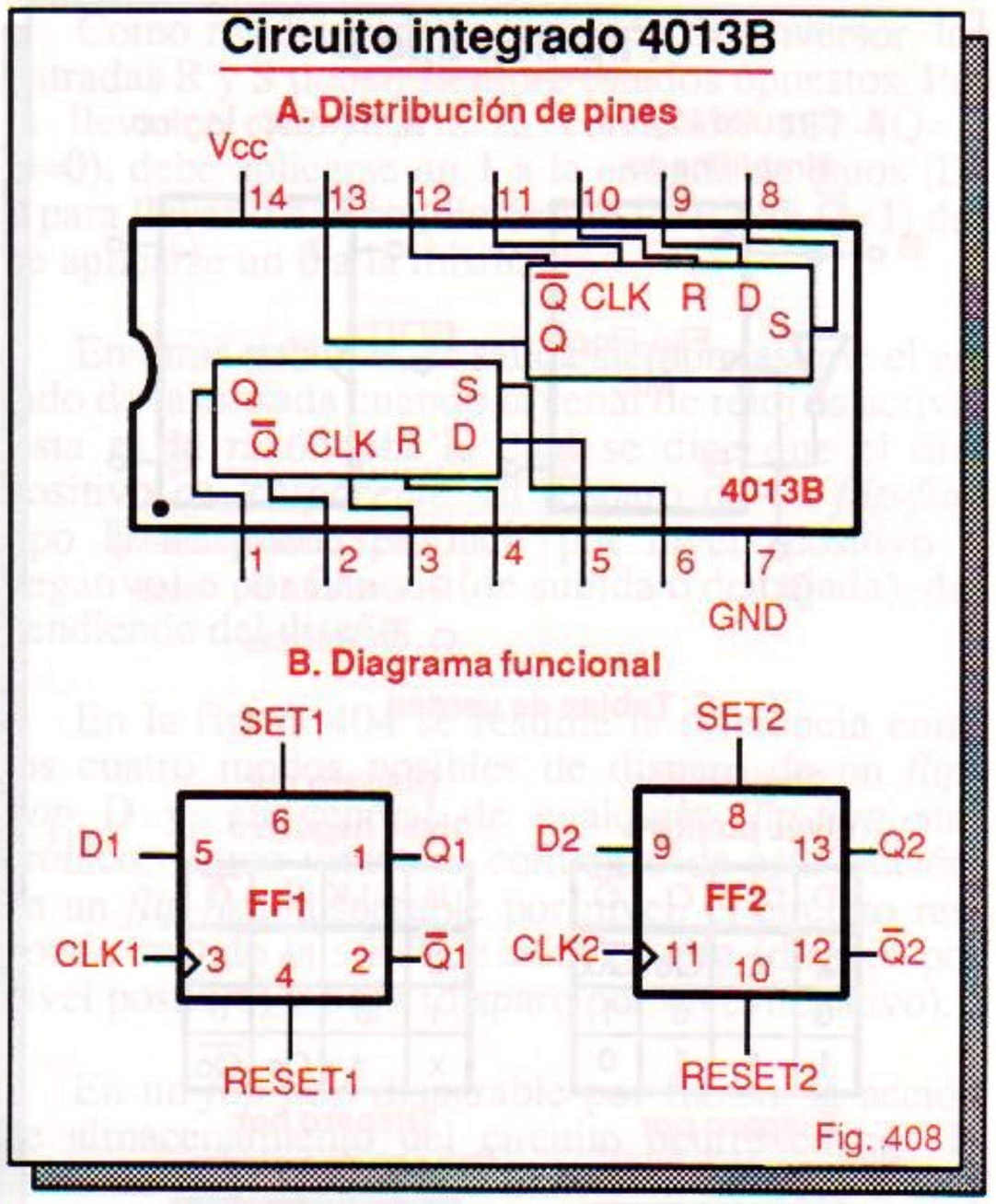


Fig. 408

74C173, 74173, 74LS173. Cuatro (4) *flip-flops* D *tri-state* con CLEAR. Una línea común de reloj. Dos líneas de habilitación. Sin salidas complementarias. 16 pines.

745175, 74C175, 74LS175, 40175B. Cuatro (4) *flip-flops* D con CLEAR. Una entrada común de reloj. Con salidas normales (sin negar) y complementarias (negadas). 16 pines.

74C174, 74174, 74LS174, 40174B. Seis (6) *flip-flops* D con CLEAR. Una línea común de reloj. Sin salidas complementarias. 16 pines.

74LS273. Ocho (8) *flip-flops* D con CLEAR. Una línea común de reloj. Sin salidas complementarias. 20 pines.

74C374, 74LS374: Ocho (8) *flip-flops* D *tri-state*. Una línea común de reloj. Sin salidas complementarias. 20 pines.

Todos estos *chips* se utilizan, principalmente, como registros de almacenamiento, es decir, para guardar códigos o palabras de varios *bits*. Los registros de almacenamiento se estudian en la lección 22.

En el siguiente experimento practicaremos con el circuito integrado **4013B**. Como vimos, este dispositivo contiene dos *flip-flops* D con PRESET y CLEAR en una misma cápsula. Esta primera aproximación práctica a la lógica sincrónica es muy importante. Sígala con detenimiento.

EXPERIMENTO Nº 22

Operación de un flip-flop tipo D

Objetivos

• Analizar el funcionamiento de un *flip-flop* D sincrónico, tomando como ejemplo una de las dos secciones del circuito integrado **4013B**.

• Verificar la función de las entradas asincrónicas PRESET (SET) y CLEAR (RESET) de un *flip-flop*.

• Comprobar la ocurrencia de estados ambiguos en un *flip-flop* operado asincrónicamente.

• Derivar la tabla característica de un *flip-flop* D disparable por flancos de subida.

Materiales necesarios.

1 Circuito integrado **4013B** (dos *flip-flops* D con PRESET y CLEAR). **IC1**.
1 Resistencia de 10 KΩ. **R1**.
4 Monitores lógicos (módulo **EDM-1**). **D1-D4**.
4 Interruptores lógicos (módulo EDM-2). **S1-S4**.
1 Batería alcalina de 9V con conector o una fuente regulada del mismo valor (*kit* CEKIT K10). **VDD**.
1 *Protoboard*.
Puentes varios de alambre telefónico Nº 22 ó #24.

Descripción del circuito de prueba

En la figura E38 se muestra el circuito que utilizaremos en este experimento para comprobar la operación de un *flip-flop* D, obtenido de una de las secciones del circuito integrado **4013B** (IC1). Los interruptores lógicos S1 a S4 del módulo 2 controlan, en su orden, las entradas de datos (D, pin 5), reloj (CLK, pin 3), SET (pin 6) y RESET (pin 4).

Los monitores lógicos D1 a D4 del módulo 1 visualizan, en su orden, el estado de las entradas D (datos) y CLK (reloj) y de las salidas Q (pin 1) y $\overline{Q}$ (pin 2). Un monitor encendido indica la presencia de un nivel **alto** ó **1** lógico en el punto de prueba y un monitor apagado la de un nivel **bajo** ó **0** lógico. La resistencia limitadora R1 es opcional.

Procedimiento

Paso 1. Arme sobre el *protoboard* el circuito de la figura E38. Inserte cuidadosamente el circuito integrado IC1 (**4013B**) y los módulos EDM-1 y EDM-2. Observe todas las precauciones de manipulación de dispositivos CMOS. Al terminar el montaje, sitúe los interruptores S1, S2, S3 y S4 en la posición "**0**". De este modo, todas las entradas del *flip-flop* recibirán, inicialmente, un nivel **bajo**.

Circuito de prueba del flip-flop D 4013B

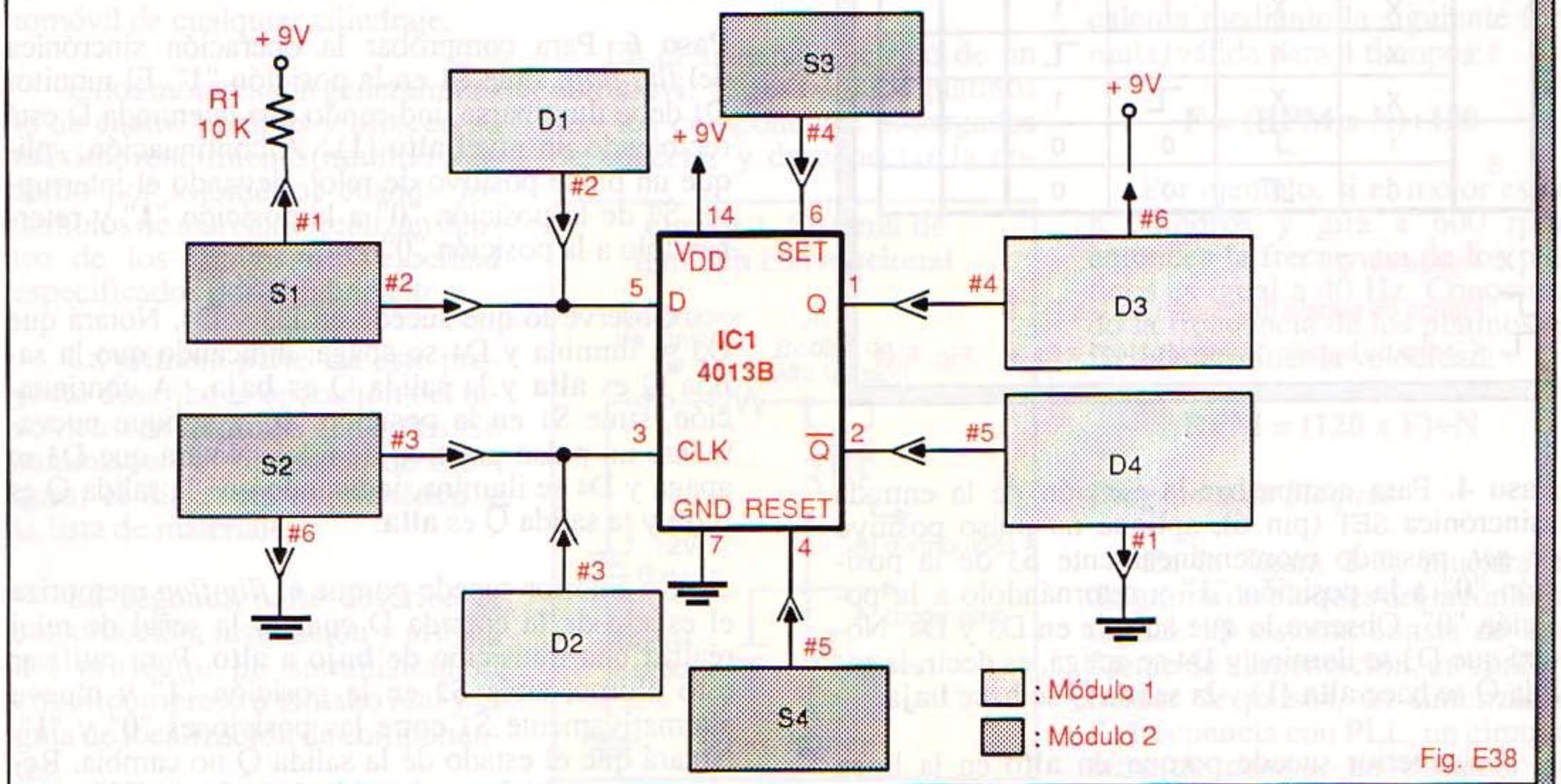


Fig. E38

Paso 2. Encienda la fuente de alimentación y observe lo que sucede en los monitores D1 a D4. Notará que sólo se ilumina D3 ó D4, indicando que una de las salidas del *flip-flop* es **alta** mientras la otra es **baja**. Los monitores D1 y D2 permanecen apagados porque las entradas de datos (D) y de reloj (CLK) son **bajas**.

Paso 3. Para comprobar la función de la entrada asincrónica RESET (pin 4), produzca un pulso positivo de *reset*, pasando momentáneamente S4 de la posición "**0**" a la posición "**1**" y retornándolo a la posición "**0**". Observe lo que sucede en D3 y D4. Notará que D3 se apaga y D4 se ilumina, es decir, la salida Q se hace **baja** (**0**) y la salida $\overline{Q}$ se hace **alta.**

Lo anterior sucede porque un **alto** en la línea RESET impone un **bajo** en la salida Q y un **alto** en la salida $\overline{Q}$, sin importar el estado de las entradas de datos (D) y de reloj (CLK). Esta es la forma de inicializar el *flip-flop* en la condición RESET (Q=**0**). Consigne sus resultados en la tabla de la figura E39

Tabla característica

Paso Nº	Entradas				Salidas	
	D (S1,D1)	CLK (S2,D2)	Set (S3)	Reset (S4)	Q (D3)	$\overline{Q}$ (D4)
2	X	X	0	0		
3	X	X	0	1		
4	X	X	1	0		
5	X	X	1	1		
	X	X	1	⌞		
	X	X	⌝	1		
6	1	⌜	0	0		
	0	⌜	0	0		

X: Puede ser 0 ó 1

⌜: Flanco de subida (transición de 0 a 1)

⌞: Flanco de bajada (transición de 1 a 0)

Fig. E39

Paso 4. Para comprobar la función de la entrada asincrónica SET (pin 6), aplique un pulso positivo de *set*, pasando momentáneamente S3 de la posición "**0**" a la posición "**1**" y retornándolo a la posición "**0**". Observe lo que sucede en D3 y D4. Notará que D3 se ilumina y D4 se apaga, es decir, la salida Q se hace **alta** (**1**) y la salida $\overline{Q}$ se hace **baja.**

Lo anterior sucede porque un **alto** en la línea SET impone un **alto** en la salida Q y un **bajo** en la salida $\overline{Q}$, sin importar el estado de las entradas de datos (D) y de reloj (CLK). Esta es la forma de inicializar el *flip-flop* en la condición SET (Q=**1**, $\overline{Q}$=**0**). Consigne sus resultados en la tabla de la figura E39.

Paso 5. Sitúe S3 y S4 en la posición "**1**" y observe lo que sucede en D3 y D4. Notará que estos dos monitores se encienden, indicando que las salidas Q y $\overline{Q}$ son ambas **altas**. Esta situación ambigua (Q=$\overline{Q}$) ocurre porque las entradas SET y RESET son activas (**altas**) al mismo tiempo.

A continuación, pase S3 a la posición "**0**" y observe lo que sucede en D3 y D4. Notará que D3 se apaga y D4 permanece iluminado. Esta situación indica que la salida Q es **baja** y la salida $\overline{Q}$ es **alta**.

Lleve nuevamente S3 a la posición "**1**" y pase S4 a la posición "**0**". Observe lo que sucede en D3 y D4. Notará que D3 permanece iluminado mientras D4 se apaga. Esta situación indica que la salida Q es **alta** y la salida $\overline{Q}$ es **baja**.

Como conclusión, cuando las entradas SET y RESET son **altas** al mismo tiempo, resulta una condición no permitida (Q=$\overline{Q}$=**1**). La primera de estas entradas en hacerse **baja** determina el estado final del *flip-flop*. En condiciones normales, las entradas SET y RESET deben estar siempre en **bajo** para que el dispositivo trabaje en forma sincrónica.

Registre todos sus resultados en la tabla de la figura E39. Al terminar, retorne nuevamente todos los interruptores, desde S1 hasta S4, a la posición "**0**".

Paso 6. Para comprobar la operación sincrónica del *flip-flop*, sitúe S1 en la posición "**1**". El monitor D1 debe iluminarse, indicando que la entrada D está recibiendo un nivel **alto** (**1**). A continuación, aplique un pulso positivo de reloj, llevando el interruptor S2 de la posición "**0**" a la posición "**1**" y retornándolo a la posición "**0**".

Observe lo que sucede en D3 y D4. Notará que D3 se ilumina y D4 se apaga, indicando que la salida Q es **alta** y la salida $\overline{Q}$ es **baja**. A continuación, sitúe S1 en la posición "**0**" y aplique nuevamente un pulso positivo de reloj. Notará que D3 se apaga y D4 se ilumina, indicando que la salida Q es **baja** y la salida $\overline{Q}$ es **alta**.

Lo anterior sucede porque el *flip-flop* memoriza el estado de la entrada D cuando la señal de reloj realiza una transición de **bajo** a **alto**. Para ratificar esto último, sitúe S2 en la posición "**1**" y mueva alternativamente S1 entre las posiciones "**0**" y "**1**". Notará que el estado de la salida Q no cambia. Registre su resultados en la tabla de la figura E39.

Flip-flop tipo J-K

El **J-K** (figura 409) es un *flip-flop* sincrónico con dos líneas de entrada de datos (J y K), una entrada de reloj (CLK), dos entradas asincrónicas (PRESET y CLEAR) y dos salidas complementarias (Q y $\bar{Q}$). Las entradas J y K se pueden manipular para producir cualquier condición de salida predecible. El J-K puede también operar como T o D y es el más popular de todos los dispositivos biestables.

Flip-flop J-K. Símbolo lógico

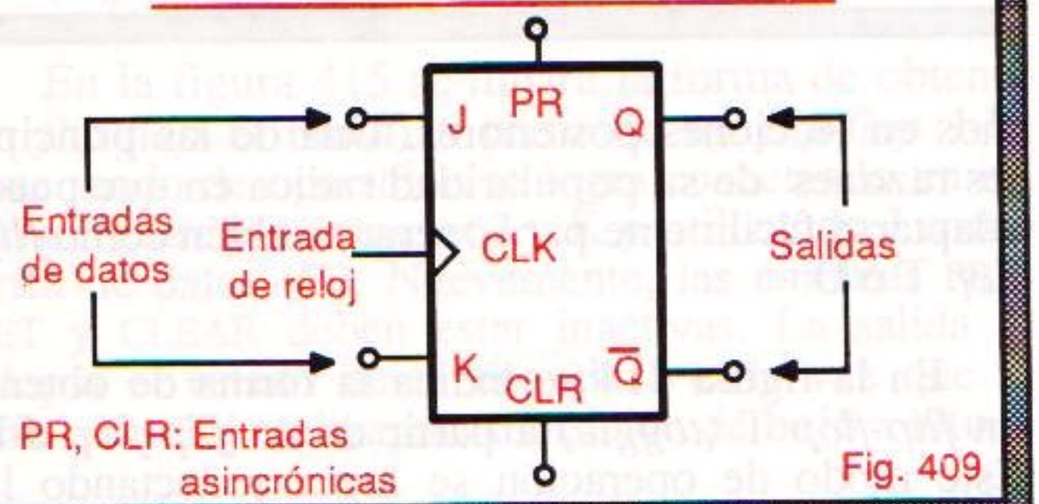


Fig. 409

En la figura 410 se muestra el circuito equivalente de un *flip-flop* J-K. El dispositivo se obtiene a partir de un *flip-flop* R-S maestro-esclavo acoplando, mediante las compuertas A y B, la salida $\bar{Q}$ a la entrada S y la salida Q a la entrada R. Las entradas libres de las compuertas de acoplamiento se convierten en las líneas de datos J y K del *flip-flop*.

Flip-flop J-K. Circuito equivalente

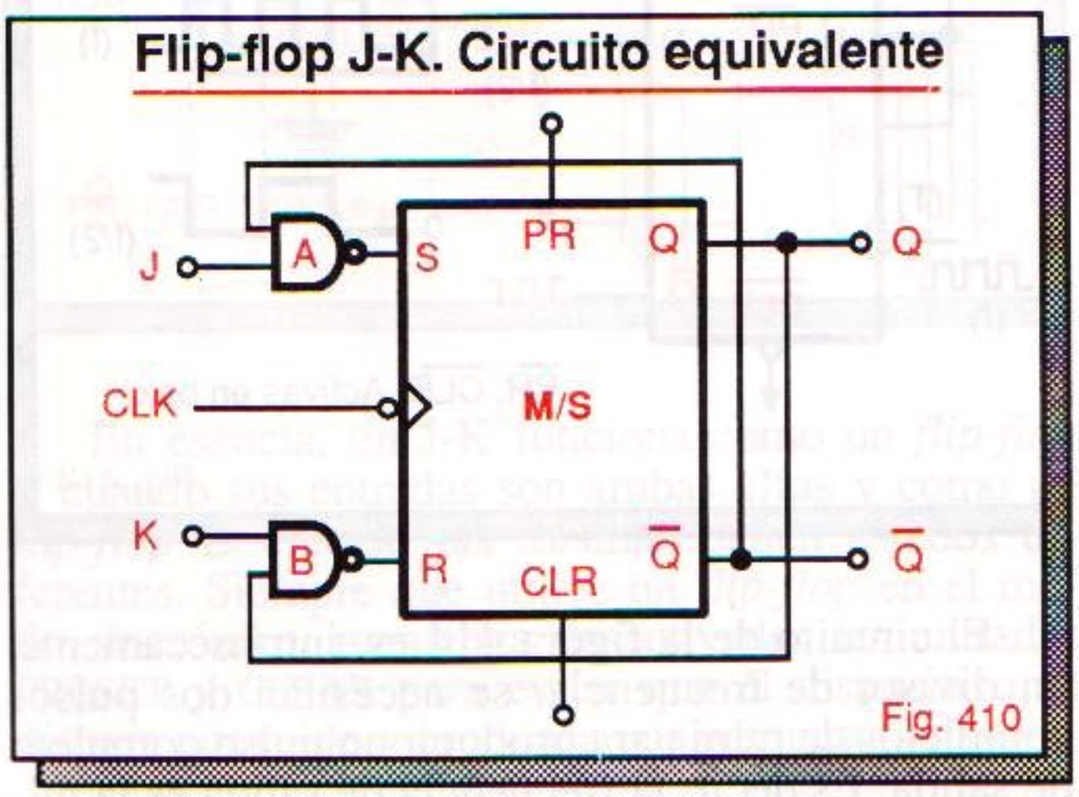


Fig. 410

El *flip-flop* J-K puede ser operado en uno cualquiera de estos dos modos: sincrónico y asincrónico. En el primer caso, el estado de las salidas Q y $\bar{Q}$ depende de las entradas J y K y está sincronizado con la señal aplicada a la entrada de reloj (CLK). En el modo asincrónico, el estado de las salidas Q y $\bar{Q}$ lo establecen las entradas PRESET y CLEAR.

En la tabla característica de la figura 411 se resume la operación de un *flip-flop* J-K en el modo asincrónico. Se supone que la entrada de reloj (CLK) está inactiva. Las entradas PRESET y CLEAR pueden ser activas en **alto** o en **bajo**, dependiendo del diseño. Por lo general, en CMOS, estas líneas son activas en **alto**, y en TTL lo son en **bajo**.

Flip-flop J-K. Operación asincrónica

A. Entradas PR y CLR activas en bajo

$\overline{PR}$	$\overline{CLR}$	Q	$\bar{Q}$
0	0	*	*
0	1	1	0
1	0	0	1
1	1	Qo	$\bar{Q}o$

B. Entradas PR y CLR activas en alto

PR	CLR	Q	$\bar{Q}$
0	0	Qo	$\bar{Q}o$
0	1	0	1
1	0	1	0
1	1	*	*

*: Estados ambiguos (condición no permitida)
Qo, $\bar{Q}o$: Estados previos (operación sincrónica)

Fig. 411

En el caso de un dispositivo con entradas activas **bajas**, la aplicación de un **bajo** a la entrada CLEAR y de un **alto** a la entrada PRESET hace forzosamente **baja** la salida Q mientras que la aplicación de un **bajo** a la entrada PRESET y de un **alto** a la entrada CLEAR la hace forzosamente **alta**.

En el caso de un dispositivo con entradas activas **altas**, la aplicación de un **alto** a la entrada CLEAR y de un **bajo** a la entrada PRESET hace forzosamente **baja** la salida Q mientras que la aplicación de un **alto** a la entrada PRESET y de un **bajo** a la entrada CLEAR la hace forzosamente **alta**.

La salida complementaria $\bar{Q}$ opera en forma contraria. Cuando las entradas PRESET y CLEAR son activas al mismo tiempo, el dispositivo opera erráticamente porque no sabe que hacer: el resultado final es impredecible. En presencia de la señal de reloj (operación sincrónica), las entradas PRESET y CLEAR deben estar inactivas.

La principal aplicación del modo asincrónico es inicializar las salidas del *flip-flop* en un estado conocido. Como vimos en la lección 15, esto es particularmente importante cuando se aplica potencia por primera vez a un circuito. La operación asincrónica se utiliza también para cargar registros y contadores con cantidades específicas antes de comenzar una nueva operación.

En la tabla característica de la figura 412 se resume la operación de un *flip-flop* J-K en el modo sincrónico. Las entradas PRESET y CLEAR deben

Flip-flop J-K. Operación sincrónica

A. Disparo por flancos de bajada

J	K	CLK	Q	$\overline{Q}$
0	0	↓	Qo	$\overline{Qo}$
0	1	↓	0	1
1	0	↓	1	0
1	1	↓	$\overline{Qo}$	Qo

B. Disparo por flancos de subida

J	K	CLK	Q	$\overline{Q}$
0	0	↑	Qo	$\overline{Qo}$
0	1	↑	0	1
1	0	↑	1	0
1	1	↑	$\overline{Qo}$	Qo

↓ : Flanco de bajada (transición de 1 a 0)

↑ : Flanco de subida (transición de 0 a 1)

Qo, $\overline{Qo}$: Estado previo (no cambia)

$\overline{Qo}$, Qo: Toggle (se invierte el estado previo)

Fig. 412

estar inactivas para que el dispositivo desarrolle su lógica sincrónica normal. El *flip-flop* puede estar sincronizado con los flancos de subida o de bajada de la señal de reloj (CLK), dependiendo del diseño.

Las entradas sincrónicas J y K son, normalmente, activas en **alto** y determinan el estado de salida resultante después de la aplicación de la señal de reloj. Específicamente, un **alto** en la línea J, con la entrada K en **bajo**, lleva la salida al estado SET (Q=**1**, $\overline{Q}$=0). Así mismo, un **alto** en la línea K, con la línea J en **bajo**, lleva la salida al estado RESET (Q=**0**, $\overline{Q}$=**1**).

Cuando las entradas J y K son ambas **bajas** y se aplica la señal de reloj, nada sucede: el estado previo de las salidas Q (Qo) y $\overline{Q}$ ($\overline{Qo}$) se mantiene, es decir, no cambia. Se dice, entonces, que el *flip-flop* está operando en el modo de *retención* (*hold*).

Cuando las entradas J y K son ambas **altas** y se aplica la señal de reloj, ocurre algo interesante: las salidas Q y $\overline{Q}$ cambian de estado. Es decir, el *flip-flop* pasa del estado SET (Q=**1**, $\overline{Q}$=**0**) al de RESET (Q=**0**, $\overline{Q}$=**1**) o viceversa. Se dice, entonces, que el *flip-flop* está operando en el modo *basculante* (*toggle*).

El diagrama de temporización de la figura 413 resume la operación del *flip-flop* J-K en el modo sincrónico. En este caso, se supone que el dispositivo responde a los flancos de bajada de la señal de reloj y que las entradas asincrónicas (PRESET y CLEAR) están inactivas. En operación sincrónica, el J-K no presenta estados ambiguos.

El *flip-flop* J-K se utiliza ampliamente en registros de almacenamiento, registros de desplazamiento, contadores de pulsos, divisores de frecuencia y otras aplicaciones secuenciales que analizare-

Flip-flop J-K. Diagrama de temporización

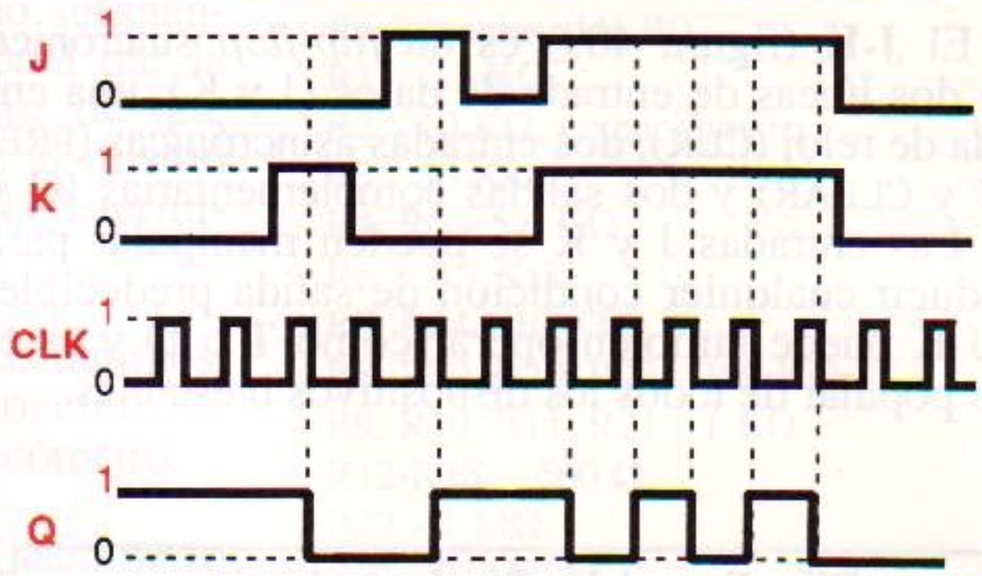


Fig. 413

mos en lecciones posteriores. Una de las principales razones de su popularidad radica en que puede adaptarse fácilmente para operar también como *flip-flop* T o D

En la figura 414 se indica la forma de obtener un *flip-flop* T (*toggle*) a partir de un *flip-flop* J-K. Este modo de operación se logra conectando las entradas J y K a un nivel **alto** y manteniendo las entradas PRESET y CLEAR inactivas. El estado de la salida (Q) cambia cada vez que la señal de reloj (CLK) realiza una transición de **alto** a **bajo.**

Flip-flop T con flip-flop J-K

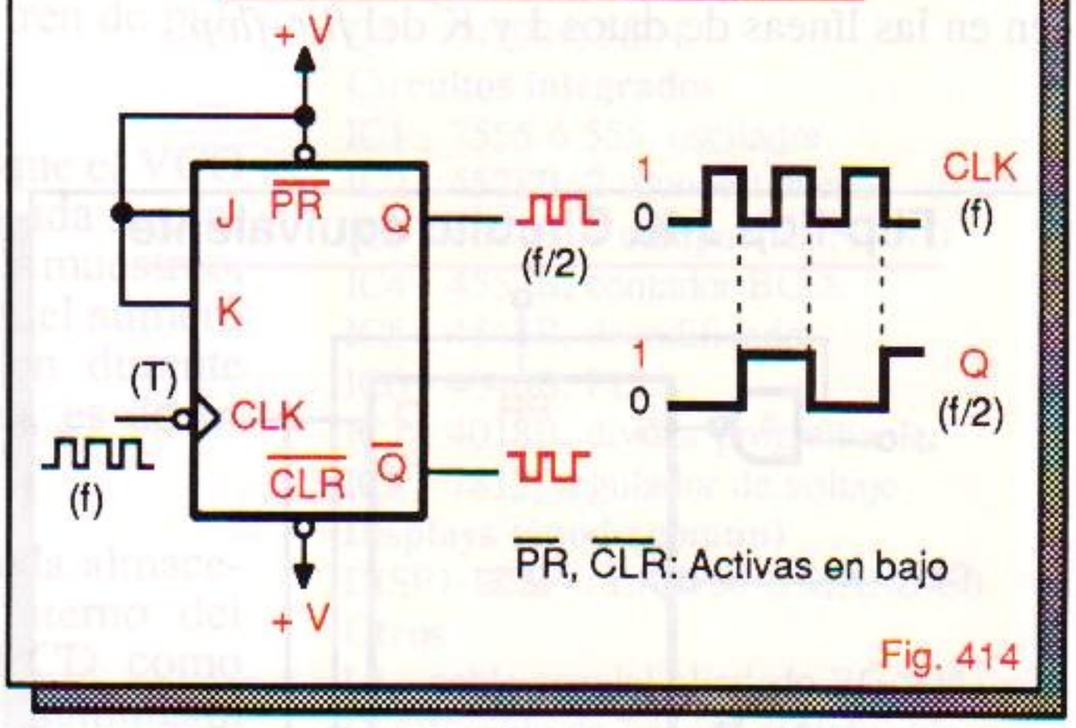


Fig. 414

El circuito de la figura 414 es, intrínsecamente, un divisor de frecuencia: se necesitan dos pulsos completos de reloj para producir un pulso completo de salida. Es decir, la frecuencia de salida es la mitad de la frecuencia de entrada:

$$F_{out} = Fin/2$$

En este caso, F_{out} es la frecuencia de la señal disponible en la salida Q y F_{in} la frecuencia de la

señal aplicada a la entrada de reloj (CLK). Por ejemplo, si la frecuencia de reloj es 1 KHz, la frecuencia de salida será 500 Hz. Conectando varios *flip-flops* T en cascada se obtiene una cadena de divisores de frecuencia, como se explicó en una sección anterior (ver página 248).

El *flip-flop* J-K configurado como *toggle*, además de la división de frecuencia, se puede también utilizar en otras aplicaciones, por ejemplo, para memorizar alternativamente la acción de *on/off* de un pulsador: cada vez que se acciona el interruptor, la carga controlada por el mismo (un motor, una lámpara, etc.) se energiza o se desenergiza.

En la figura 415 se ilustra la forma de obtener un *flip-flop* D (*data*) a partir de un *flip-flop* J-K. Este modo de operación se logra conectando un inversor entre las entradas J y K y utilizando J como línea de datos (D). Nuevamente, las entradas PRESET y CLEAR deben estar inactivas. La salida Q adopta el estado de la entrada J cada vez que la señal de reloj realiza una transición de **bajo** a **alto**.

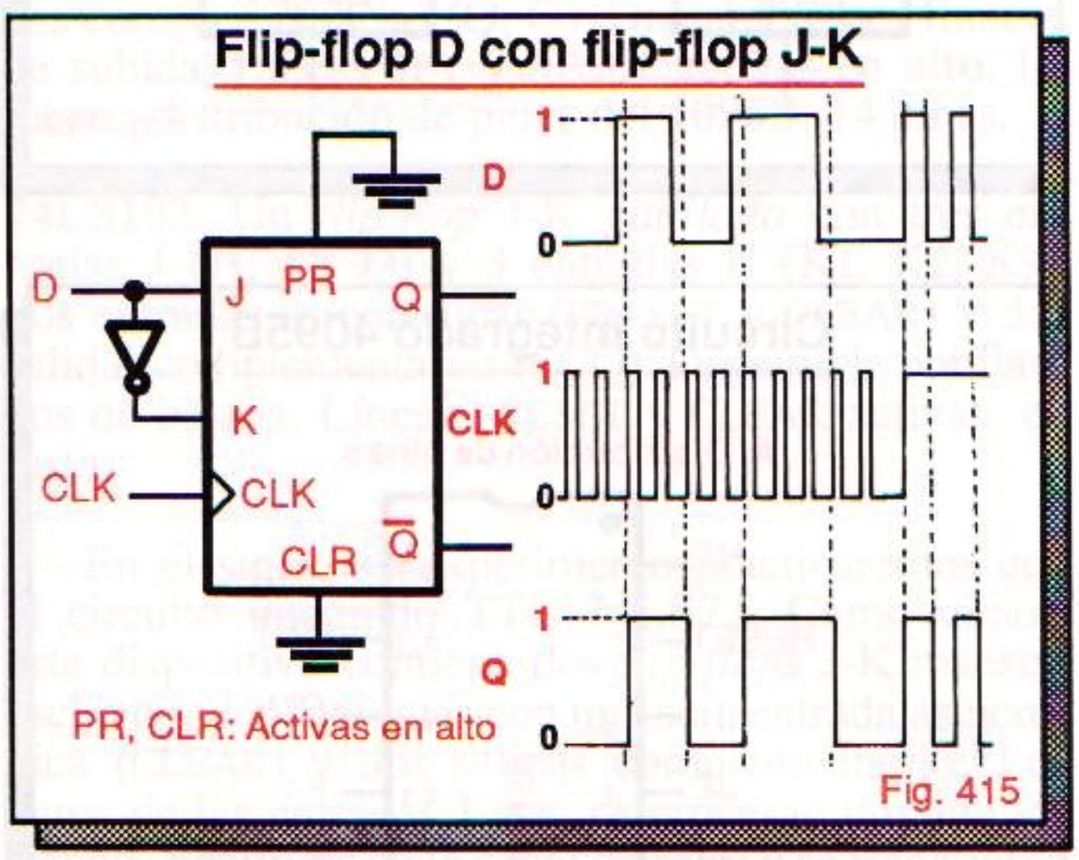


Fig. 415

En esencia, un J-K funciona como un *flip-flop* T cuando sus entradas son ambas **altas** y como un *flip-flop* D cuando las mismas tienen estados diferentes. Siempre que utilice un *flip-flop* en el modo sincrónico, mantenga desactivadas las entradas PRESET y CLEAR para evitar que el dispositivo se dispare por ruido y produzca una respuesta falsa.

No todos los *flip-flops* J-K se implementan utilizando el principio maestro/esclavo. En la figura 416, por ejemplo, se muestra el circuito de un *flip-flop* J-K, con entradas asincrónicas construido a partir de un *flip-flop* R-S sincrónico. El dispositivo desarrolla su lógica normal cuando la señal de reloj es de nivel **alto**. Las líneas PRESET y CLEAR son activas en **bajo**.

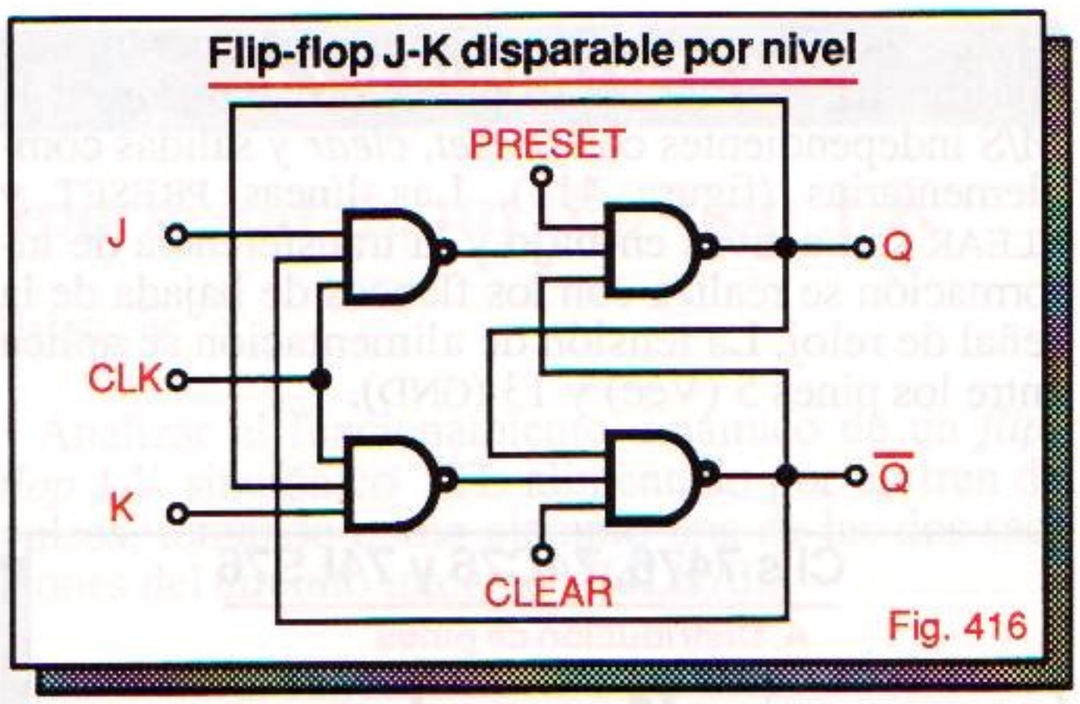


Fig. 416

Circuitos integrados con flip--flops J-K

Existen varios circuitos integrados TTL y CMOS que incorporan, en una misma cápsula, dos o más *flip-flops* tipo J-K. Los siguientes son algunos ejemplos.

Nota: Los dispositivos de las series 74 y 74LS operan a +5V y los de las series 40 y 74C con tensiones entre +3V y +15V.

7473, 74C73, 74LS73. Todos incorporan, en una misma cápsula de 14 pines, dos *flip-flops* J-K M/S independientes con *clear* y salidas complementarias (figura 417). La línea CLEAR es activa en **bajo** y la transferencia de información se realiza con los flancos de bajada de la señal de reloj. La tensión de alimentación se aplica entre los pines 4 (Vcc) y 11 (GND).

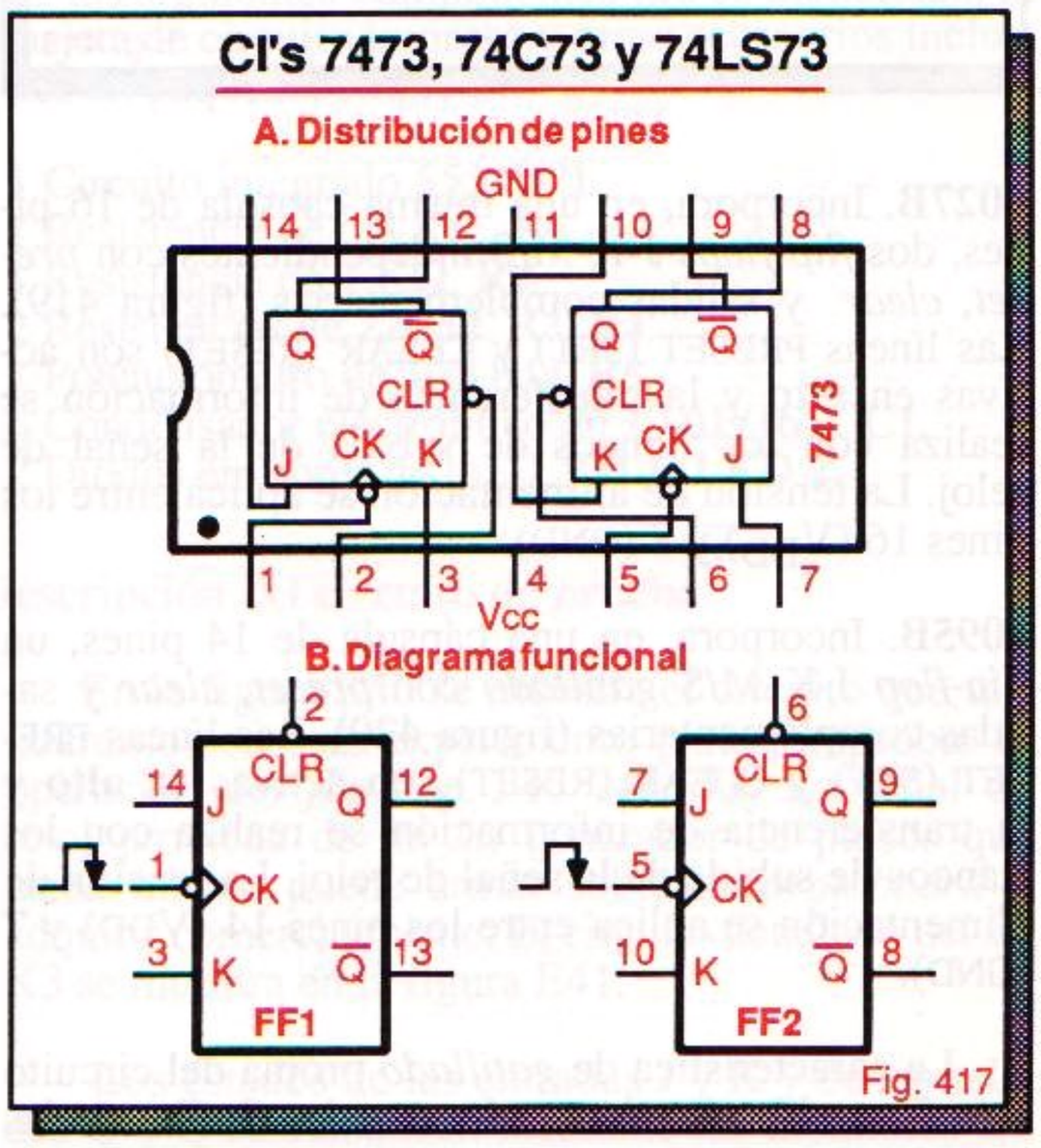


Fig. 417

7476, 74C76, 74LS76. Todos incorporan, en una misma cápsula de 16 pines, dos *flip-flops* J-K M/S independientes con *preset, clear* y salidas complementarias (figura 418). Las líneas PRESET y CLEAR son activas en **bajo** y la transferencia de información se realiza con los flancos de bajada de la señal de reloj. La tensión de alimentación se aplica entre los pines 5 (Vcc) y 13 (GND).

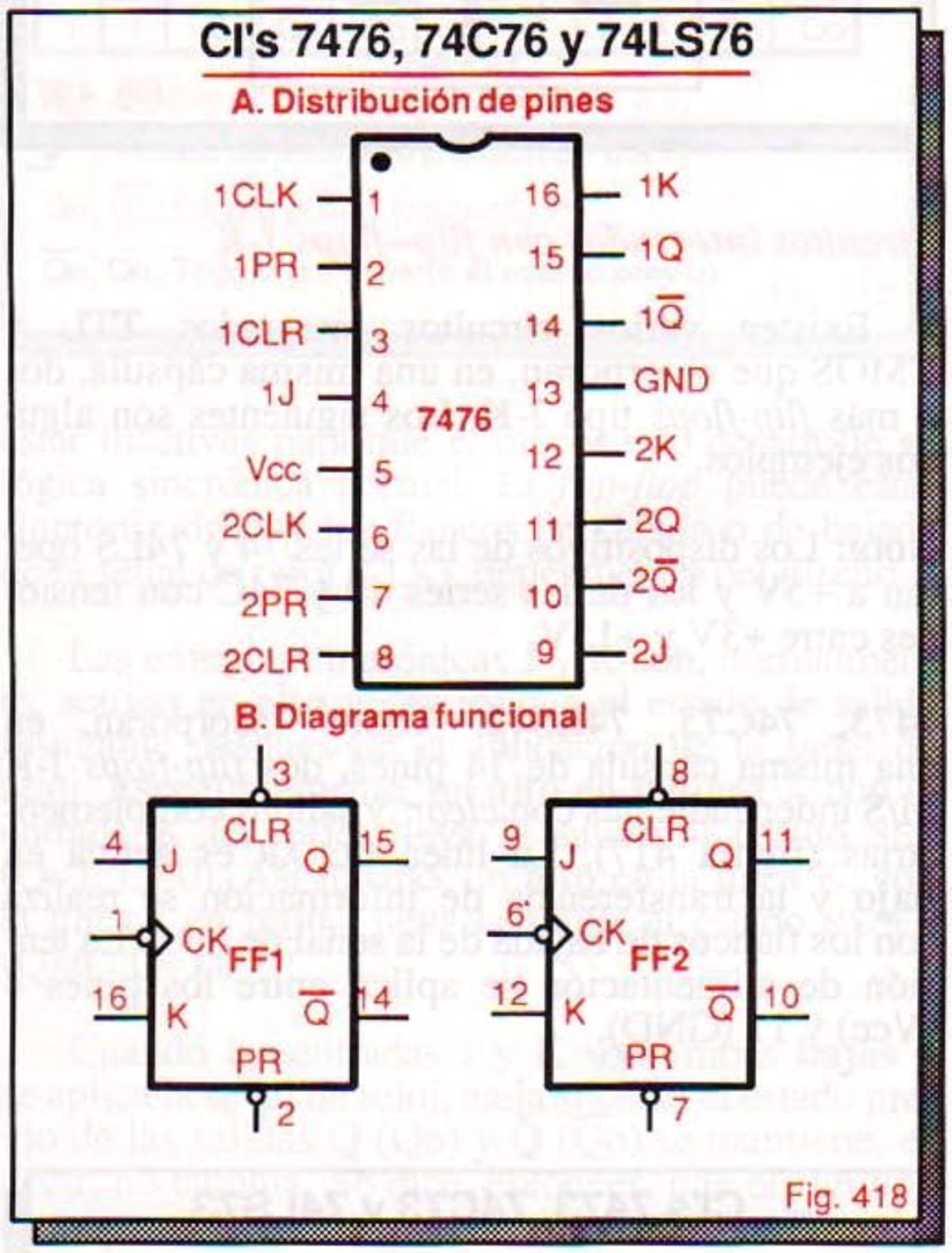


Fig. 418

4027B. Incorpora, en una misma cápsula de 16 pines, dos *flip-flops* J-K M/S independientes con *preset, clear* y salidas complementarias (figura 419). Las líneas PRESET (SET) y CLEAR (RESET) son activas en **alto** y la transferencia de información se realiza con los flancos de subida de la señal de reloj. La tensión de alimentación se aplica entre los pines 16 (V_{DD}) y 8 (GND).

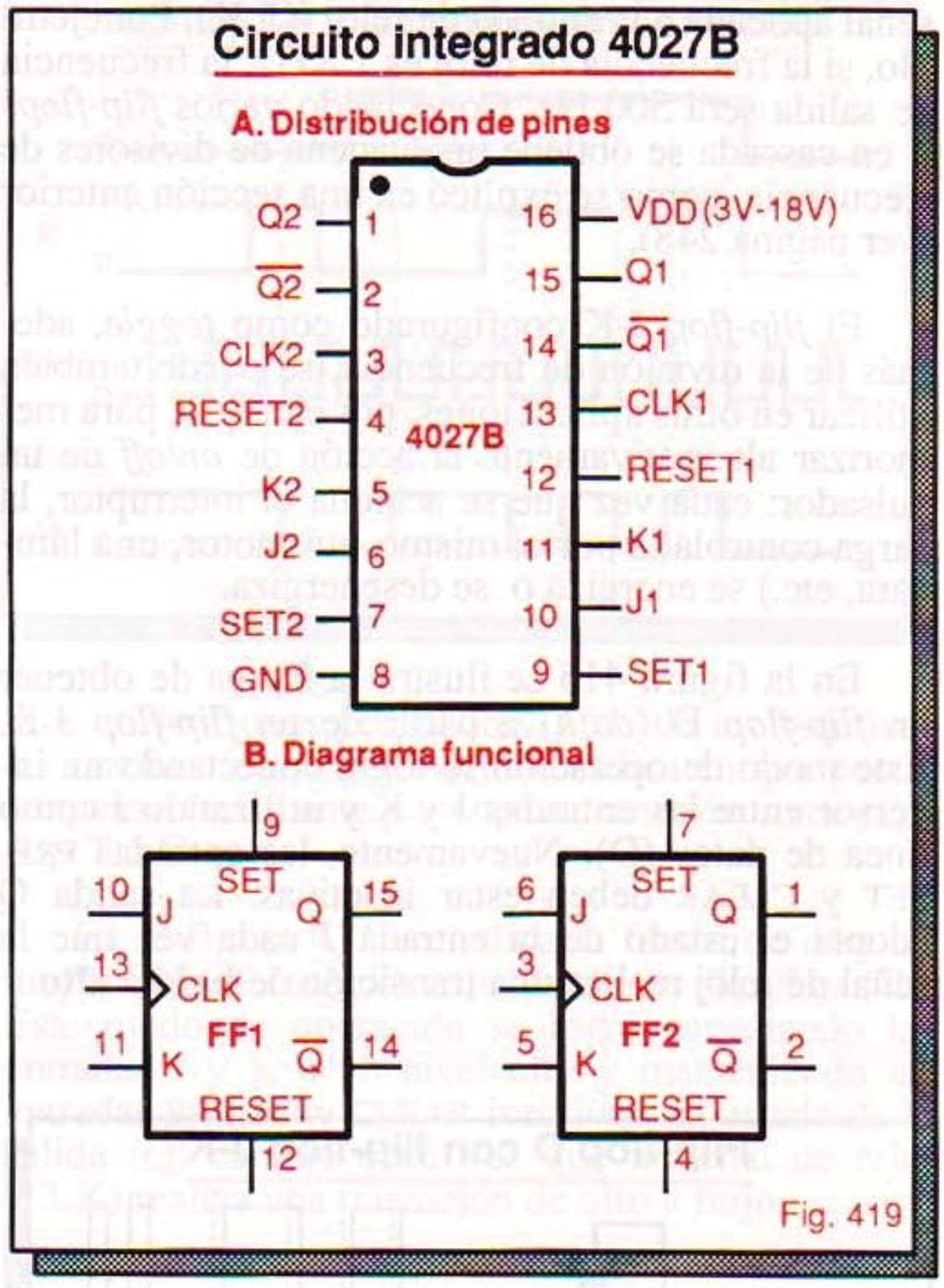


Fig. 419

4095B. Incorpora, en una cápsula de 14 pines, un *flip-flop* J-K M/S *gatillado* con *preset, clear* y salidas complementarias (figura 420). Las líneas PRESET (SET) y CLEAR (RESET) son activas en **alto** y la transferencia de información se realiza con los flancos de subida de la señal de reloj. La tensión de alimentación se aplica entre los pines 14 (V_{DD}) y 7 (GND).

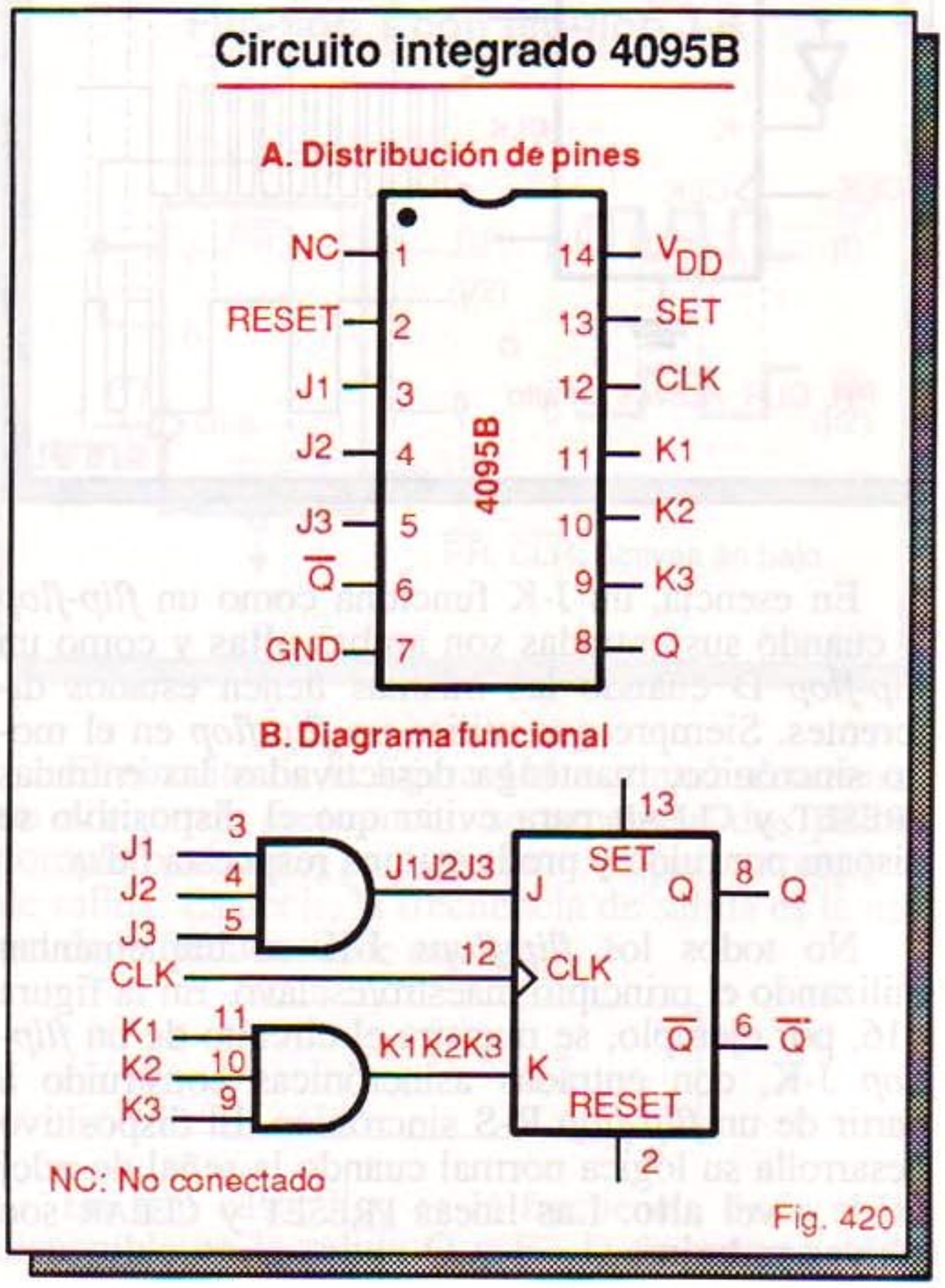


Fig. 420

La característica de *gatillado* propia del circuito se refiere al hecho de que los estados finales de las

entradas J y K son el resultado de la operación AND entre tres posible entradas J (J1, J2 y J3) y tres posibles entradas K (K1, K2 y K3) respectivamente. Es decir:

$$J = J1 \cdot J2 \cdot J3$$
$$K = K1 \cdot K2 \cdot K3$$

Por ejemplo, si las entradas J son **altas** y una de las entradas K es **baja**, el dispositivo se comporta como un *flip-flop* J-K con J=**1** y K=**0**. Esta condición produce un **alto** en la salida Q y un **bajo** en la salida $\bar{Q}$ después de aplicar la señal de reloj.

Otros *chips* que contienen uno o más *flip-flops* J-K en una misma cápsula son los siguientes:

74107, 74C107, 74LS107. Dos *flip-flops* J-K independientes, cada uno con *clear* y salidas complementarias. Disparable por flancos de bajada. Línea CLEAR activa en **bajo**.

4096B. Un *flip-flop* J-K *gatillado* con tres entradas J (J1, J2, $\bar{J}3$), tres entradas K (K1, K2, $\bar{K}3$), dos entradas asincrónicas (SET, RESET) y dos salidas complementarias (Q, $\bar{Q}$). Disparable por flancos de subida. Líneas SET y RESET activas en **alto**. La misma distribución de pines del **4096B**. 14 pines.

74LS102. Un *flip-flop* J-K *gatillado* con tres entradas J (J1, J2, J3) y 3 entradas K (K1, K2, K3), dos entradas asincrónicas (PRESET y CLEAR) y dos salidas complementarias (Q, $\bar{Q}$). Disparable por flancos de bajada. Líneas PRESET y CLEAR activas en **bajo**.

En el siguiente experimento practicaremos con el circuito integrado TTL **74LS73**. Como vimos, este dispositivo contiene dos *flip-flops* J-K maestro esclavo independientes con una sola entrada asincrónica (CLEAR) y dos salidas complementarias. Los datos de las entradas J y K se procesan durante los flancos positivos de la señal de reloj y se transfieren procesados a la salida durante los flancos negativos.

Los *flip-flops*, así como las compuertas que los forman, son los bloques constructivos básicos de sistemas digitales más complejos como contadores, registros, memorias, arreglos lógicos programables (PLA's), microprocesadores, etc. Por esta razón, es importante familiarizarse con sus características individuales para utilizarlos eficientemente. Este experimento le permitirá reafirmar sus conceptos.

Obtendremos la señal de reloj de un generador de pulsos disponible en forma de *kit* bajo la referencia **K3** de CEKIT. En cualquier sistema sincrónico, para conseguir el efecto deseado, la señal de reloj debe ser perfectamente limpia, con flancos de subida y de bajada rápidos y bien definidos.

EXPERIMENTO Nº 23

Operación de un flip-flop J-K

Objetivos

- Analizar el funcionamiento dinámico de un *flip-flop* J-K sincrónico TTL alimentado por un tren de pulsos, tomando como ejemplo una de las dos secciones del circuito integrado **74LS73**.

- Verificar el funcionamiento del dispositivo en los modos sincrónico y asincrónico, observando en particular su operación como divisor de frecuencia.

- Familiarizarse con la utilización de un generador de pulsos de frecuencia variable, disponible en forma de *kit*.

Materiales necesarios

1 Generador de pulsos de frecuencia variable (*kit* CEKIT **K3**).*
1 Circuito integrado **74LS73** (dos *flip-flops* J-K de disparo negativo con *clear*). **IC2**.
1 Resistencia de 1 KΩ. **R6**.
4 Monitores lógicos (módulo EDM-1). **D1-D4**.
3 Interruptores lógicos (módulo EDM-2). **S1-S3**.
1 Fuente regulada de 5V/1A (*kit* CEKIT **K11**).
1 *Protoboard*.
Puentes de alambre telefónico Nº 22 ó Nº 24.

(*) **Nota:** El *kit* CEKIT **K3**, conocido comúnmente como " Luces de Velocidad Variable", consta de los siguientes componentes (no se mencionan la tarjeta de circuito impreso y otros accesorios incluidos en paquete completo).

1 Circuito integrado 555. **IC1**
1 Resistencia de 6.8 KΩ. **R1**.
1 Resistencia de 1 KΩ. **R2**.
2 Resistencias de 220 Ω. **R3**, **R4**.
1 Potenciómetro de 100 KΩ. **R5**.
1 Condensador electrolítico de 10 µF/16V. **C1**.
2 Diodos emisores de luz. **LED 1**, **LED 2**.

Descripción del circuito de prueba

En la figura E40 se muestra el circuito que utilizaremos en este experimento para comprobar la operación del *flip-flop* J-K **74LS73**. La señal de reloj proviene de un *kit* generador de pulsos que usted mismo puede armar sobre su *protoboard* o adquirir comercialmente. El circuito detallado del *kit* K3 se muestra en la figura E41.

Los estados de las entradas J y K y de las salidas Q y $\bar{Q}$ se visualizan mediante los monitores D1

Circuito de prueba del flip-flop J-K 74LS73

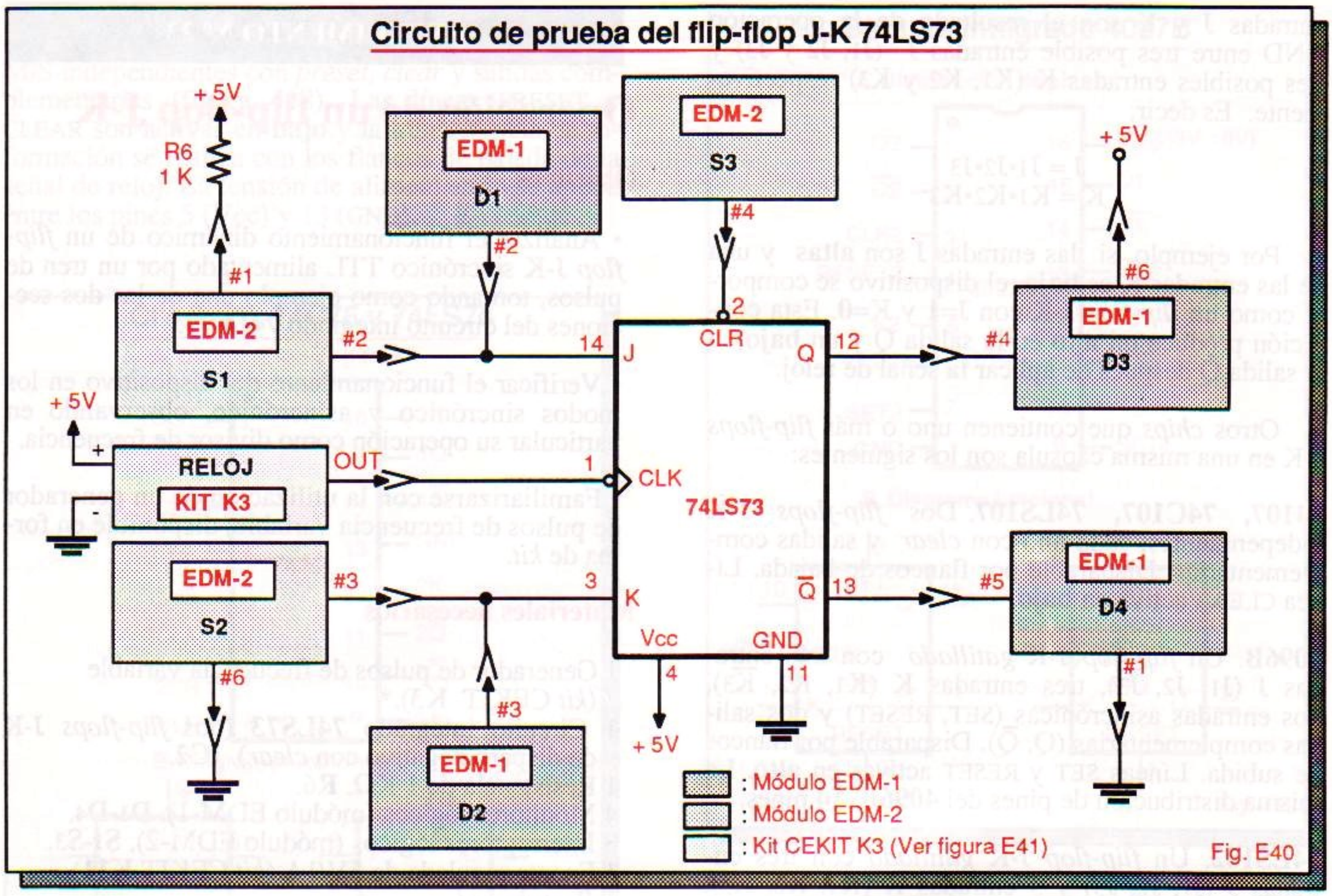


Fig. E40

a D4 del módulo 1. La programación de las entradas J y K se realiza mediante los interruptores lógicos S1 y S2 del módulo 2 y la activación o desactivación de la línea de borrado (CLEAR) mediante el interruptor S3 del mismo módulo.

Procedimiento

Paso 1. Arme sobre el *protoboard* el circuito de la figura E40. Observe que la tensión de alimentación del circuito integrado **74LS73** se aplica entre los pines 4 (+5V, positivo) y 11 (GND, negativo). No olvide alimentar adecuadamente los módulos EDM-1 y EDM-2 y el generador de pulsos. Si no utiliza este último en forma de *kit*, arme también sobre el *protoboard* el circuito correspondiente (figura E41).

Al terminar el montaje, sitúe el control de frecuencia del generador de pulsos (R5) en una posición intermedia y los interruptores del módulo 2 (S1-S3), en la posición "**0**". De este modo, las entradas J, K y CLR recibirán un nivel **bajo**, es decir, un **0** lógico. Antes de encender la fuente, revise bien todas las conexiones y corrija posibles errores.

Detalle del kit K3

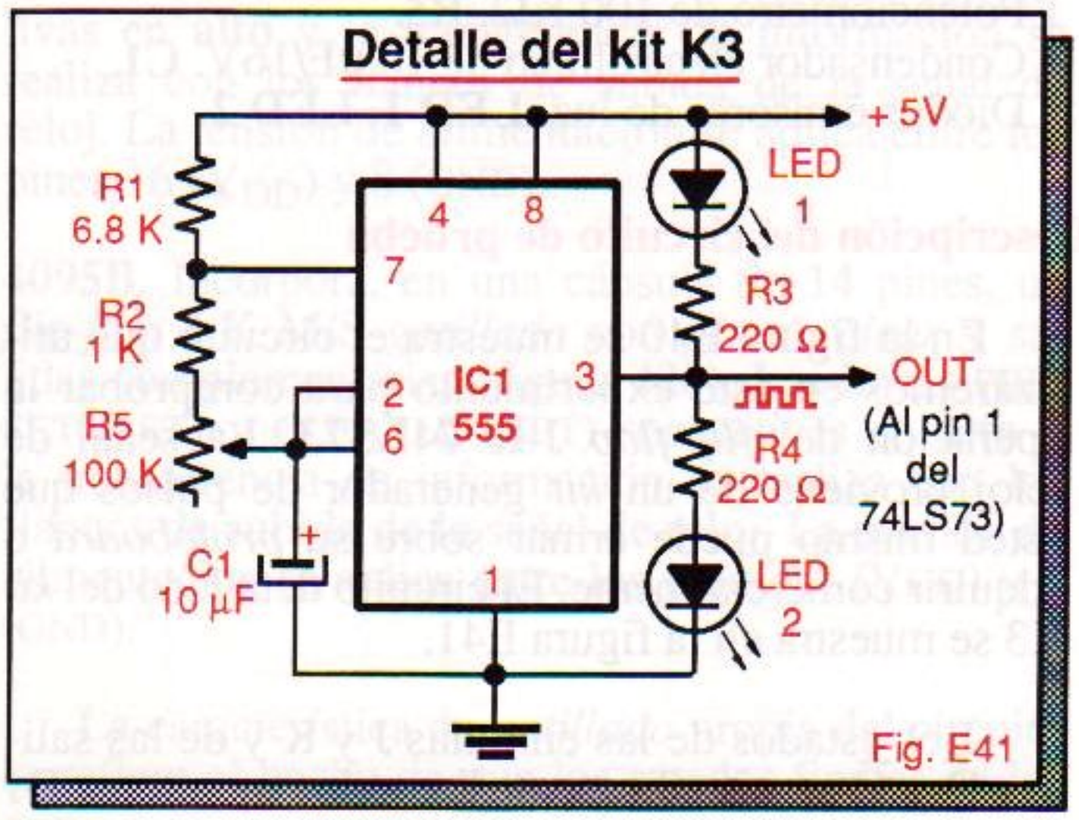


Fig. E41

Paso 2. Encienda la fuente de alimentación. Los LED del generador deben iluminarse alternativamente, indicando la presencia de pulsos. El LED 1 prende cuando la señal de reloj es **baja** y el LED 2 cuando es **alta**. Moviendo el potenciómetro R5 de un lado al otro, varía la velocidad del parpadeo.

Observe lo que sucede en los monitores D3 y D4. Notará que D3 se apaga y D4 se ilumina, indicando que la salida Q es **baja** y la salida $\overline{Q}$ es **alta**. Cambie los interruptores S1 y S2 de una posición a otra. Notará que esta situación no cambia, es decir, la salida Q se mantiene **baja** y la salida $\overline{Q}$ **alta.**

Lo anterior ocurre porque el interruptor S3 activa la entrada CLEAR con un nivel **bajo**. Esta condición impone forzosamente un **bajo** en la salida Q y un **alto** en la salida $\overline{Q}$, sin importar el estado de las entradas J y K. El *flip-flop* opera asincrónicamente. Al terminar, sitúe nuevamente S1, S2 y S3 en la posición "**0**". La salida Q debe seguir en **bajo**

Paso 3. Sitúe S3 en la posición "**1**" para habilitar la operación sincrónica del dispositivo. De este modo, la entrada CLR recibirá un nivel **alto**. Observe lo que sucede en los monitores D3 y D4. Notará que D3 permanece apagado y D4 se mantiene iluminado, indicando que la salida Q es **baja** y la salida $\overline{Q}$ **alta**

Lo anterior sucede porque, con J=**0** y K=**0**, el dispositivo retiene el último dato almacenado, en este caso un **0**, impuesto por la activación de la línea CLEAR en el paso anterior.

Paso 4. Sitúe S1 en la posición "**1**" para aplicar un **alto** a la entrada J y observe lo que sucede en los monitores D3 y D4. Notará que D3 se ilumina y D4 se apaga, indicando que la salida Q es **alta** y la salida $\overline{Q}$ es **baja**. Retorne nuevamente S1 a la posición "**0**". Notará que el estado de las salidas no cambia, es decir, Q sigue **alta** y $\overline{Q}$ sigue **baja**.

Lo anterior sucede porque, con J=**1** y K=**0**, se programa la condición SET del *flip-flop*, es decir, se lleva la salida Q al estado **alto** (**1**) y la salida $\overline{Q}$ al estado **bajo** (**0**). Al retornar estas entradas a sus estados originales (J=**0**, K=**0**), el dispositivo retiene el último dato almacenado, en este caso un **1** lógico

Paso 5. Sitúe S2 en la posición "**1**" para aplicar un **alto** a la entrada K y observe lo que sucede en los monitores D3 y D4. Notará que D3 se apaga y D4 se ilumina, indicando que la salida Q es **baja** y la salida $\overline{Q}$ es **alta**. Retorne nuevamente S2 a la posición "0". Notará que el estado de las salidas no cambia, es decir, Q sigue **baja** y $\overline{Q}$ sigue **alta**.

Lo anterior sucede porque, con J=**0** y K=**1**, se programa la condición RESET del *flip-flop*, es decir, se lleva la salida Q al estado **bajo** (**0**) y la salida $\overline{Q}$ al estado **alto** (**1**). Al retornar estas entradas a sus estados originales (J=**0**, K=**0**), el dispositivo retiene el último dato almacenado, en este caso un **0**.

Paso 6. Sitúe tanto S1 como S2 en la posición "**1**" para aplicar, al mismo tiempo, un **alto** en las entradas J y K. Observe lo que sucede en D3 y D4. Notará que estos monitores se encienden y apagan alternativamente, indicando que las salidas Q y $\overline{Q}$ están cambiando de estado: cuando Q es **baja**, $\overline{Q}$ es **alta** y viceversa.

Lo anterior sucede porque, con J=**1** y K=**1**, el J-K se convierte en un *flip-flop* T (*toggle*) y las salidas cambian de estado cada vez que se aplica la señal de disparo. Compare el parpadeo de los monitores D3 y D4 del módulo 1 con el de los LED del generador de pulsos. Notará que cada vez que se apaga el LED 2 y se ilumina el LED 1, los monitores D3 y D4 cambian de estado.

Puesto que el LED 1 se ilumina cuando la señal de reloj es **baja** y el LED 2 cuando la señal de reloj es **alta**, se deduce que el cambio de estado de las salidas Q y $\overline{Q}$ se realiza durante las transiciones negativas (de **1** a **0**) de la señal de reloj. En otras palabras, el *flip-flop* responde a flancos de bajada.

Observe también que los monitores D3 y D4 parpadean a una velocidad más lenta que los LED del generador de pulsos. Esto sucede porque la frecuencia de las salidas Q y $\overline{Q}$ es igual a la mitad de la frecuencia de la señal de reloj. Sitúe el potenciómetro R5 en varias posiciones y corrobore este resultado.

* * *

Problemas en circuitos con flip-flops

En los circuitos con *flip-flops* se presentan, básicamente, tres tipos de problemas:

1. La salida Q no cambia al estado deseado cuando la señal de reloj es activa. Esta situación puede ser causada por un circuito integrado defectuoso o porque la salida está en cortocircuito con uno de los terminales de alimentación.

2. La salida se hace SET (Q=**1**) o RESET (Q=**0**) de manera aleatoria. Esta situación puede ser causada porque las entradas asincrónicas (PRESET y/o CLEAR) han sido dejadas al aire y se está induciendo ruido en ellas. Para evitar esto, las entradas no utilizadas deben conectarse a tierra (**0**) o al positivo (**1**), dependiendo de su nivel de inactividad.

3. La salida es correcta algunas veces e incorrecta en otras. Esta situación puede ser causada por un circuito integrado defectuoso o por violación de los tiempos de *establecimiento* (T_s) y de *retención* (T_h) del dispositivo. En la figura 421 se ilustran estos conceptos, aplicados al caso de un *flip-flop* D disparable por flancos positivos o de subida.

El tiempo de establecimiento *(set-up time)* es el tiempo mínimo que debe transcurrir entre la aplicación del dato de entrada y la aparición del flanco de disparo. El tiempo de retención (*hold time*) es el tiempo mínimo que debe transcurrir entre la desaparición del flanco de disparo y cualquier cambio en el dato de entrada. Este último debe permanecer constante durante estos intervalos.

(Continúa en la página 262)

ACTIVIDAD PRACTICA Nº 16

Construcción del módulo 3: Pulsador lógico sin rebote. Parte 3

En esta actividad finalizaremos el ensamble del módulo 3 instalando en la tarjeta de circuito impreso del mismo el circuito integrado **4011B**. La función de este *chip* (figura A21, página 212) es suministrar las compuertas NAND que forman el circuito eliminador de rebote del pulsador S1. Soldaremos también los terminales de conexión del módulo.

Como vimos en la actividad práctica Nº 13 (página 212), tres (3) de las compuertas del **4011B** (A, B y D) forman un *latch* trasparente que enmascara los pulsos de ruido originados durante el período de rebote del pulsador S1. La cuarta compuerta (C) es un inversor que se puede emplear para complementar señales lógicas. Su uso es opcional.

Los circuitos eliminadores de rebote se estudian en detalle en la lección 19 (ver figura 379, página 236). La descripción completa del módulo 3 se realiza en la segunda parte de esta actividad. En la misma, realizaremos la prueba del sistema, utilizando un circuito de visualización sencillo.

Componentes necesarios

1 circuito integrado **4011B**. **IC1**.
1 circuito impreso CEKIT **EDM-3**.
7 pines de conexión.*
Herramientas: cautín, pinzas, cortafríos, soldadura.

* **Nota:** Los pines de conexión puede obtenerlos de terminales sobrantes de LED o de resistencias, de la misma forma como se hizo con los dos módulos construidos hasta el momento.

Procedimiento

Paso 1. Tome el circuito integrado **4011B** (IC1) e insértelo con firmeza en la base de 14 pines de la tarjeta EDM-3, como se muestra en la figura A24. Oriente el *chip* de modo que la ranura quede mirando hacia el pulsador S1 y el punto (•) coincida con la marca (•) grabada sobre la tarjeta. Siga las mismas recomendaciones de la actividad práctica Nº 7 (página 107, paso 1).

Paso 2. Tome los 6 terminales de conexión e instálelos en la tarjeta de circuito impreso EDM-3, por el lado del cobre, como se muestra en la figura A25. Una vez soldados, córtelos todos a una misma longitud (1 cm o menos). Proceda de la misma forma como lo hizo en las actividades prácticas Nº 5 (página 70) y Nº 12 (páginas 191 y 192).

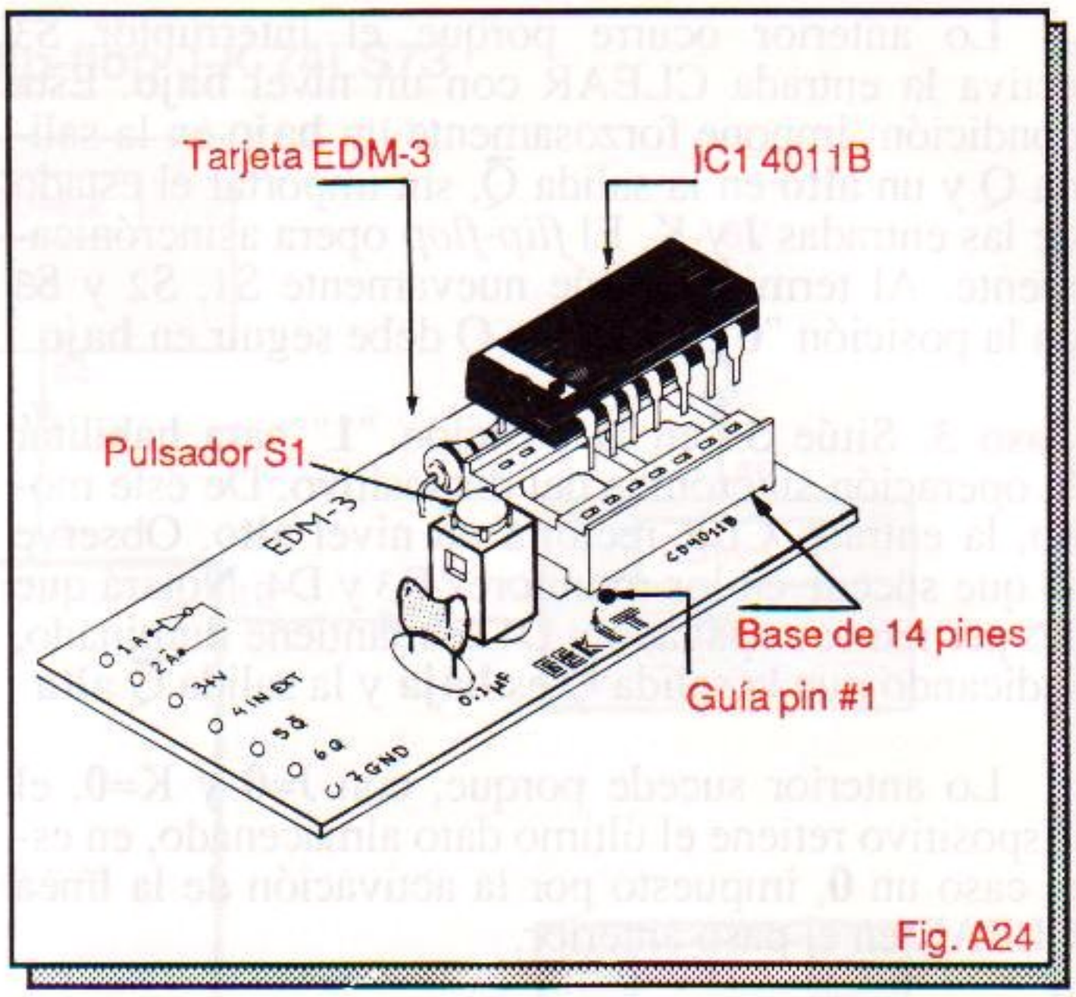


Fig. A24

La identificación de cada uno de los pines de conexión es la siguiente:

Pin # 1 (A): Entrada del inversor auxiliar.
Pin # 2 (A): Salida del inversor auxiliar.
Pin # 3 (+V): Terminal de alimentación (positivo).
Pin # 4 (IN EXT): Entrada externa de disparo.
Pin # 5 ($\overline{Q}$): Salida normalmente **alta** (invertida).
Pin # 6 (Q): Salida normalmente **baja** (no invertida)
Pin # 7 (GND): Terminal de referencia (tierra).

En la segunda parte de esta actividad explicaremos en detalle la función de cada pin y realizaremos la prueba del módulo. Este circuito es muy útil y lo emplearemos frecuentemente en los experimentos que siguen del curso y siempre que necesitemos disponer de pulsos sencillos, libres de rebote.

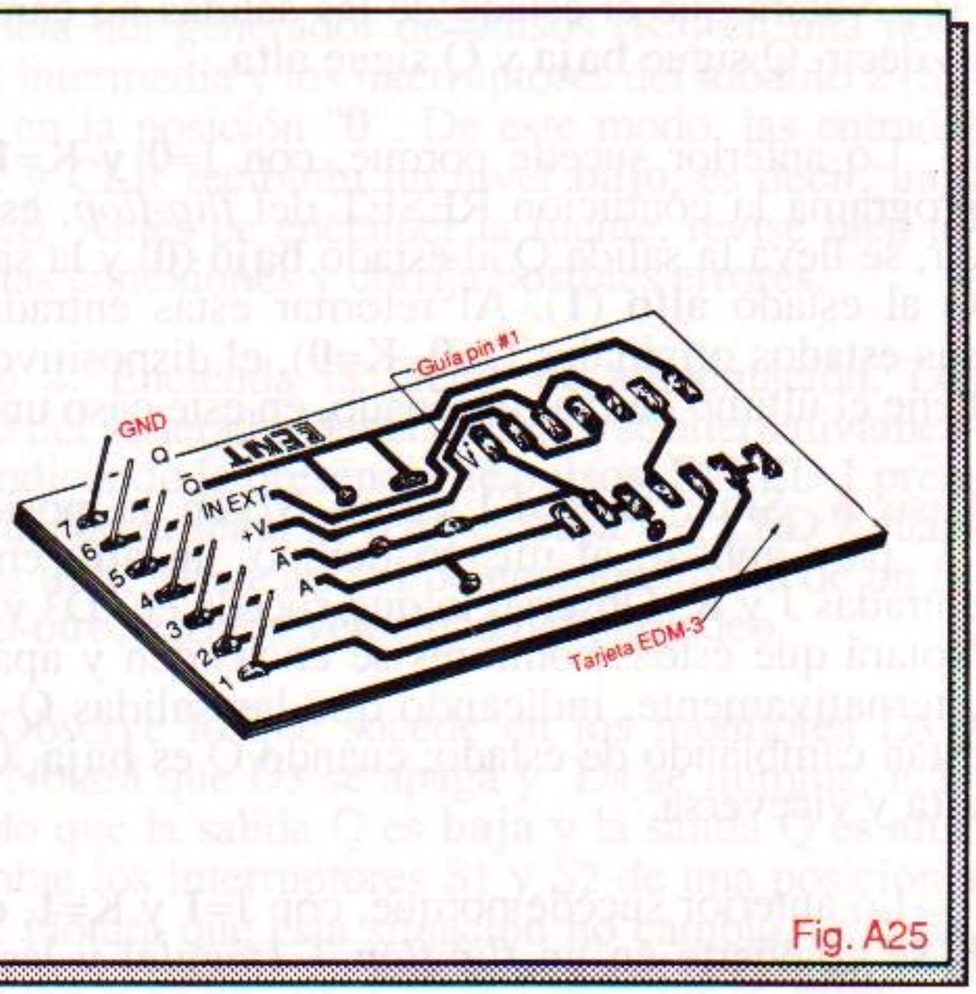


Fig. A25

ACTIVIDAD PRACTICA Nº 16 (cont.)

Prueba del módulo 3: Pulsador lógico sin rebote.

En esta segunda parte de la actividad 16 describiremos en detalle la operación del módulo 3, haciendo especial énfasis en sus características, y verificaremos experimentalmente el funcionamiento del mismo. El circuito de prueba utiliza también los módulos EDM-1 y EDM-2, construidos en actividades anteriores.

Componentes necesarios

1 módulo **EDM-1** (4 monitores lógicos).
1 módulo **EDM-2** (4 interruptores lógicos).
1 módulo **EDM-3** (1 pulsador lógico).
1 resistencia de 100 KΩ. **Rs**.
1 *protoboard*.
1 pila alcalina de 9V, una fuente de 9V (*kit* CEKIT **K10**) ó una fuente de 5V (*kit* CEKIT **K11**).
Puentes de alambre telefónico Nº 22 ó Nº 24.
Herramientas: pinzas, cortafríos.

Descripción del circuito de prueba

En la figura A25 se muestra el circuito que utilizaremos para probar el funcionamiento del módulo 3. Este último puede considerarse formado por dos secciones: un *latch* y un inversor. La entrada del *latch* es el pin #4 (IN EXT) y las salidas son los pines #6 (Q) y #5 ($\overline{Q}$). La entrada del inversor es el pin #1 (A) y su salida es el pin #2 ($\overline{A}$).

La tensión de alimentación del módulo (9V, en este caso) se aplica entre los pines #3 (+V,positivo) y #7 (GND, negativo). En general, el circuito puede operar con tensiones de alimentación desde +3V hasta +18V.

Normalmente, la salida Q es **baja** y la salida $\overline{Q}$ es **alta**. Cuando se acciona el pulsador S1 incorporado, las salidas cambian de estado, es decir Q se hace **alta** y $\overline{Q}$ se hace **baja**. Al liberar el pulsador, las salidas retornan a sus estados originales. El pulsador S1 puede sustituirse por un interruptor externo conectado entra el pin #4 (IN) y tierra.

Los monitores D1 y D2 visualizan, en su orden, el estado de las salidas Q y $\overline{Q}$ del *latch* y el monitor D3 el de la salida A del inversor. El interruptor S2 controla externamente el estado de la entrada IN EXT y el interruptor S3 el de la entrada $\overline{A}$.

Procedimiento

Paso 1. Arme sobre el *protoboard* el circuito de la figura A25. Inserte con cuidado los tres módulos y realice las conexiones indicadas. Antes de conectar la batería, sitúe S2 y S3 (módulo 2) en la posición "**1**". De este modo, las entradas del *latch* y del inversor recibirán ambas un nivel **alto**.

Paso 2. Conecte la batería. D2 (módulo 1) debe iluminarse y D1 y D3 deben permanecer apagados, indicando que la salida $\overline{Q}$ es **alta** y las salidas Q y $\overline{A}$ son **bajas**. Pase S3 a la posición "**0**" y oprima el pulsador S1 (módulo 3). D1 y D3 deben iluminarse y D2 debe apagarse, indicando que las salidas Q y $\overline{A}$ son **altas** y la salida $\overline{Q}$ es **baja**.

Libere S1 y retorne S3 a la posición "**0**". Pase S2 a la posición "**0**". D1 debe iluminarse y D2 debe apagarse, indicando que la salida Q es **alta** y la salida $\overline{Q}$ es **baja**. Esto sucede porque se está aplicando un **bajo** a a la entrada (pin #4) del circuito.

Si el circuito trabaja tal como se ha descrito, el módulo 3 está en perfectas condiciones. Si no es así, revise bien todas las soldaduras y asegúrese de que todos los componentes estén en su lugar, Busque soldaduras frías, trazos de cobre abiertos o en cortocircuito, componentes defectuosos, etc.

Circuito de prueba del módulo 3

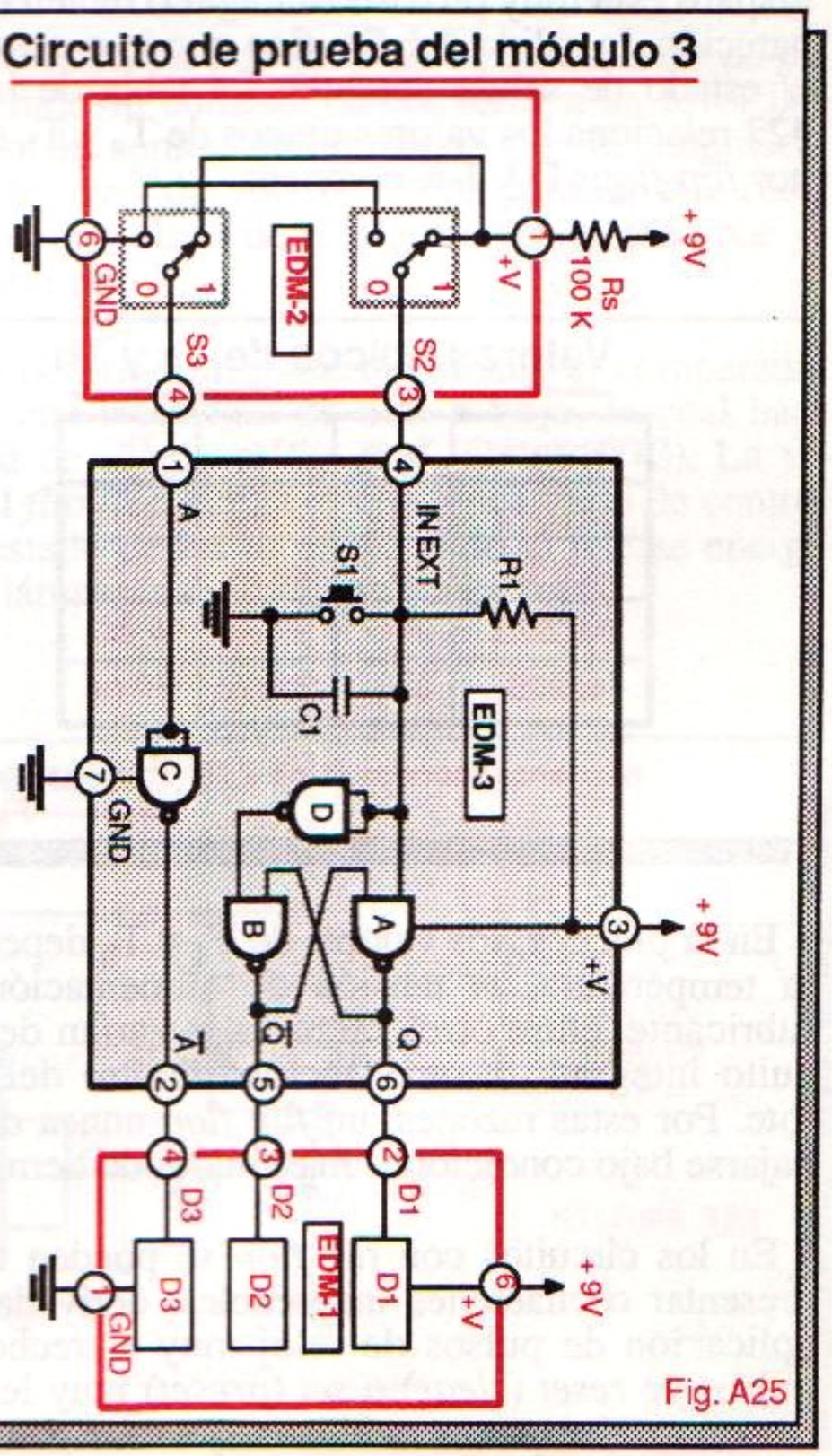


Fig. A25

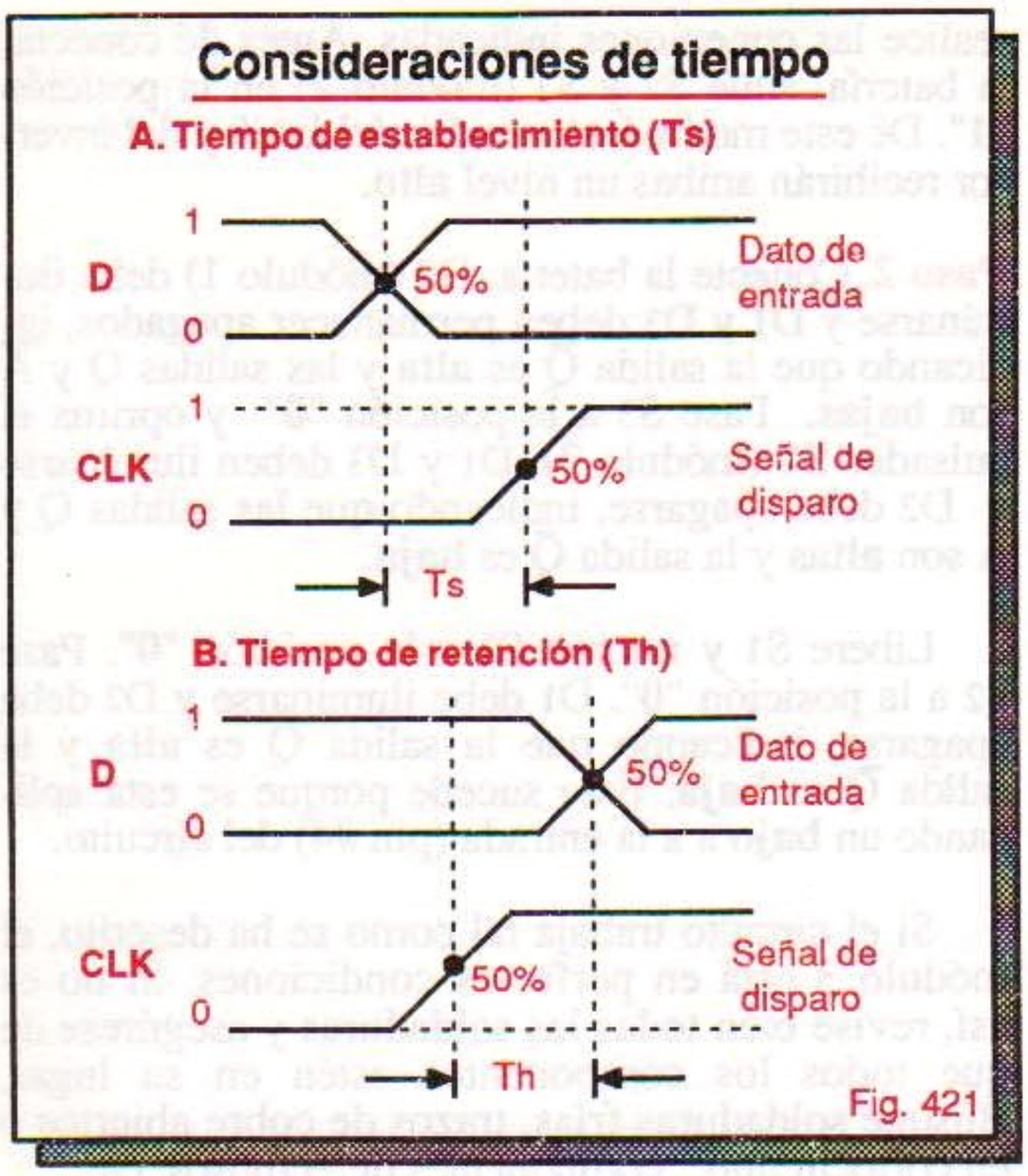


Fig. 421

Si el dato de entrada cambia cuando el flanco de disparo está muy próximo a llegar o recién ha desaparecido, la salida del *flip-flop* puede o no alcanzar el estado de salida deseado. La tabla de la figura 422 relaciona los valores típicos de T_s y T_h de algunos *flip-flops* D y J-K comunes.

Valores típicos de Ts y Th

Dispositivo	Tipo	Ts	Th
74LS74	D	25 ns	≈ 0 ns
4013B	D	40 ns	≈ 0 ns
74LS73	J-K	25 ns	5 ns
4027B	J-K	200 ns	≈ 0 ns

ns: nanosegundos (1 ns = 10^{-9} s)

Fig. 422

En la práctica, los valores de T_s y T_h dependen de la temperatura, la tensión de alimentación y del fabricante, entre otros factores, y varían de un circuito integrado a otro, incluso dentro del mismo lote. Por estas razones, un *flip-flop* nunca debe trabajarse bajo condiciones marginales de tiempo.

En los circuitos con *flip-flop* se pueden también presentar oscilaciones indeseables, derivadas de la aplicación de pulsos de reloj muy estrechos o de pulsos de *reset* (*clear*) o *set* (*preset*) muy lentos, es decir, con tiempos de subida muy prolongados.

CIRCUITOS DE APLICACION

Se presentan a continuación algunos circuitos prácticos construidos utilizando *flip-flops* de diferentes tipos. En estos proyectos, los *flip-flops* se emplean como memorias de un *bit*, divisores de frecuencia, interruptores de acción alternada *(toggle)*, etc. En la próxima lección se desarrollarán aplicaciones más complejas empleando estos dispositivos.

Juego electrónico de cara o cruz

El circuito de la figura 423 simula electrónicamente el conocido juego de azar "cara o cruz" que se ejecuta con las caras de cualquier moneda. El circuito consta de un oscilador astable con **555** y un *flip-flop* J-K configurado como *toggle* con **7473**.

Los LED 1 y 2 visualizan, en su orden, el estado lógico de las salidas Q y $\overline{Q}$ del *flip-flop* y representan las caras de la moneda (cara y cruz). El juego se inicia pulsando el botón S1.

En condiciones normales, las entradas J y K del *flip-flop* son **bajas** y el estado de la salida Q es **1** (cara) ó **0** (cruz), dependiendo del resultado del juego anterior. Cuando se pulsa S1, las entradas J y K reciben ambas un **alto** y las salidas cambian alternativamente de un estado al otro con cada pulso de reloj (modo *toggle*).

Al liberar S1, las entradas J y K quedan conectadas nuevamente a un nivel **bajo** y el *flip-flop* retiene, en su salida Q, el último estado. Este último es aleatorio y puede ser, indistintamente, un **alto** (cara) ó un **bajo** (cruz). La salida $\overline{Q}$ opera en forma contraria.

El circuito se puede también utilizar para tomar decisiones del tipo "si" (cara) o "no" (cruz) cuando usted no sabe que hacer ante una determinada situación.

Interruptor automático de luces

El circuito de la figura 424 enciende automáticamente una o más lámparas de potencia cuando alguien entra a un recinto y las apaga cuando sale, solucionando así un problema muy frecuente en ciertos almacenes y bodegas. Consta, básicamente, de un *latch* o *flip-flop* R-S, y una etapa de potencia con relé. El *latch* utiliza las cuatro compuertas NAND de un circuito integrado **4011B**.

Los interruptores que suministran las señales SET y RESET a las entradas S y R del *latch* se logran con sensores de presión colocados en el piso (ver proyecto central Nº 7). El sensor SET debe instalarse a la entrada del salón y el sensor RESET desplazado unos centímetros hacia el interior.

Juego electrónico cara o cruz

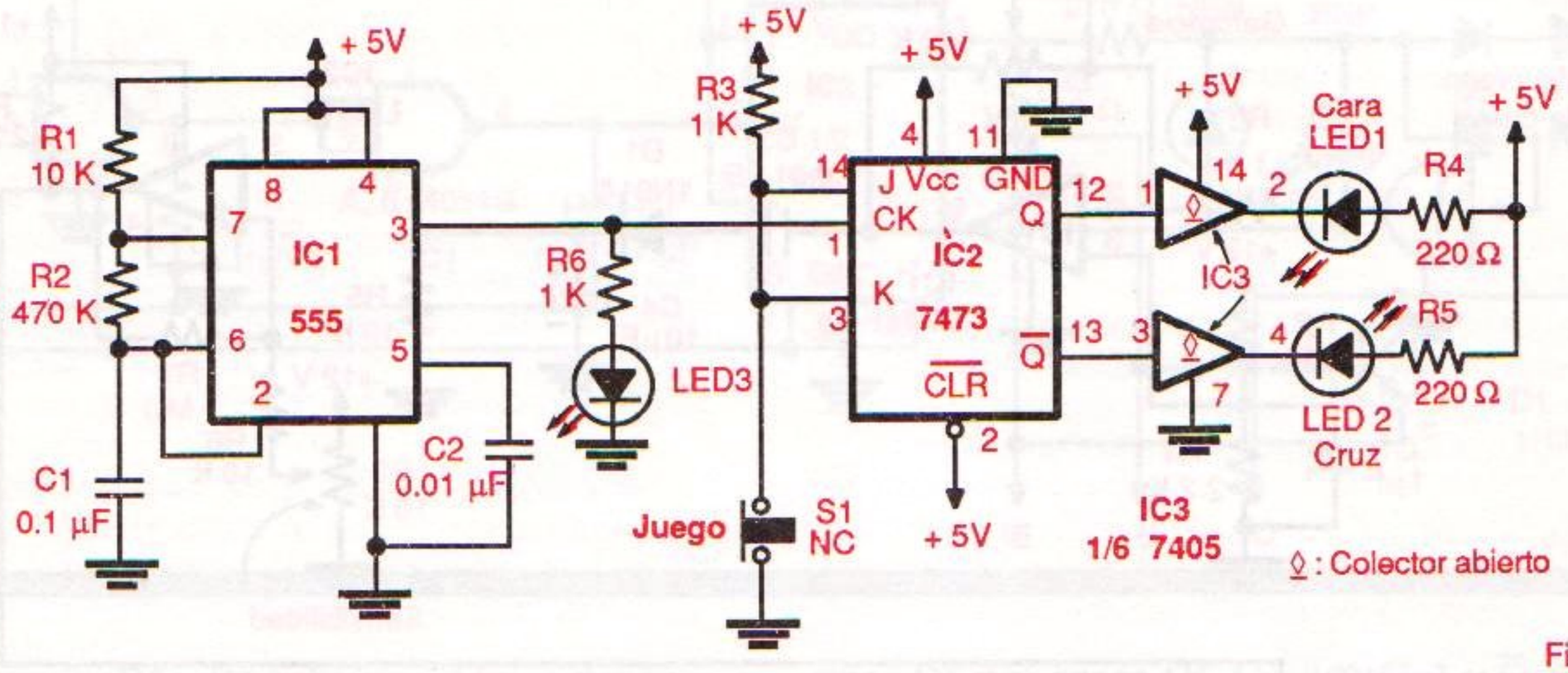


Fig. 423

Si alguien entra con las manos ocupadas (con paquetes, por ejemplo), pisa el sensor SET y lo activa, provocando que la salida Q del *latch* se haga **alta**. Por tanto, el transistor Q1 se satura y acciona el relé. Como resultado, la lámpara se prende.

Cuando esa persona sale, activa el sensor RESET, la salida Q se hace **baja,** el transistor Q1 se bloquea y el relé se desenergiza. En consecuencia, la lámpara se apaga.

Interruptor de luces activado por sonido

El circuito de la figura 425 activa una o más luces de potencia cuando se emite un sonido agudo y/o fuerte, por ejemplo, un grito, una palmada, etc. El pulso de sonido así generado se capta mediante un micrófono, se amplifica y se convierte en un pulso digital. Este último excita un *flip-flop* J-K conectado como *flip-flop* T (*toggle*).

El amplificador IC1 (**LM741**) aumenta hasta 500 veces el nivel de la señal captada por el micrófono, dependiendo de la posición de P1. Las resistencias R1 y R2 neutralizan los efectos del ruido ambiental mientras los condensadores C3 y C4 atenúan otro tipo de ruidos o sonidos de baja frecuencia.

La red formada por D1 y C4 es un *detector de pico*. Su función consiste en convertir a un nivel DC el pulso de sonido suministrado por el amplificador. Este nivel de voltaje se compara en IC2 (**LM 311**) con un voltaje de referencia establecido por el potenciómetro P2.

Si ha ocurrido un pulso de sonido, el comparador realiza una transición de **alto** a **bajo**, la cual hace cambiar de estado el *flip-flop* IC3 (**74C73**). La salida del *flip-flop* activa el relé, encargado de controlar el estado de las luces. Cuando el relé se energiza, las lámparas se iluminan y viceversa.

Interruptor automático de luces

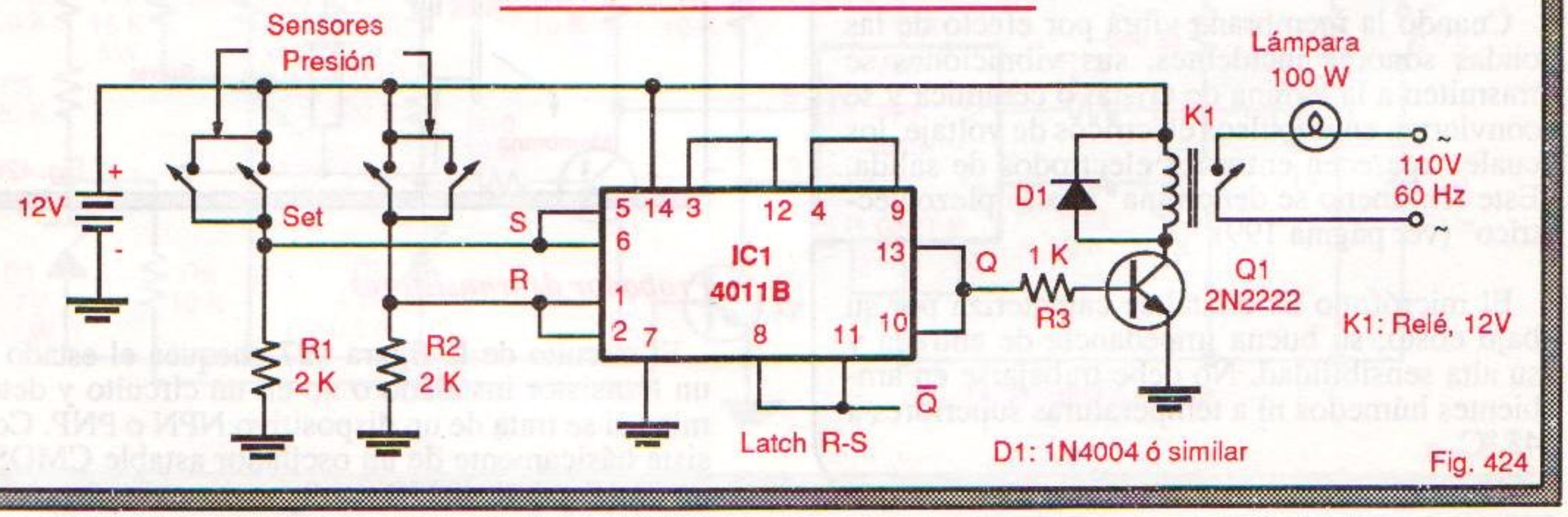


Fig. 424

Interruptor de luces activado por sonido

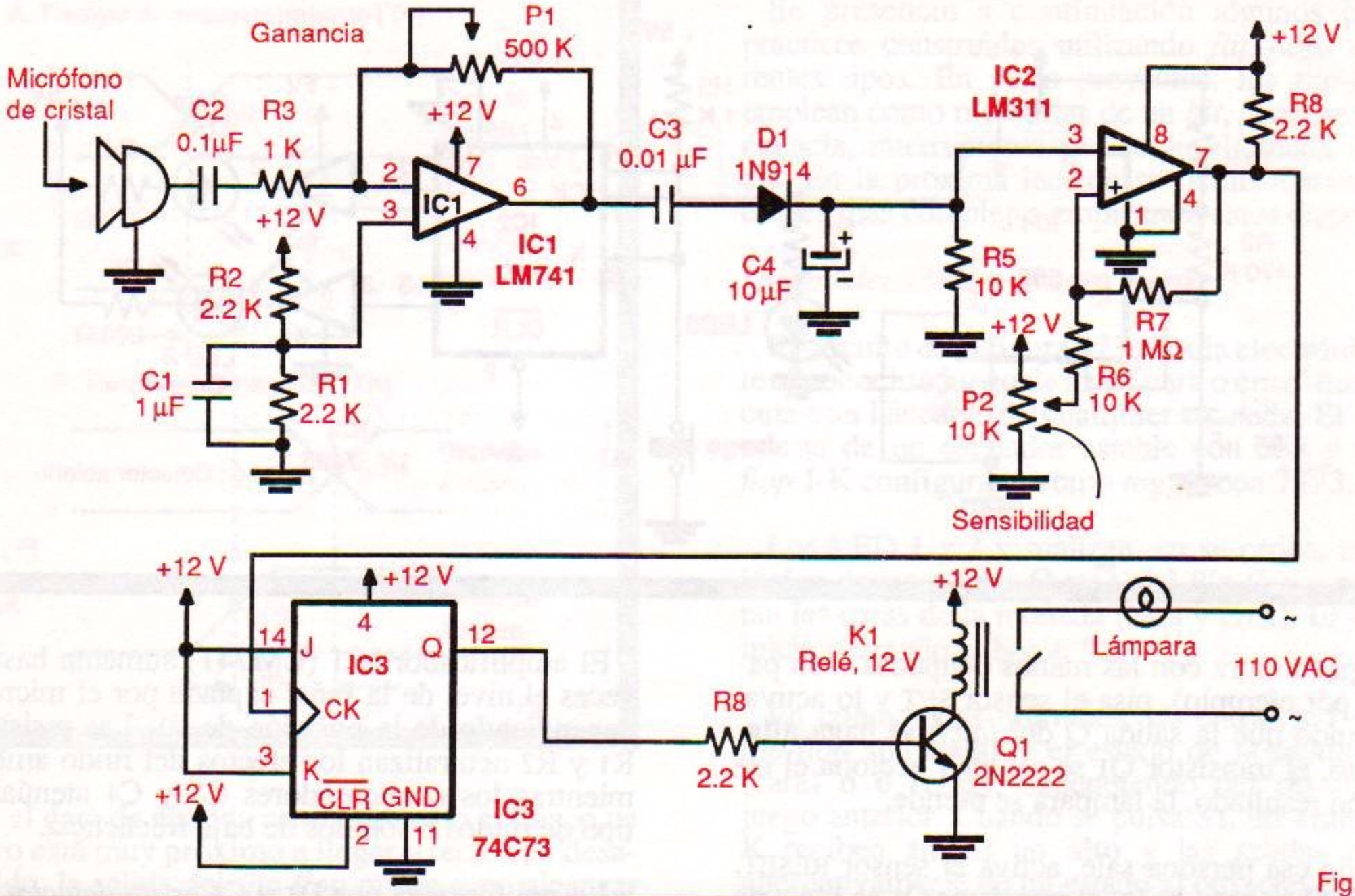


Fig. 425

Micrófonos de cristal

Un micrófono es un dispositivo que convierte ondas sonoras (voz, música, etc.) en impulsos o señales eléctricas, generalmente muy débiles. Existen varios tipos de micrófonos: de carbón, de condensador, *electret*, piezoeléctricos, magnéticos, dinámicos, de cinta, etc.

El micrófono utilizado en el circuito anterior es del tipo *piezoeléctrico* o de cristal. En la figura 426 se muestran el símbolo y la estructura interna de este dispositivo.

Cuando la membrana vibra por efecto de las ondas sonoras incidentes, sus vibraciones se trasmiten a la lámina de cristal o cerámica y se convierten en impulsos eléctricos de voltaje, los cuales aparecen entre los electrodos de salida. Este fenómeno se denomina "efecto piezoeléctrico" (ver página 199).

El micrófono de cristal se caracteriza por su bajo costo, su buena impedancia de entrada y su alta sensibilidad. No debe trabajarse en ambientes húmedos ni a temperaturas superiores a 45 ºC.

Micrófono de cristal

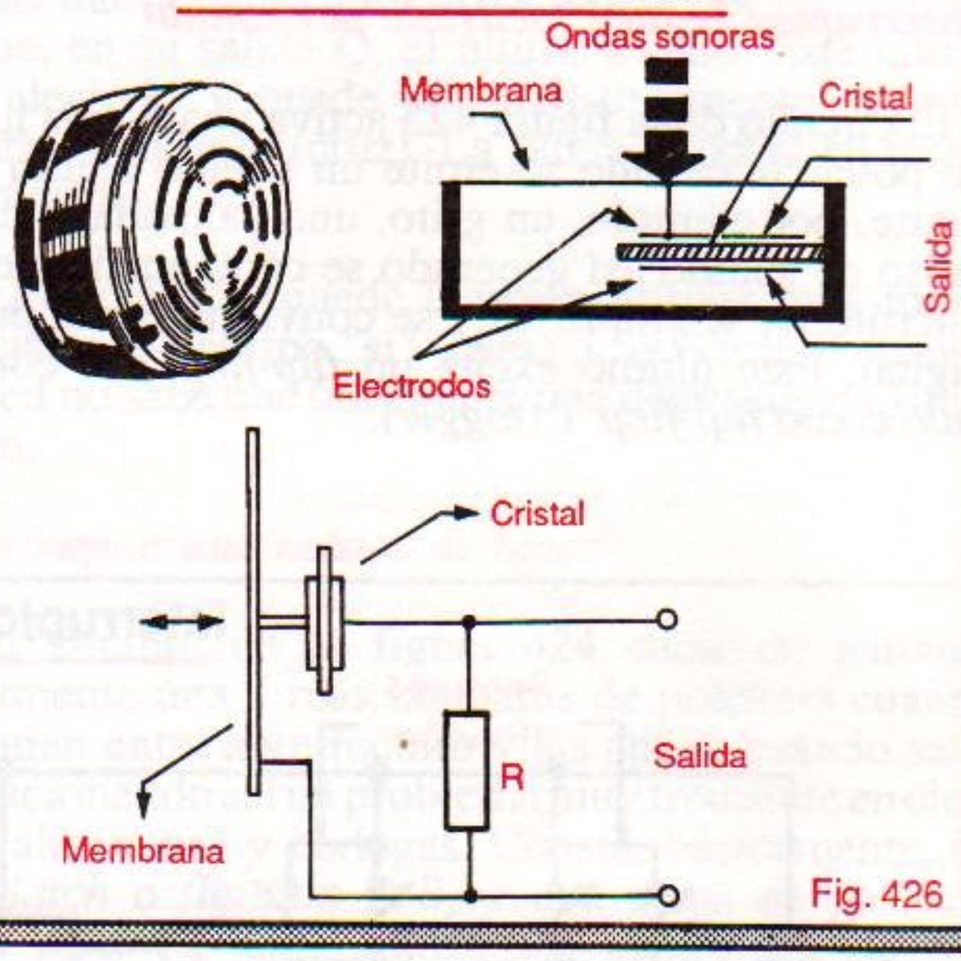


Fig. 426

Probador de transistores

El circuito de la figura 427 chequea el estado de un transistor instalado o no en un circuito y determina si se trata de un dispositivo NPN o PNP. Consiste básicamente de un oscilador astable CMOS y un *flip-flop* J-K **4027B** configurado como *toggle*.

Probador de transistores

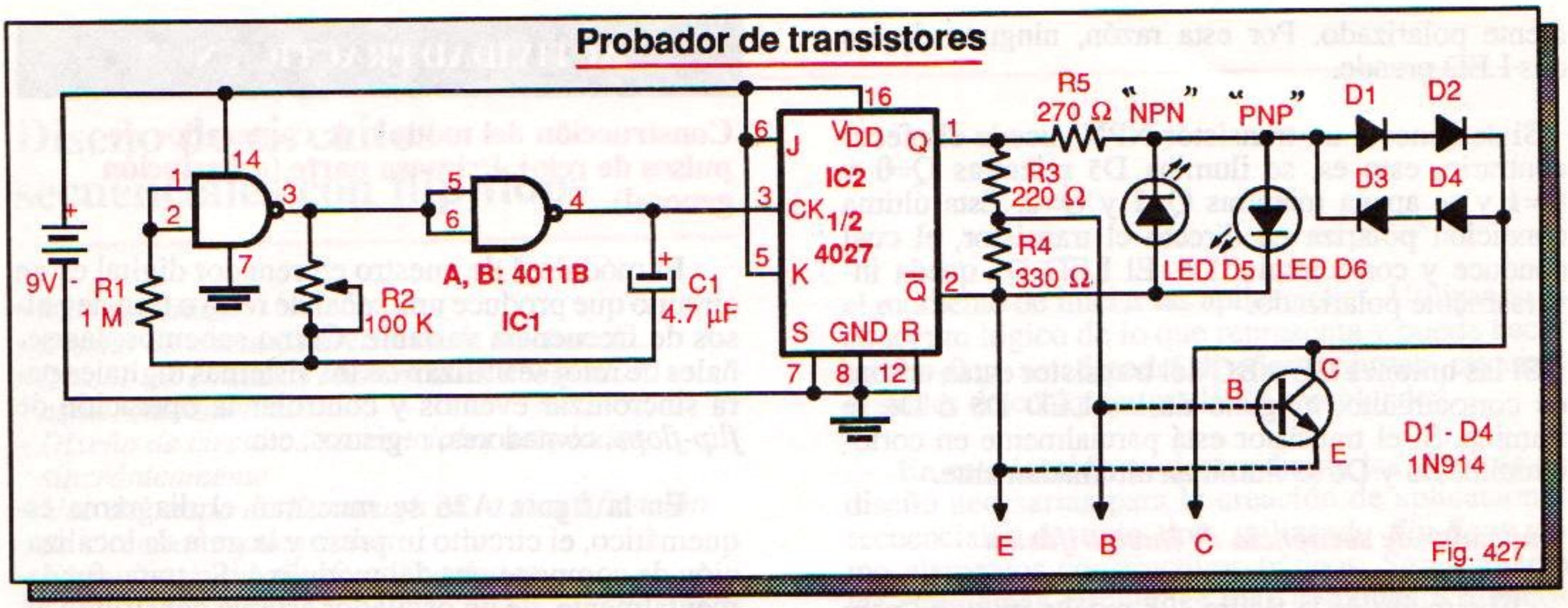


Fig. 427

Las resistencias R3 y R4 polarizan el transistor bajo prueba. Este último se conecta a los terminales E (emisor), B (base) y C (colector). Los LED D5 y D6 indican si el dispositivo es NPN o PNP o está abierto o en cortocircuito.

En el primer caso (NPN) parpadea D5, en el segundo (PNP) lo hace D6 y en el tercero (uniones BE y BC abiertas) lo hacen alternadamente. Si las uniones BE y BC están en cortocircuito, ninguno de los LED D5 ó D6 se ilumina.

Si los terminales de prueba E, B y C están al aire o las uniones BE y BC del transistor están abiertas o en cortocircuito, las salidas Q y $\overline{Q}$ cambian alternativamente de estado. Cuando Q=**0** y $\overline{Q}$=**1**, se ilumina D5 y se apaga D6. Cuando Q=**1** y $\overline{Q}$=**0**, se ilumina D6 y se apaga D5, y así sucesivamente.

Como resultado, los dos LED parpadean continuamente, a una frecuencia igual a la mitad de la frecuencia del reloj. La resistencia R5 limita la corriente de los LED a un valor seguro.

Si se conecta un transistor PNP en buen estado a los terminales E, B y C, el LED D6 se iluminará durante los ciclos de reloj que hacen **alta** la salida Q y permanecerá apagado en el caso contrario.

Esta última condición (Q=**0**, $\overline{Q}$=**1**) polariza directamente el transistor. Como resultado, el LED D5 queda en cortocircuito y el LED D6 queda inversa-

Indicador de secuencia de fases

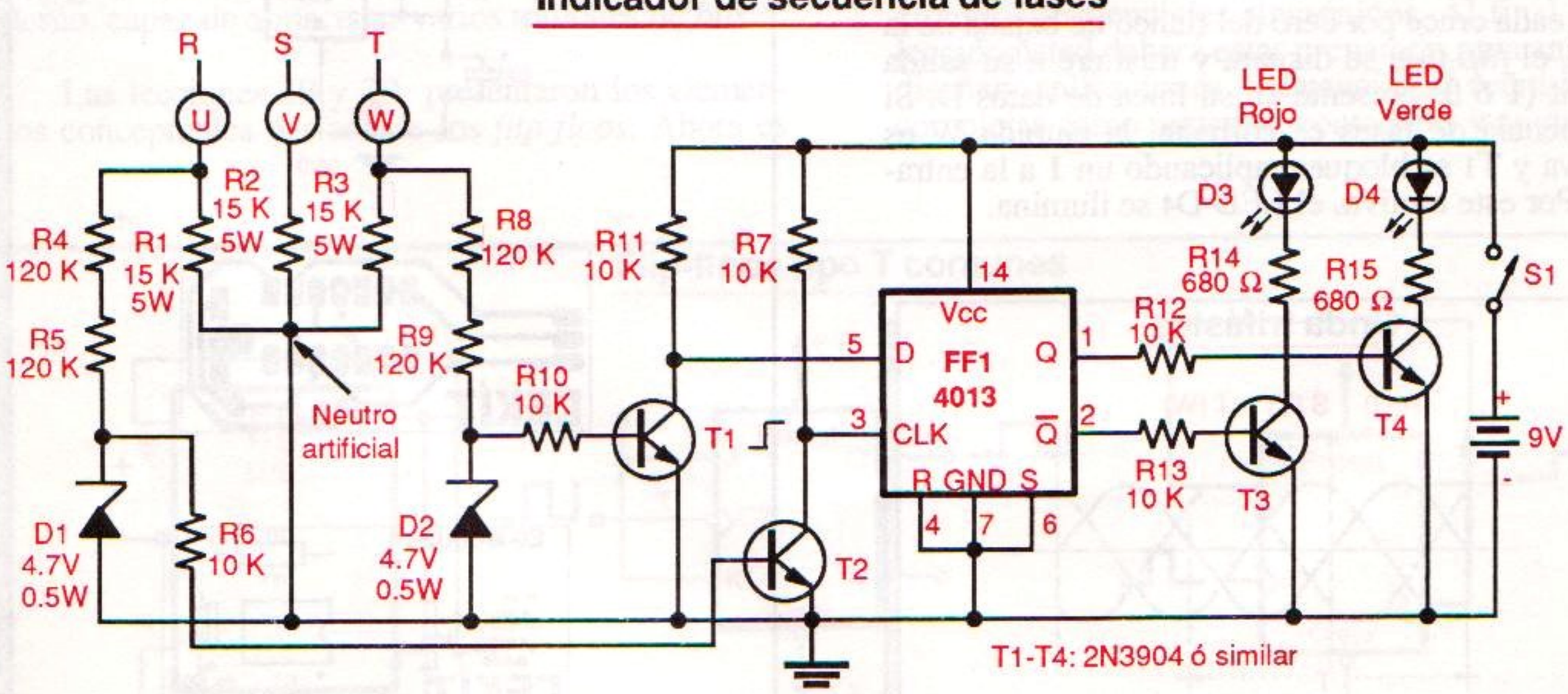


Fig. 428

mente polarizado. Por esta razón, ninguno de los dos LED prende.

Si se conecta un transistor NPN sucede el efecto contrario, esto es, se ilumina D5 mientras Q=**0** y $\bar{Q}$=**1** y se apaga mientras Q=**1** y $\bar{Q}$=**0**. Esta última condición polariza en directo el transistor, el cual conduce y cortocircuita D6. El LED D5 queda inversamente polarizado.

Si las uniones BE y BC del transistor están ambas en cortocircuito, ninguno de los LED D5 ó D6 se ilumina. Si el transistor está parcialmente en cortocircuito, D5 y D6 se iluminan alternadamente.

Indicador de secuencia de línea trifásica

El circuito de la figura 428 resulta muy útil para determinar la secuencia de las fases R, S y T de una onda trifásica. Esta secuencia es muy importante, por ejemplo, para garantizar que un motor trifásico gire en la dirección correcta. La inversión del orden de dos fases causa que el motor gire en sentido contrario.

La idea básica se resume en la figura 429. Las tres fases tienen la misma frecuencia y la misma amplitud pero difieren en su fase. Cuando una de las fases (por ejemplo R) pasa por cero, la siguiente (S) es positiva y la otra (T) es negativa. Esta condición se detecta en el circuito de la figura 429 utilizando un *flip-flop* D con sus entradas de datos y de reloj controladas por las fase W y R.

Cuando las tres fases se conectan a las entradas UVW en orden secuencial (RST, STR o TRS), se ilumina el LED D4. Cualquier otro orden (por ejemplo, RTS) provoca que se ilumine el LED D3.

En cada cruce por cero del flanco de bajada de la fase R, el *flip-flop* se dispara y trasfiere a su salida Q el bit (**1** ó **0**) presente en su línea de datos D. Si la secuencia de fases es correcta, la entrada W es negativa y T1 se bloquea, aplicando un **1** a la entrada D. Por este motivo. el LED D4 se ilumina.

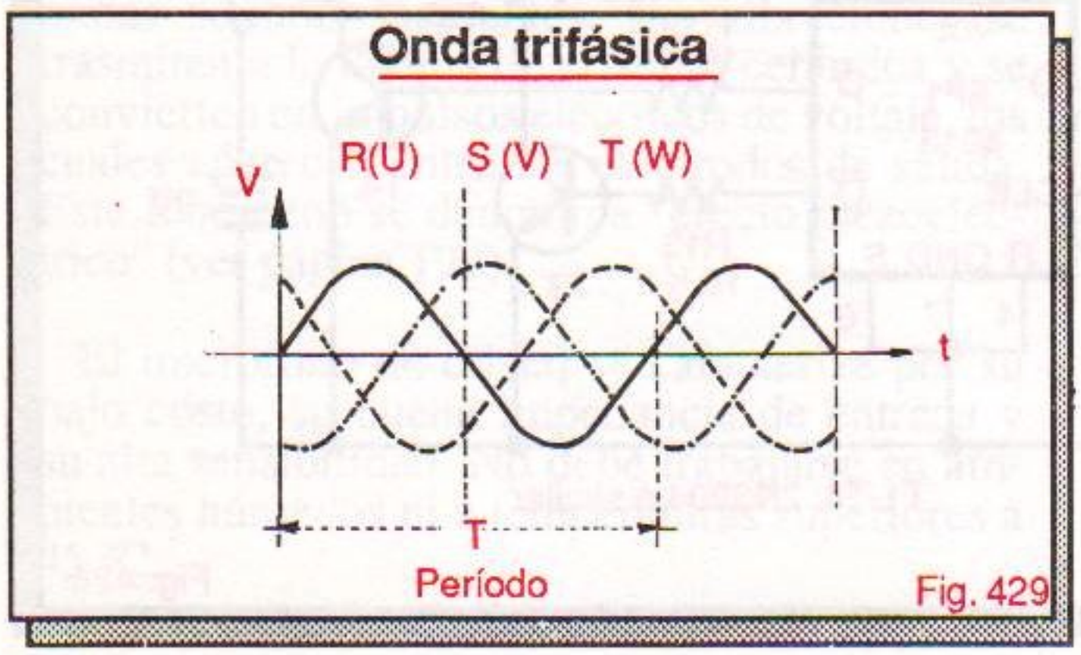


Fig. 429

ACTIVIDAD PRACTICA Nº 17

Construcción del módulo 4: Generador de pulsos de reloj. Primera parte (descripción general)

El módulo 4 de nuestro entrenador digital es un circuito que produce una señal de reloj o tren de pulsos de frecuencia variable. Como sabemos, las señales de reloj se utilizan en los sistemas digitales para sincronizar eventos y controlar la operación de *flip-flops*, contadores, registros, etc.

En la figura A26 se muestran el diagrama esquemático, el circuito impreso y la guía de localización de componentes del módulo 4. Se trata, fundamentalmente, de un oscilador astable construido alrededor de un circuito integrado **555**, del mismo tipo explicado en la lección 14.

La resistencia R1, el potenciómetro R2 y el condensador externo Cx determinan los parámetros de la onda de salida disponible en el terminal de acceso marcado OUT (#3). El módulo puede operar con tensiones de alimentación desde 3V hasta 18V, aplicadas entre los terminales #1 (+V) y #2 (GND).

A partir de la próxima actividad iniciaremos el ensamble paso a paso de este módulo.

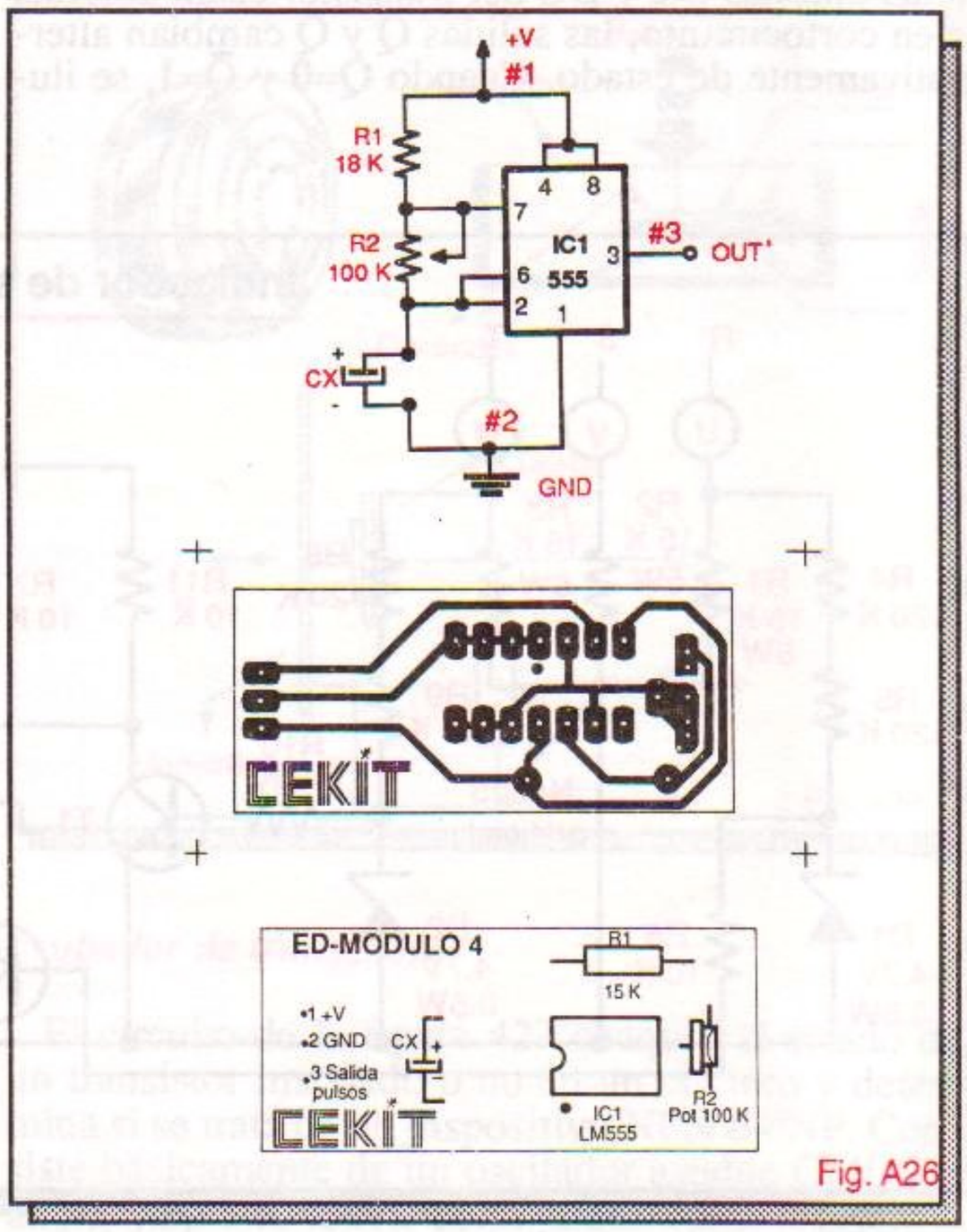


Fig. A26

Lección 21

Diseño de circuitos secuenciales con flip-flops

- *Introducción.*
- *Diseño de circuitos divisores de frecuencia.*
- *Diseño de circuitos secuenciales acoplados asincrónicamente.*
- *Diseño de circuitos secuenciales acoplados sincrónicamente.*
- *Uso del mapa de Karnaugh en la simplificación de circuitos secuenciales.*
- *Ejemplos de diseño de aplicaciones.*

Introducción

En las lecciones anteriores se estudiaron las características generales de los *flip-flops* sincrónicos y asincrónicos más comunes (R-S, M/S, T, D y J-K) y se describieron varios circuitos de aplicación representativos. En esta lección aprenderemos a utilizarlos como elementos de diseño.

Según hemos visto, el *flip-flop* introduce, en un circuito digital, un elemento importantísimo como es la "memorización" de eventos a lo largo de un tiempo determinado. Con el hecho anterior, el circuito digital adquiere mayor potencia lógica y, por tanto, mayor funcionalidad.

No sobra repetirlo: las posibles aplicaciones de circuitos con *flip-flops* son muy amplias y van desde la sencilla celda de memoria de un *bit* que enmascara el rebote mecánico de un interruptor hasta la gigantesca memoria RAM de un computador moderno, capaz de almacenar varios millones de *bits*.

Las lecciones 19 y 20 presentaron los elementos conceptuales básicos de los *flip-flops*. Ahora es el momento de iniciar las aplicaciones. Utilizando el concepto lógico de lo que representa y puede hacer un *flip-flop*, usted podrá diseñar y ajustar circuitos digitales de cualquier grado de complejidad.

En esta lección se desarrollarán las técnicas de diseño necesarias para la creación de aplicaciones secuenciales de todo tipo, utilizando *flip-flops* como elementos constructivos básicos. Se estudiarán las estrategias circuitales más comunes y algunos procedimientos analíticos sencillos de diseño y simplificación como el diagrama de estados y el mapa de Karnaugh.

Tenga presente siempre lo siguiente: estos "procedimientos" son simplemente reglas mecánicas para efectuar un diseño. De manera aparente, y en las primeras etapas del estudio, pueden aparecer como dispendiosas o complejas. No obstante, a medida que se practica un poco en su mecánica se puede apreciar la gran ventaja que ofrecen durante un proceso de diseño.

Inicialmente se estudiarán las configuraciones usadas para dividir frecuencia. La división de frecuencia es una de las necesidades y situaciones más frecuentes en el diseño de sistemas digitales.

Posteriormente, introduciremos los principios de diseño de circuitos secuenciales asincrónicos y describiremos un método sistemático de diseño de circuitos secuenciales sincrónicos. Al final de esta lección usted deberá estar preparado para analizar y diseñar aplicaciones secuenciales relativamente complejas como registros, contadores y memorias.

Flip-flops tipo T comunes

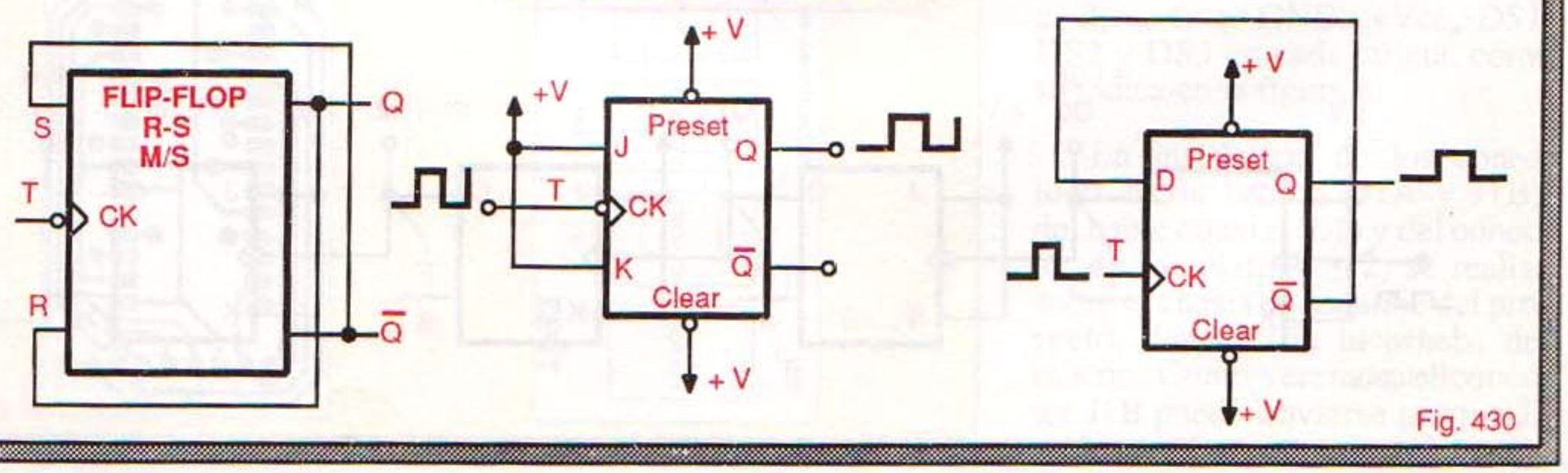


Fig. 430

Diseño de circuitos divisores de frecuencia

Como vimos en la lección 20, es muy fácil dividir por dos la frecuencia de una señal de entrada utilizando un *flip-flop* T o *toggle* sincrónico. En la figura 430 se resume la forma de obtener un *flip-flop* T a partir de un *flip-flop* R-S, un *flip-flop* D y un *flip-flop* J-K.

En todos los casos, cada vez que se aplica un pulso de reloj a la entrada T del *flip-flop*, la salida Q cambia de estado. Por tanto, se necesitan dos pulsos completos de reloj para producir un pulso de salida, es decir, para lograr que Q pase de un estado al otro y retorne al estado inicial.

Ilustremos mediante un caso concreto la aplicación de este concepto. Suponga, por ejęmplo, que se pretende conectar un convertidor análogo/digital **ADC0816** a un microprocesador **8085**. El convertidor opera a 500 KHz pero el reloj maestro del microprocesador es de 1 MHz.

La solución a este problema es muy simple: basta con dividir por dos la frecuencia del reloj maestro (1 MHz) y aplicar la señal resultante (500 KHz) a la entrada de reloj del conversor. Esto se puede lograr, por ejemplo, utilizando un *flip-flop* D **74LS74** conectado como *toggle* (figura 431).

Otro ejemplo de aplicación de esta teoría es el generador de reloj para microprocesador presentado en la lección 17 (página 210). En este caso, se utiliza un *flip-flop* D divisor de frecuencia para obtener una frecuencia de 1.79 MHz a partir de un oscilador a cristal de 3.58 MHz.

Conectando N *flip-flops* T en cascada se obtiene un circuito que divide hasta por 2^N la frecuencia de entrada. Por ejemplo, si se conectan cuatro *flip-flops* T en cascada (N=4), se pueden lograr frecuencias de salida iguales a F/2, F/4, F/8 y F/16, siendo F la frecuencia de entrada.

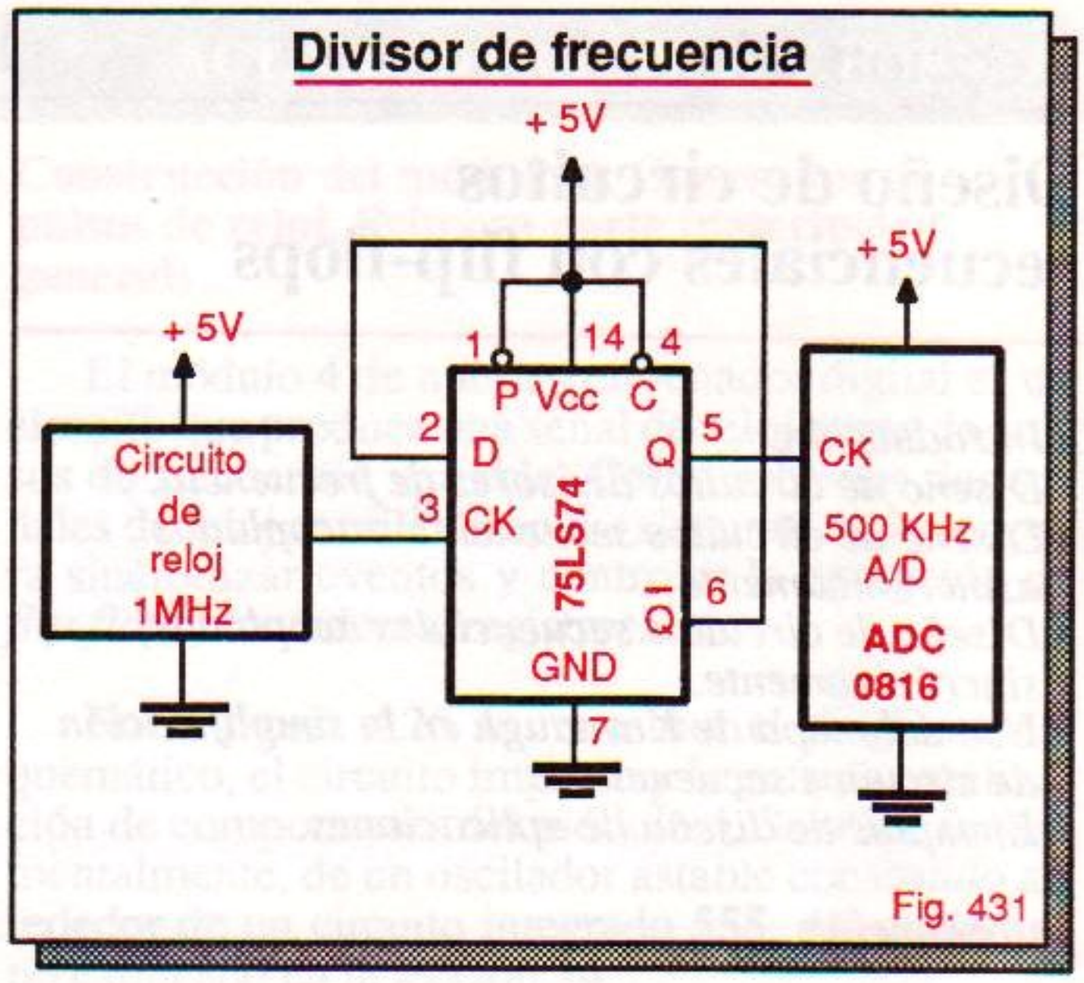


Fig. 431

La situación anterior se ilustra en la figura 432. Debido a que la señal de reloj no activa simultáneamente todas las líneas de reloj de los *flip-flops*, se dice que estos últimos están acoplados asincrónicamente. El diseño de circuitos asincrónicos más generales se explica en la próxima sección.

Observe que la señal de salida de cada *flip-flop* es, a su vez, la señal de reloj del *flip-flop* siguiente. La señal de reloj del primer *flip-flop* es la misma señal de entrada.

El circuito de la figura 432 aporta varios conceptos de diseño de circuitos con *flip-flops*, sobre los que vale la pena detenerse un poco más.

En primer lugar, cada *flip-flop* se convierte en *toggle* conectando sus entradas (J y K) a un nivel **alto** (**1**) permanente. En segundo lugar, la salida de cada *flip-flop* cambia de estado cuando su entrada de reloj realiza una transición negativa, es decir, pasa de **alto** a **bajo**.

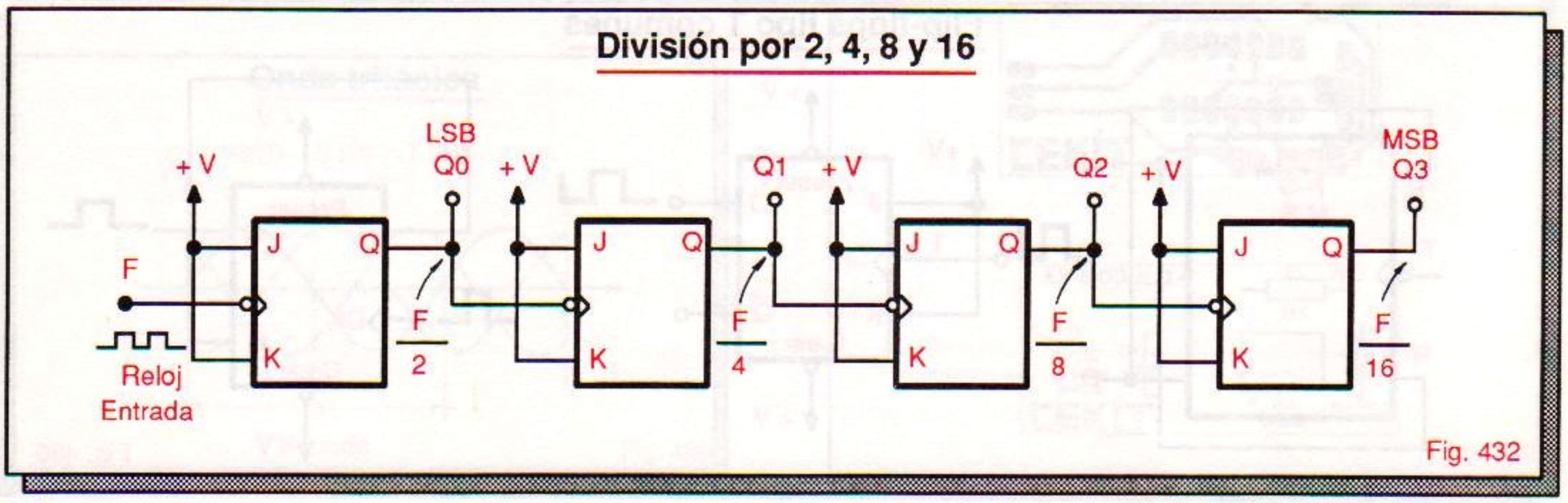


Fig. 432

Diagramas de tiempos del circuito de la figura 432

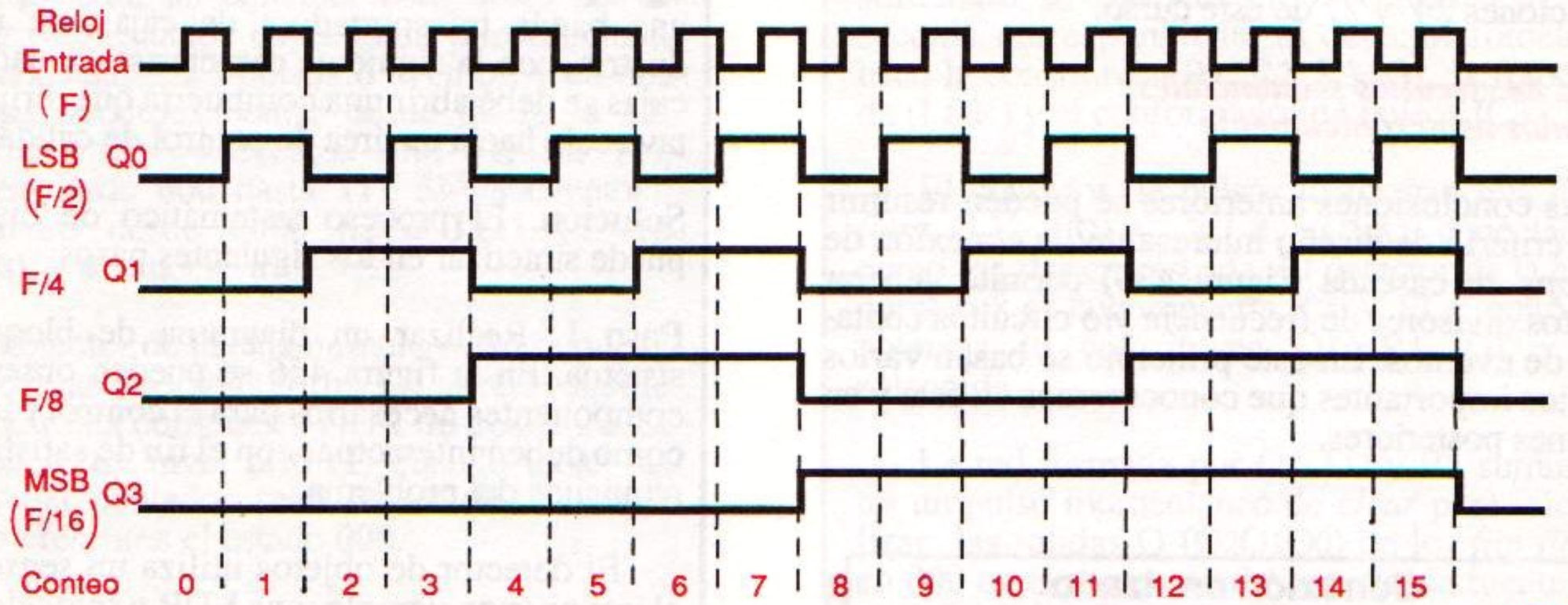


Fig. 433

Como resultado de lo anterior, en la salida Qo se obtiene una frecuencia igual a F/2, en la salida Q1 una frecuencia igual a F/4, en la salida Q2 una frecuencia igual a F/8 y en la salida Q3 una frecuencia igual a F/16. El diagrama de tiempos de la figura 433 resume las conclusiones anteriores.

La tabla de la figura 434 relaciona las combinaciones de estados correspondientes a cada pulso de reloj. Para el primer pulso, Q3Q2Q1Qo=**0001**, para el segundo, Q3Q2Q1Qo=**0010**, y así sucesivamente. Después de 16 pulsos, Q3Q2Q1Qo=**0000** y se repite el mismo proceso.

Tabla de conteo

Salidas				Conteo
MSB			LSB	
Q3	Q2	Q1	Q0	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

Fig. 434

La tabla anterior nos permite concluir algo importantísimo: el circuito de la figura 432, además de dividir la frecuencia, lleva la "cuenta" del número de pulsos de reloj que transcurren. En otras palabras, esta conexión de *flip-flops* es, intrínsecamente, un contador de pulsos de 4 *bits*.

Los valores lógicos presentes en las cuatro salidas siguen una secuencia binaria desde 0 (**0000**) hasta 15 (**1111**), la cual se incrementa con cada pulso de reloj. Interpretando estos códigos o combinaciones de estados como números binarios, la salida Q3 corresponde al *bit más significativo* (MSB) y la salida Qo al *bit menos significativo* (LSB).

Cada *bit* tiene un valor o peso, dependiendo de su posición. Específicamente, a Q3 le corresponde un peso de 2^3=8, a Q2 un peso de 2^2=4, a Q1 un peso de 2^1=2 y a Q0 un peso de 2^0=1. La cifra decimal (número de pulsos) representada por cada código es la suma ponderada de sus *bits*.

Por ejemplo, Q3Q2Q1Q0=**0110** equivale a 0x8 + 1x4 + 1x2 + 0x1 = 0+4+2+0 = 6, es decir, a un conteo de 6 pulsos. El comportamiento de los números binarios es análogo al de los números decimales que utilizamos en todas nuestras actividades.

En el número 364, por ejemplo, el 3 tiene una ponderación de 100 (10^2), el 6 una ponderación de 10 (10^1) y el 4 una ponderación de 1 (10^0).

Por tanto:

$$364 = 3x100 + 6x10 + 4x1 = 300 + 60 + 4$$

Los distintos sistemas de numeración, incluyendo el binario y el decimal, se estudian en detalle en las lecciones 24 y 27 de este curso.

Diseño de circuitos secuenciales acoplados asincrónicamente

Las conclusiones anteriores se pueden resumir en un criterio de diseño interesante: la conexión de *flip-flops* en cascada (figura 435) permite generar circuitos divisores de frecuencia y/o circuitos contadores de eventos. En este principio se basan varios circuitos importantes que conoceremos en ésta y en lecciones posteriores.

Conexión en rizado

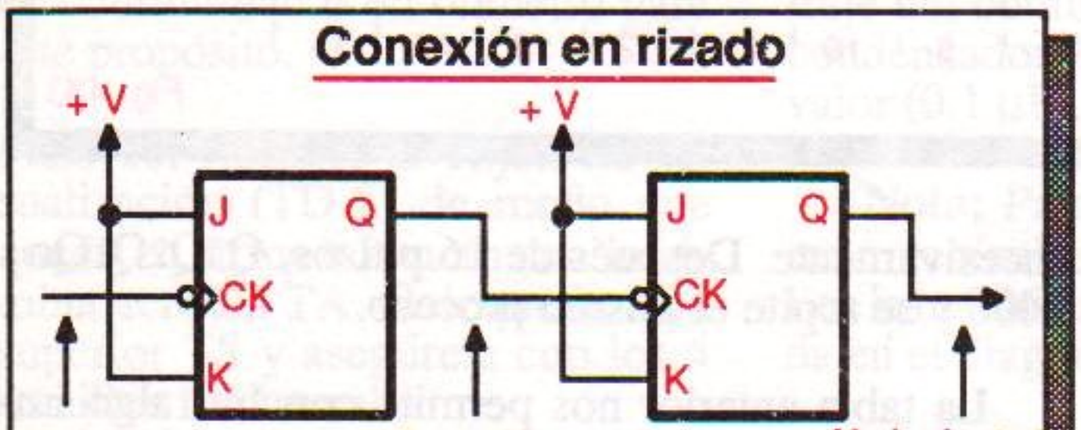


Fig. 435

Debido a que la señal maestra de reloj no activa al mismo tiempo todas las entradas de reloj de los *flip-flops* si no únicamente la del *flip-flop* asociado al *bit* menos significativo, se dice que estos dispositivos están acoplados *asincrónicamente* o conectados en *rizado*.

El siguiente ejemplo de diseño aclara y desarrolla aun más los conceptos expuestos.

Ejemplo. Diseñar un sistema de control para una banda transportadora de cajas, en una industria, con la siguiente característica: cada ocho cajas se debe abrir una compuerta que dirija la octava caja hacia un área de control de calidad.

Solución. El proceso sistemático de diseño se puede sintetizar en los siguientes pasos:

Paso 1. Realizar un diagrama de bloques del sistema. En la figura 436 se pueden observar los componentes necesarios para el control y la forma como deben interactuar con el fin de satisfacer los requisitos del problema.

El detector de objetos utiliza un sensor foto-eléctrico (por ejemplo, una LDR o fotocelda) para detectar la presencia de las cajas. Cada vez que una caja interrumpe el rayo de luz que incide sobre la fotocelda, el detector emite un pulso. Estos pulsos son registrados por un contador.

El contador se puede realizar utilizando tres (3) *flip-flops* J-K conectados como T *(toggles)* en cascada. Usted se preguntará: ¿por qué tres *flip-flops*?. La respuesta es muy sencilla: porque con tres *flip-flops* podemos contar hasta 8 eventos (pulsos), correspondiendo a cada evento un código distintivo entre **000** y **111**.

Cuando se detecta la primera caja, las salidas pasan de **000** a **001**, cuando se detecta la segunda pasan de **001** a **010**, y así sucesivamente. Cuando se detecta la octava caja, pasan de **111** a **000** y cuando se se detecta la novena pasan de **000** a **001**, repitiéndose el mismo proceso.

Diagrama de bloques del control

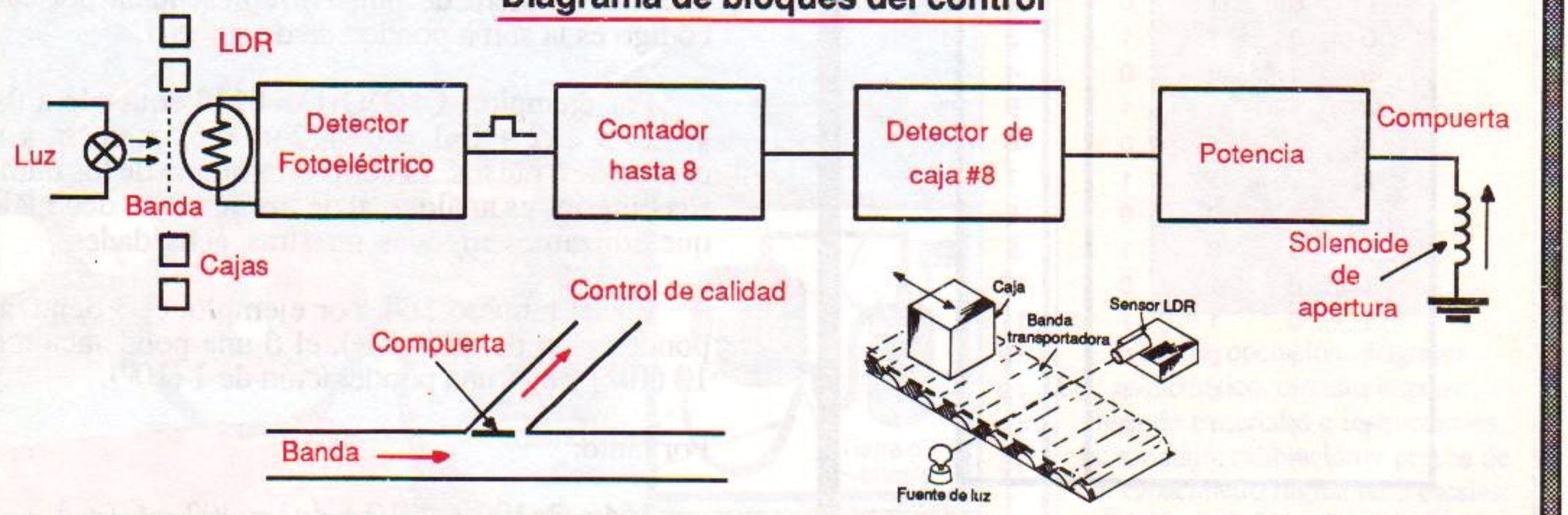


Fig. 436

En general, un contador compuesto por N *flip-flops* conectados en cascada puede contar, en binario, hasta 2^N pulsos o eventos. Con dos *flip-flops* podemos contar desde **00** hasta **11**, es decir, $2^N=2^2=4$ eventos (**00**, **01**, **10**, **11**), con tres desde **000** hasta **111** ($2^3=8$ eventos), con cuatro desde **0000** hasta **1111** ($2^4=16$ eventos), y así sucesivamente.

El detector de la caja número ocho se puede implementar de varias formas. La más sencilla es utilizar una compuerta NOR de tres entradas que genere un nivel **alto** (**1**) cuando todas las salidas del contador sean **bajas** (**0**), es decir cuando presenten el estado **000**.

Este último código identifica, de manera inequívoca, la última caja (la octava) de cada serie. La señal suministrada por el detector anterior es interpretada por un circuito de potencia, el cual dispara un solenoide (ver lección 8) encargado de abrir la compuerta de la banda de control de calidad.

El circuito de potencia se puede realizar en la práctica utilizando, por ejemplo, un transistor. Cuando la salida del detector de la caja 8 se activa, es decir se hace **alta**, el transistor se satura y energiza el solenoide. Mientras la señal del detector sea **baja**, el transistor permanece bloqueado.

El circuito completo del sistema de control solicitado se muestra en la figura 437. La sección correspondiente al detector fotoeléctrico la constituyen R1, R2, R3, Q2, la fotocelda (LDR) y el conformador de pulsos IC3.

El contador de pulsos lo forman tres *flip-flops* J-K (IC1-A, IC1-B, IC2-A) conectados como *toggles* en cascada. El detector de la caja número 8 es la compuerta IC4-A. El circuito de potencia lo constituyen Q1, R4, D1 y el solenoide.

La red formada por C1, D2 y R5 suministra un pulso momentáneo de *clear* para inicializar las salidas Q (Q2Q1Q0) de los *flip-flops* en **000** en el momento de conectar la fuente de alimentación.

Acoplando asincrónicamente varios *flip-flops* se pueden efectuar conteos en binario hasta cualquier límite deseado. Como vimos en la lección 20, existen circuitos integrados como el **4040B** y otros (ver página 248) que contienen hasta 12 ó 14 *flip-flops* en cascada.

Un contador con 14 *flip-flops*, por ejemplo, puede registrar hasta $2^{14}=16384$ pulsos de reloj y proveer frecuencias submúltiplos de 2 de la frecuencia de entrada (f) desde f/2 hasta f/16384.

Los contadores conectados en rizado son económicos y fáciles de construir pero presentan ciertos

Circuito de control de banda transportadora

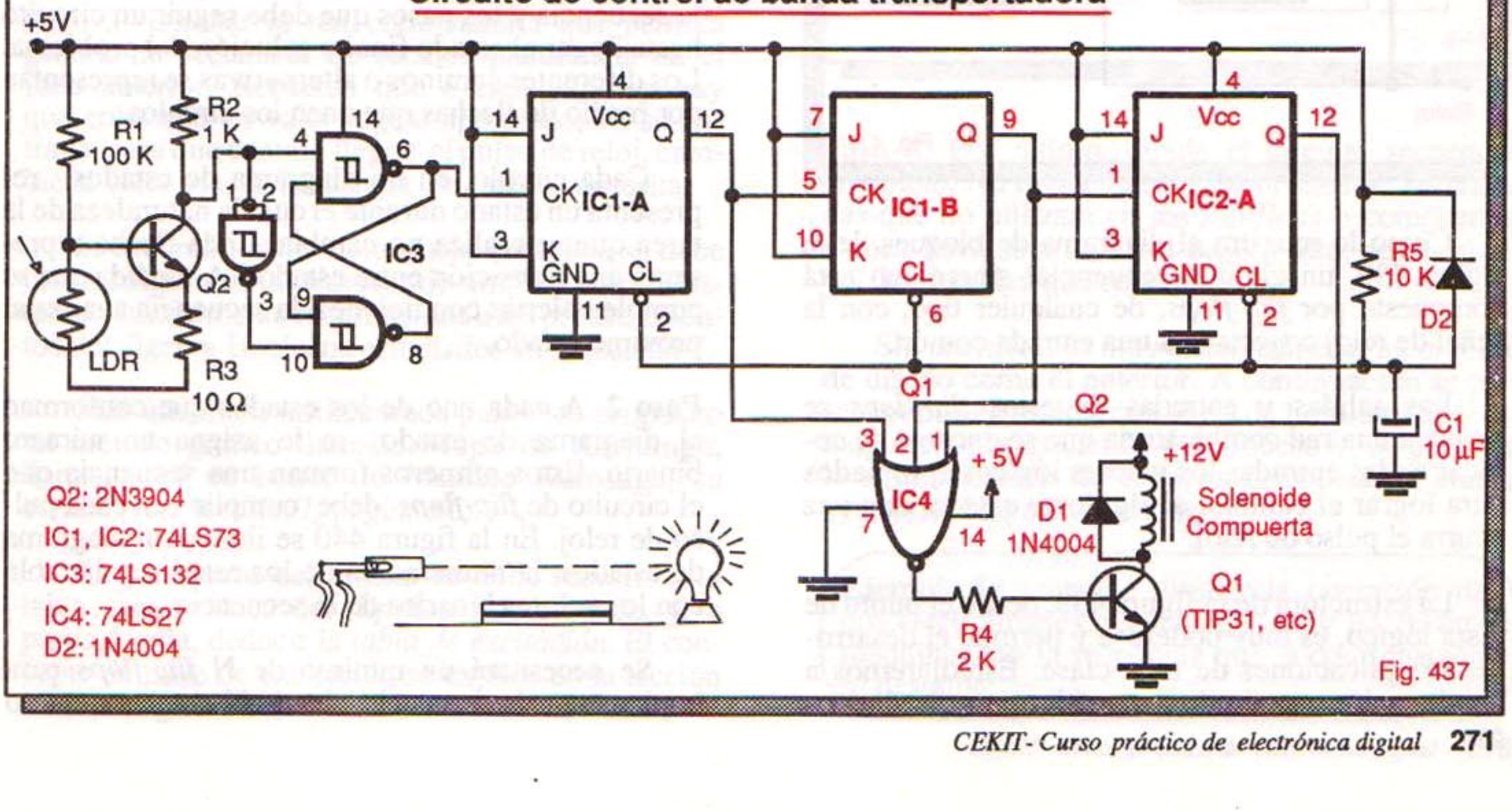


Fig. 437

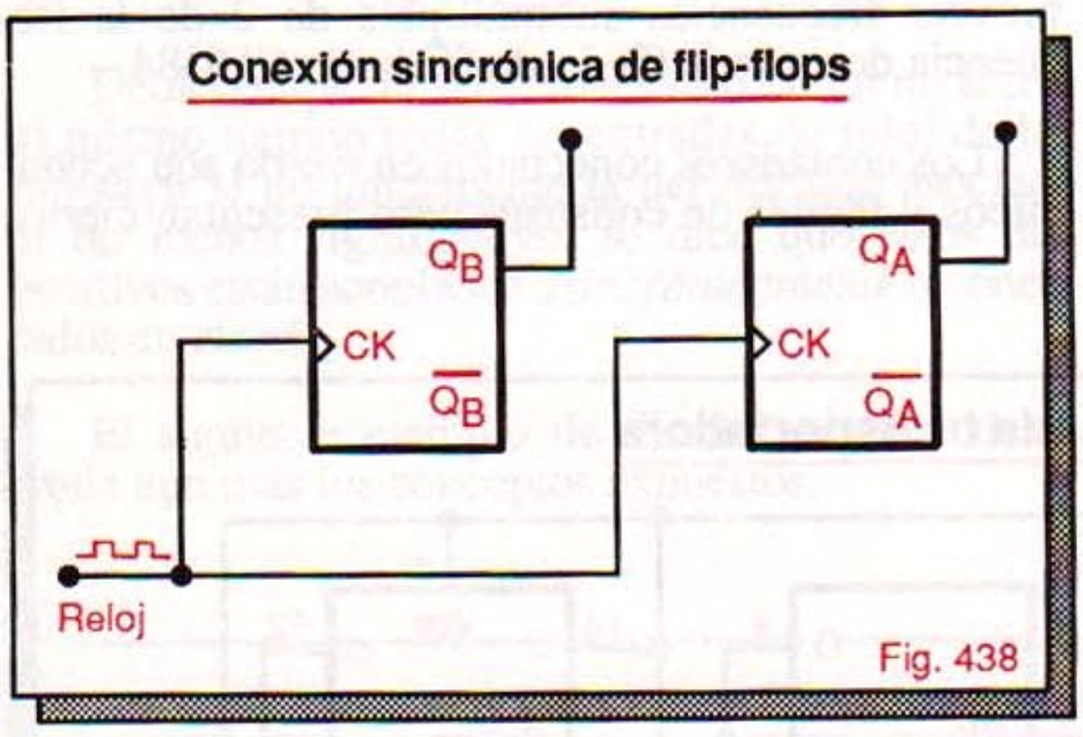
problemas de velocidad. Como la señal de reloj debe propagarse en rizado a lo largo de todos los *flip-flops* conectados, se genera un retraso que se debe tener en cuenta a la hora de seleccionar la frecuencia del reloj de entrada.

La desventaja anterior lleva a la búsqueda de una configuración circuital en la que el pulso de reloj se le aplique, de manera simultánea, a todos los *flip-flops* del sistema. A esta nueva estructura, que se estudiará en la sección que sigue, se le denomina circuito secuencial sincrónico.

Diseño de circuitos secuenciales acoplados sincrónicamente

En los circuitos completamente sincrónicos, la señal de reloj o de sincronización se conecta, de manera simultánea, a todas las entradas de reloj de los *flip-flops* que integran el circuito.

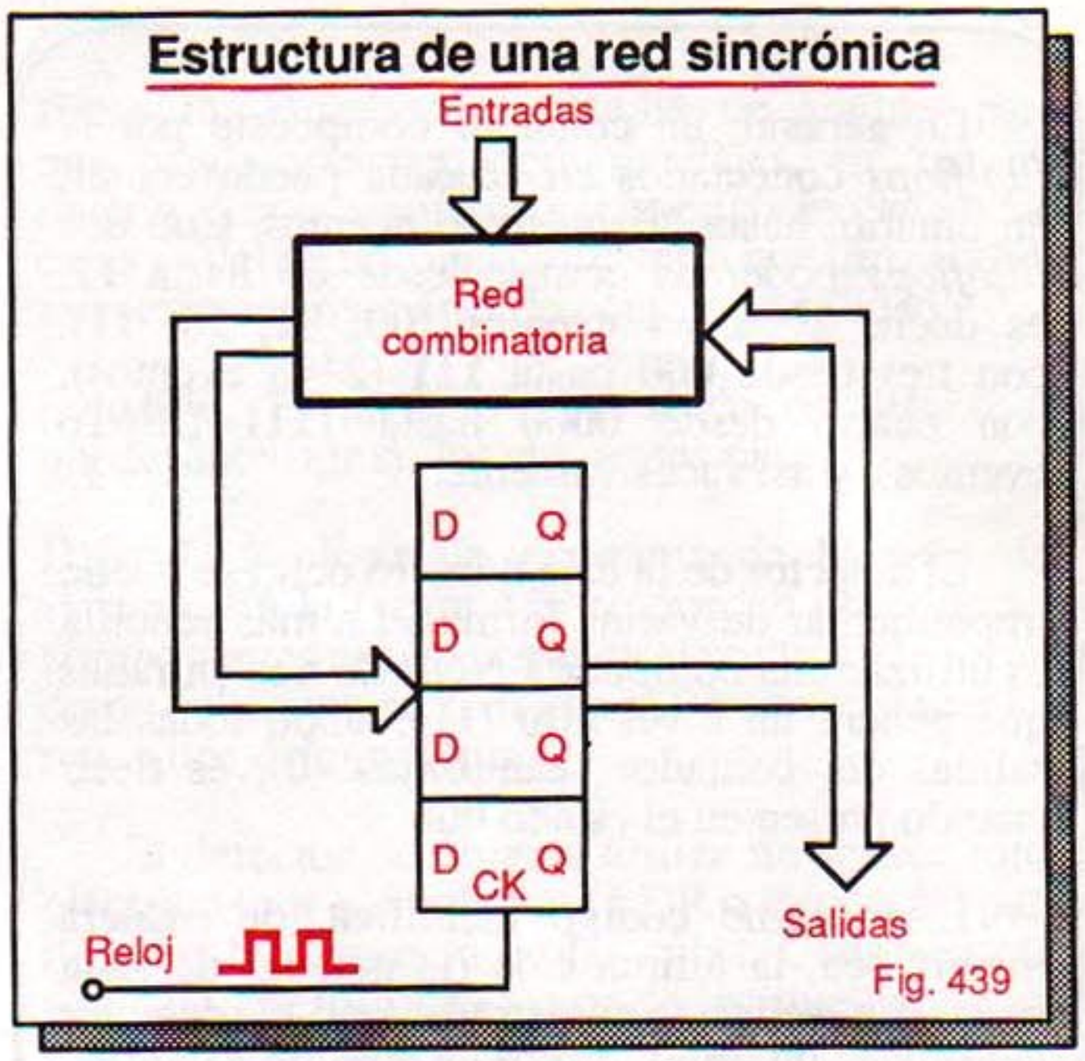
Este tipo de estructura (figura 438) presenta características muy interesantes. En un sistema secuencial sincrónico, los cambios en todas las salidas de los *flip-flops* ocurren justamente en el momento del pulso de reloj y según los valores que existan en las entradas de los biestables.



Como lo muestra el diagrama de bloques de la figura 439, un circuito secuencial sincrónico está compuesto por *flip-flops*, de cualquier tipo, con la señal de reloj conectada a una entrada común.

Las salidas y entradas de estos *flip-flops* se llevan a una red combinatoria que se encarga de colocar en las entradas los valores lógicos apropiados para lograr el cambio, al siguiente estado, una vez ocurra el pulso de reloj.

La estructura de la figura 439, desde el punto de vista lógico, es muy poderosa y permite el desarrollo de aplicaciones de toda clase. Estudiaremos a continuación un método sistemático para diseñar cir-



cuitos secuenciales sincrónicos de configuración similar a la anterior.

En lecciones posteriores se volverá sobre esta arquitectura, cuando se estudien los métodos de diseño usando arreglos lógicos programables (PAL's o PLA's).

Los pasos que deben seguirse para diseñar una aplicación específica usando circuitos secuenciales sincrónicos pueden resumirse en los siguientes términos:

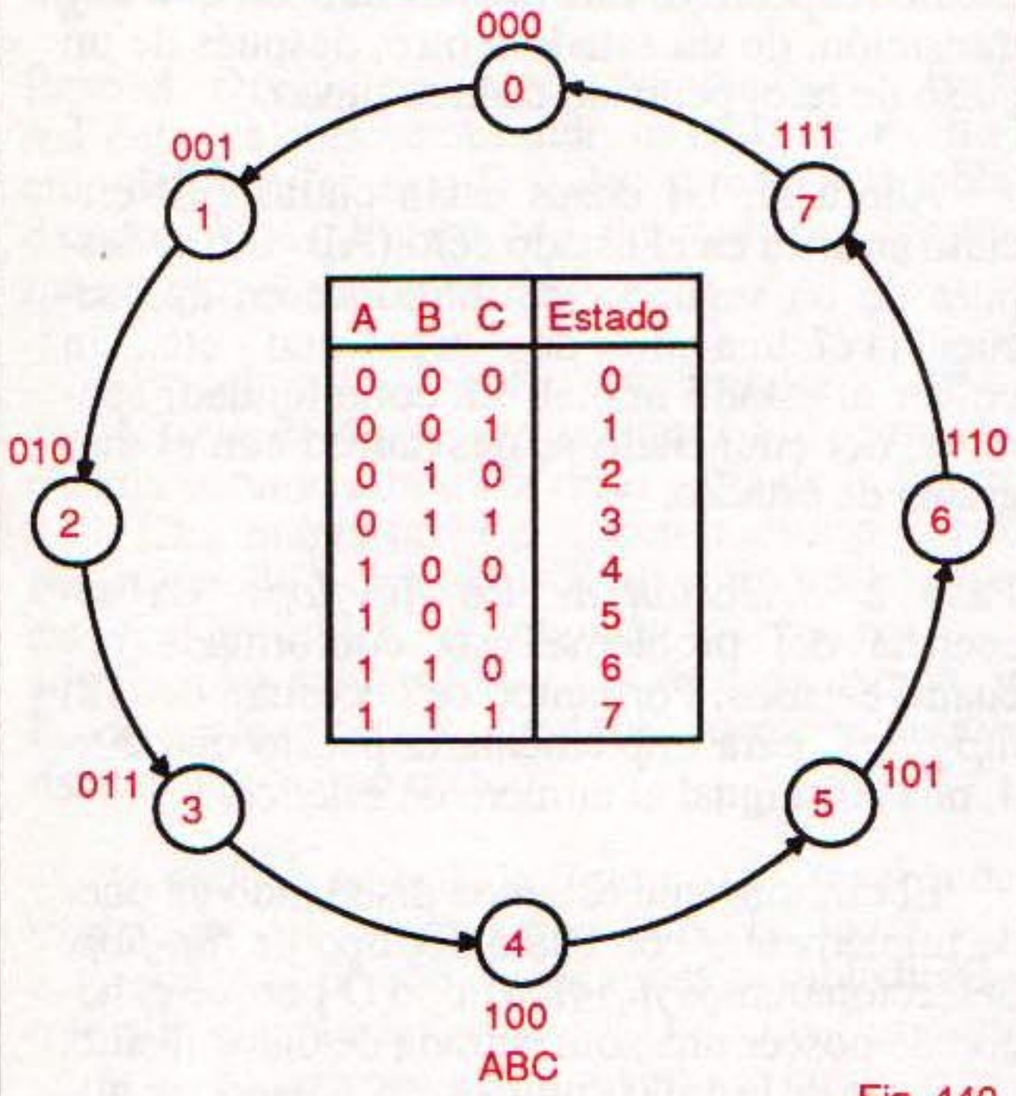
Paso 1. A partir del enunciado del problema, dibujar un *diagrama de estados*. Este diagrama está compuesto por círculos numerados que representan la secuencia y los pasos que debe seguir un circuito hasta llegar al estado final o solución del problema. Los diferentes caminos o alternativas se representan por medio de flechas que unen los círculos.

Cada círculo, en un diagrama de estados, representa un estado durante el cual la naturaleza de la tarea que se realiza no cambia. Cada flecha representa una transición entre estados. A medida que se cumplen ciertas condiciones, la secuencia avanza al próximo estado.

Paso 2. A cada uno de los estados que conforman el diagrama de estados se le asigna un número binario. Estos números forman una secuencia que el circuito de *flip-flops* debe cumplir en cada pulso de reloj. En la figura 440 se ilustra un diagrama de estados, la numeración de los estados y la tabla con los valores binarios de la secuencia.

Se necesitará un mínimo de **N** *flip-flops* para implementar la secuencia, siendo **N** el menor entero

Diagrama y salida de estados



A	B	C	Estado
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

Fig. 440

con el que se logra que 2^N sea mayor o igual al número de estados del diagrama. La secuencia de la figura 440, por ejemplo se logra con tres (3) *flip-flops*.

En este caso, N=3 y $2^N=2^3=8$. Esta última cifra (8) es mayor que el número de estados del diagrama (6). Si lo anterior le parece confuso, no se preocupe: el ejemplo de diseño que se presenta más adelante disipará sus dudas.

Paso 3. Diseñar la red combinatoria que permita generar la secuencia de estados planificada en el paso anterior. Recuerde que a cada *flip-flop* hay que colocarle un valor lógico apropiado, en su entrada, para que cuando llegue el pulso de reloj, cambie al valor que la secuencia de estados necesita.

Si esta red resulta demasiado compleja se debe utilizar alguna de las técnicas de simplificación existentes. Inicialmente recurriremos a los procedimientos del álgebra Booleana estudiados en la lección 7.

Más adelante, utilizaremos para este propósito un método gráfico llamado **Mapa de Karnaugh**, llamado así en honor de Maurice Karnaugh, su creador (ver lección 7, página 86).

En esta parte del diseño se debe recurrir a la tabla característica del *flip-flop* seleccionado, y, a partir de ella, deducir la *tabla de excitación*. El concepto de tabla de excitación se explicó en la lección 19 (ver página 230).

La tabla de excitación indica cuál estado lógico se debe colocar en las entradas del *flip-flop* cuando se desea pasar de un estado actual (Qn) a un estado próximo (Qn+1). En la la figura 441 se presentan las tablas de excitación de todos los *flip-flops* estudiados en las lecciones anteriores.

Tablas características y de excitación

Flip - flop J-K

Tabla característica

J	K	Qn+1
0	0	Qn
0	1	0
1	0	1
1	1	$\overline{Qn}$

Tabla de excitación

Qn	Qn+1	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

X= 1 ó 0

Flip - flop D

Tabla característica

D	Qn+1
0	0
1	1

Tabla de excitación

Qn	Qn+1	D
0	0	0
0	1	1
1	0	0
1	1	1

Tipo T

Tabla característica

T	Qn+1
0	Qn
1	$\overline{Qn}$

Tabla de excitación

Qn	Qn+1	T
0	0	0
0	1	1
1	0	1
1	1	0

Fig. 441

Paso 4. Por último, dibuje el circuito secuencial completo. No olvide definir los niveles de las entradas que no utilizará en los *flip-flops* o compuertas. Deben llevarse a un nivel **bajo** o **alto**, según el nivel de actividad que tengan.

Sin practicar, es muy difícil asimilar un proceso de diseño como el anterior. A continuación se presentan dos ejemplos, con el fin de familiarizar al estudiante en la mecánica del proceso y, de paso, en la simplificación de ecuaciones booleanas con la ayuda del Mapa de Karnaugh.

Ejemplo. Se pretende diseñar la operación de dos electroimanes o solenoides (A y B), de una máquina, con la secuencia que a continuación se describe:

El primer solenoide que se activa es el B. Al cabo de un segundo se activa, también, el solenoide A. A partir de entonces, los dos solenoides permanecen activos durante otro segundo. Al cabo de este lapso se desactiva el solenoide B. Un segundo después se reinicia la secuencia. Al energizar la máquina, los dos solenoides deben permanecer desactivados durante un segundo.

***Prevención** !!. Todos los enunciados de problemas o diseños secuenciales son, aparentemente, complejos y confusos. No hay que preocuparse, a estas alturas, por esta dificultad. Afortunadamente están los métodos sistemáticos que permiten desenredar el problema.*

Solución. Para resolver sistemáticamente el problema, seguiremos los pasos propuestos así:

Paso 1. *Hacer un diagrama de estados*. Si se analiza con algún detenimiento el enunciado del problema, se observa que la secuencia está compuesta por cuatro estados: uno inicial y tres posteriores, que se repiten, cíclicamente, a una frecuencia de un estado por segundo.

El estado inicial es AB=**00** y corresponde a los dos solenoides desactivados (A=**0** y B=**0**). Los tres estados siguientes son, en su orden, AB=**01**, AB=**11** y AB=**10**. En la figura 442 se tiene el diagrama de estados completo del problema.

Diagrama de estados del ejemplo

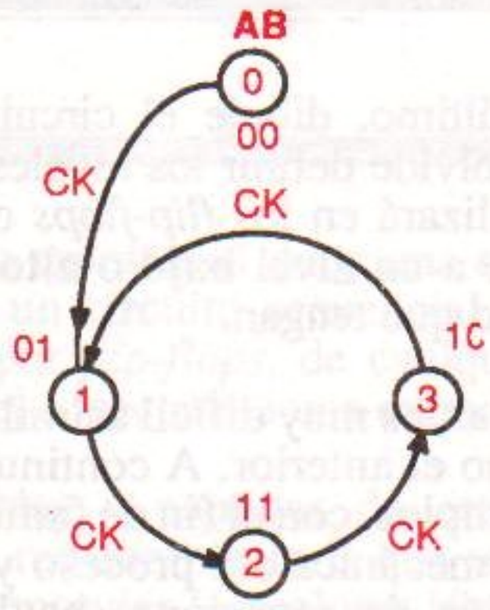


Fig. 442

Cada círculo es un estado. El número interno corresponde al orden asignado a los cuatro estados. En la parte superior de cada círculo se tiene el valor de las salidas A y B en el estado respectivo. Las flechas indican que hay transición, de un estado a otro, después de un pulso de reloj ocurrido cada segundo.

Ahora sí, las cosas están claras!. El circuito arranca en el estado cero (AB=**00**) y, después de un segundo, se introduce en una secuencia cíclica uno - dos - tres - uno - etc., sin volver al estado inicial. La complejidad, aparente, del enunciado se desvanece con el diagrama de estados.

Paso 2. *Selección de los flip-flops*. La secuencia del problema está conformada por cuatro estados. Por tanto, se necesitan dos (2) *flip-flops* para implementarla puesto que 2^N= 4, una cifra igual al número de estados.

El circuito que estamos diseñando se puede implementar con cualquier tipo de *flip-flop*. Seleccionaremos *flip-flops* tipo D porque el hecho de poseer una sola entrada de datos facilita el diseño de la red combinatoria. Cuando se utilizan *flip-flops* con dos entradas, como el J-K o el R-S, hay que diseñar una red combinatoria para cada una de las entradas.

En la figura 443 se muestra la conexión sincrónica de los dos *flip-flops* y, en forma de bloques, la red combinacional que aún queda por diseñar. También se presenta, en esta misma figura, una tabla que relaciona los estados de las salidas de los dos *flip-flops* a lo largo de

Flip-flops y tabla de estados

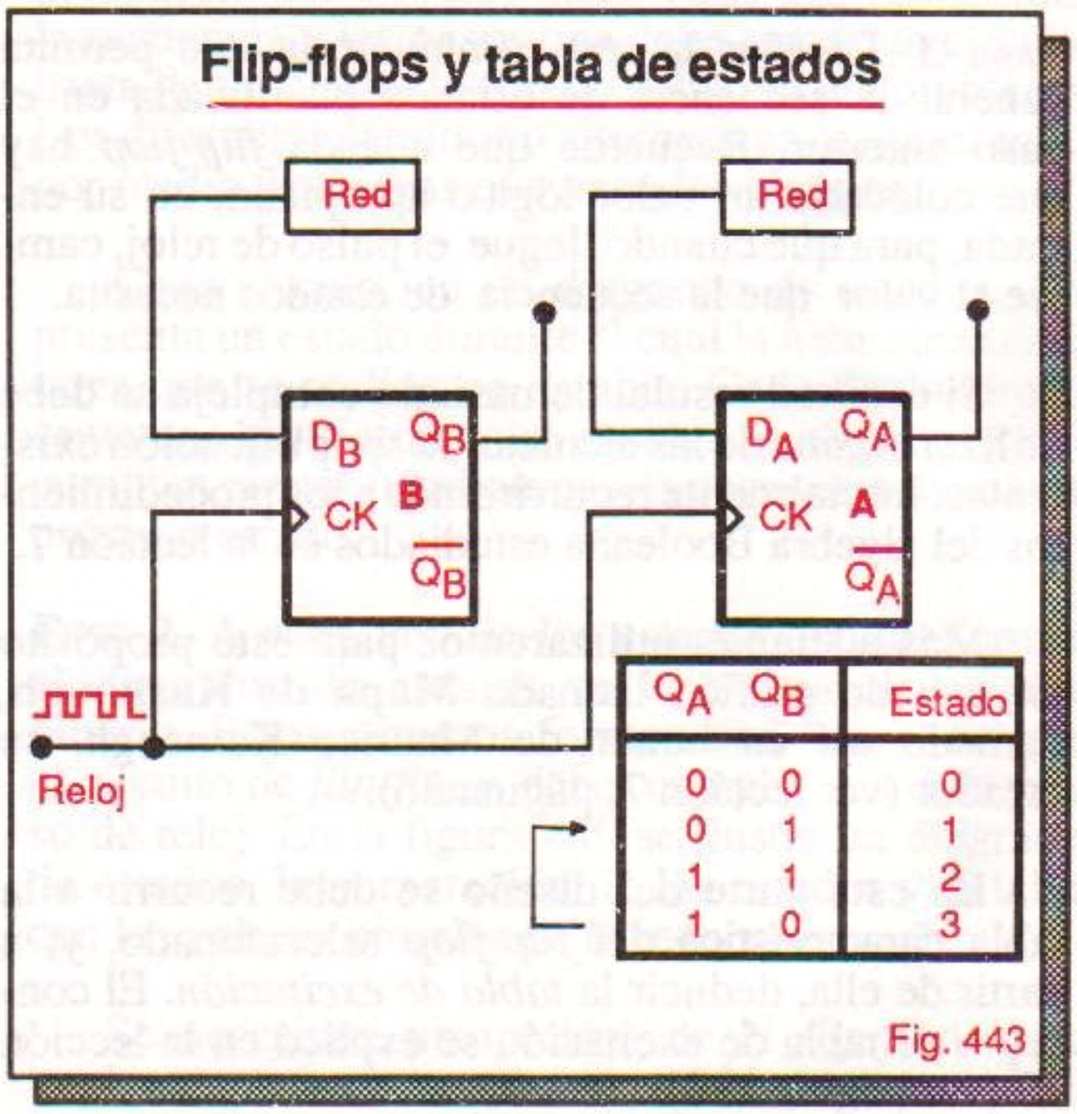


Fig. 443

la secuencia. Usaremos esta tabla en el paso siguiente.

Paso 3. *Diseño de la red combinatoria*. Esta red debe calcularse usando la tabla de excitación del *flip-flop* tipo D seleccionado y la tabla de estados de la figura 443, derivada del diagrama estados de la figura 442.

Con el propósito de comprender el procedimiento de diseño, en la figura 444 se muestra una versión ampliada de la tabla de la figura 443. Esta nueva tabla está compuesta por tres columnas: la primera lista los números de los estados presentes, la segunda los valores que adquiere las salidas QA y QB en cada estado y la tercera los valores que deben tomar esas salidas en el próximo estado.

Usando la tabla de la figura 444 y la tabla de excitación del *flip-flop* tipo D de la figura 441 se procede al diseño de las redes combinatorias que alimentarán las entradas D de los *flip-flops* A y B. El proceso es muy simple, como veremos enseguida.

Tabla usada en el diseño

Estado	Presente		Siguiente	
	Q_{An}	Q_{Bn}	Q_{An+1}	Q_{Bn+1}
0	0	0	0	1
1	0	1	1	1
2	1	1	1	0
3	1	0	0	1

Fig. 444

En el estado cero (0), las salidas QA y QB valen ambas **0** (QA=QB=**0**). Después del pulso de reloj, estas salidas pasan al estado uno (1). En este nuevo estado, QA sigue en **0** pero QB se hace igual a **1**. En otras palabras, el *flip-flop* A debe permanecer en **0** y el *flip-flop* B debe cambiar de **0** a **1**.

Según la tabla de excitación de un *flip-flop* D, lo anterior se logra si en la entrada del *flip-flop* A (DA) se coloca un **0** y en la entrada del *flip-flop* B (DB) se coloca un **1**. Siguiendo el mismo razonamiento anterior, y con la ayuda del diagrama de estados y la tabla de excitación, se obtienen las tablas de verdad de la figura 445.

Es interesante estudiar el caso del estado tres (3). De acuerdo con el diagrama de estados, a continuación del estado 3 (QAQB=**10**) debe seguir el estado 1 (QAQB=**01**) y no el estado 0 (QAQB=**00**). Por esta razón, el *flip-flop* A debe pasar de **1** a **0** y el *flip-flop* B de **0** a **1**.

Tabla de verdad red de entrada

Q_A	Q_B	D_A
0	0	0
0	1	1
1	1	1
1	0	0

Para FF A

Q_A	Q_B	D_B
0	0	1
0	1	1
1	1	0
1	0	1

Para FF B

Fig. 445

Las tablas de la figura 445 nos permiten deducir las ecuaciones booleanas de las entradas DA y DB, utilizando las mismas estrategias estudiadas en la lección 7. Si tiene dudas respecto a este tema, le sugerimos repasar de nuevo esta lección.

Comparando las columnas correspondientes a QB y DA se puede deducir, por simple inspección, que la entrada DA adopta siempre el mismo estado de la salida QB. Por tanto:

$$D_A = Q_B$$

Para determinar la ecuación Booleana de la entrada DB, comenzamos por identificar los *minitérminos*, es decir las combinaciones de QA y QB que producen un **1** en DB. En nuestro caso, esto es aplicable a los estados 0 (QAQB=**00**), 1 (QAQB=**01**) y 2 (QAQB=**10**). Por tanto:

$$D_B = \overline{Q}_A \cdot \overline{Q}_B + \overline{Q}_A \cdot Q_B + Q_A \cdot \overline{Q}_B$$

Como puede observarse, la red combinatoria resultante es compleja y requiere una compuerta OR de tres entradas y 3 compuertas AND de dos entradas para su construcción. Las variables negadas ($\overline{Q}_A$ y $\overline{Q}_B$) se obtienen de las salidas complementarias de los *flip-flops*.

Una red compuesta de múltiples compuertas y conexiones innecesarias es una verdadera fuente de errores en el momento de la prueba. Por esta razón es conveniente simplificar, antes de la implementación, la expresión Booleana. En este ejemplo usaremos las reglas del álgebra de boole de la lección 7 (ver páginas 81 a 84). En el próximo ejemplo se utilizará el Mapa de Karnaugh.

De acuerdo a la regla Nº 12 (Ley distributiva AND):

$$\overline{Q_A}\cdot\overline{Q_B} + \overline{Q_A}\cdot Q_B = \overline{Q_A}\cdot(\overline{Q_B} + Q_B)$$

Por tanto:

$$D_B = \overline{Q_A}\cdot(\overline{Q_B} + Q_B) + Q_A\cdot\overline{Q_B}$$

De acuerdo a la regla Nº 8 (Ley OR de los complementos):

$$(\overline{Q_B} + Q_B) = 1$$

Por tanto:

$$D_B = \overline{Q_A}\cdot 1 + Q_A\cdot\overline{Q_B}$$

De acuerdo a la regla Nº 2 (Segunda ley del producto lógico):

$$\overline{Q_A}\cdot 1 = \overline{Q_A}$$

Por tanto:

$$D_B = \overline{Q_A} + Q_A\cdot\overline{Q_B}$$

De acuerdo a la regla Nº 19 (Cuarta ley de absorción):

$$\overline{Q_A} + Q_A\cdot\overline{Q_B} = \overline{Q_A} + \overline{Q_B}$$

Por tanto:

$$D_B = \overline{Q_A} + \overline{Q_B}$$

Esta última es la ecuación simplificada que gobierna el estado de la entrada DB. El circuito necesario para su realización requiere únicamente de una compuerta OR de dos entradas.

Paso 4. *Implementación del circuito*. En la figura 446 se muestra el circuito que cumple los requisitos del problema inicialmente planteado. En este caso se utilizan los dos *flip-flops* tipo D de un *chip* TTL 74LS74 (ver lección 16, página 250).

Las salidas QA y QB de los *flip-flops* controlan, a través de los transistores Tr1 y Tr2, los solenoides A y B de la máquina. Observe que las entradas de PRESET se mantienen inactivas, es decir, conectadas a un nivel **alto** permanente (+5 V).

La red formada por R3, C1 y D1 inicializa las salidas de los *flip-flops* en el estado 0 (QA=QB=**0**) en el momento de aplicar potencia por primera vez al circuito. Como generador de

Circuito secuencial sincrónico

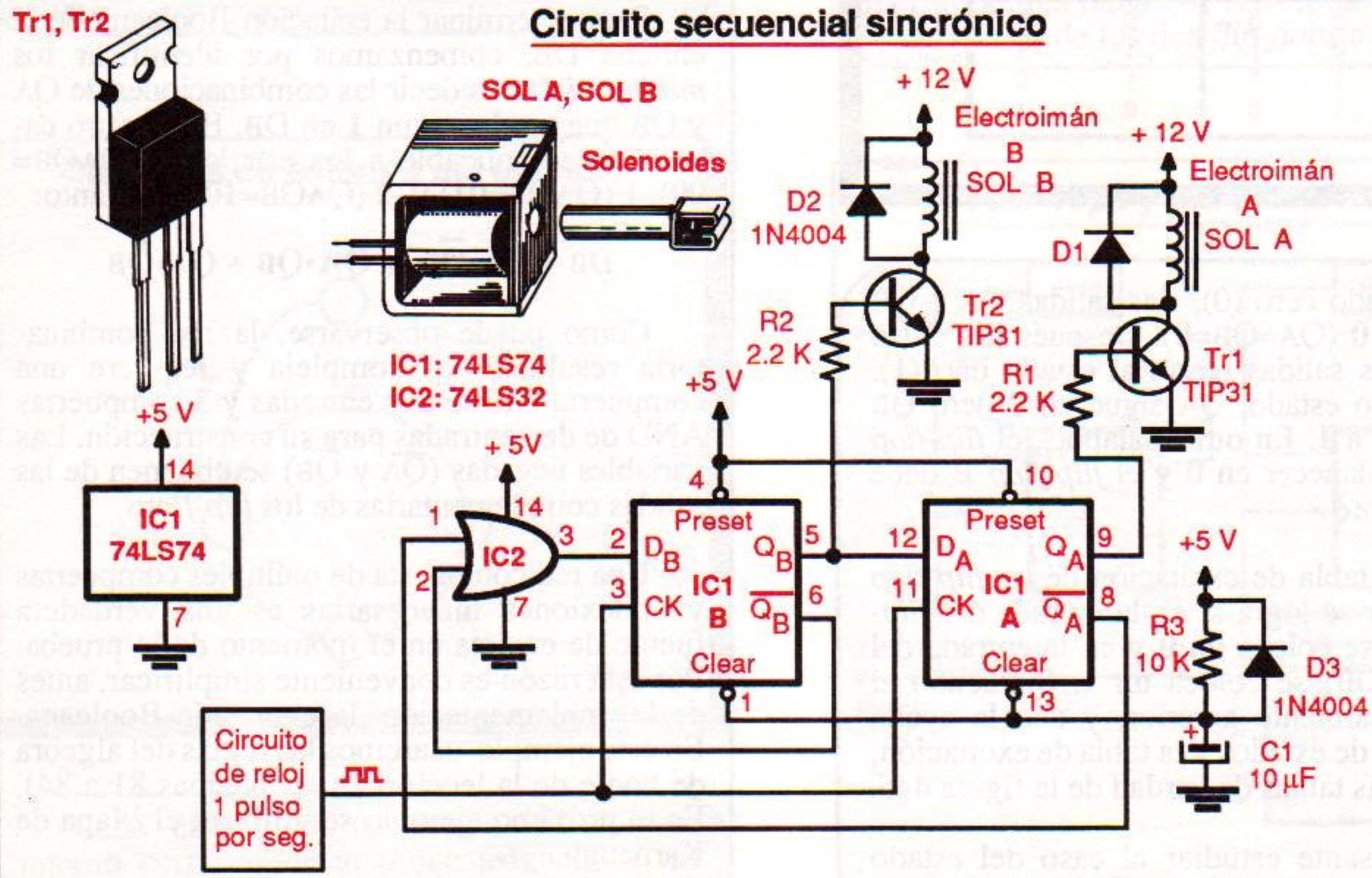


Fig. 446

pulsos de reloj de 1 Hz (1 pulso por segundo) puede utilizar cualquiera de las configuraciones estudiadas a lo largo del curso (ver, por ejemplo, las lecciones 14 y 17).

La prueba del circuito es simple. Usted puede simularlo fácilmente en su *protoboard* sustituyendo cada solenoide por un monitor lógico con LED conectado a la salida (QA o QB) correspondiente.

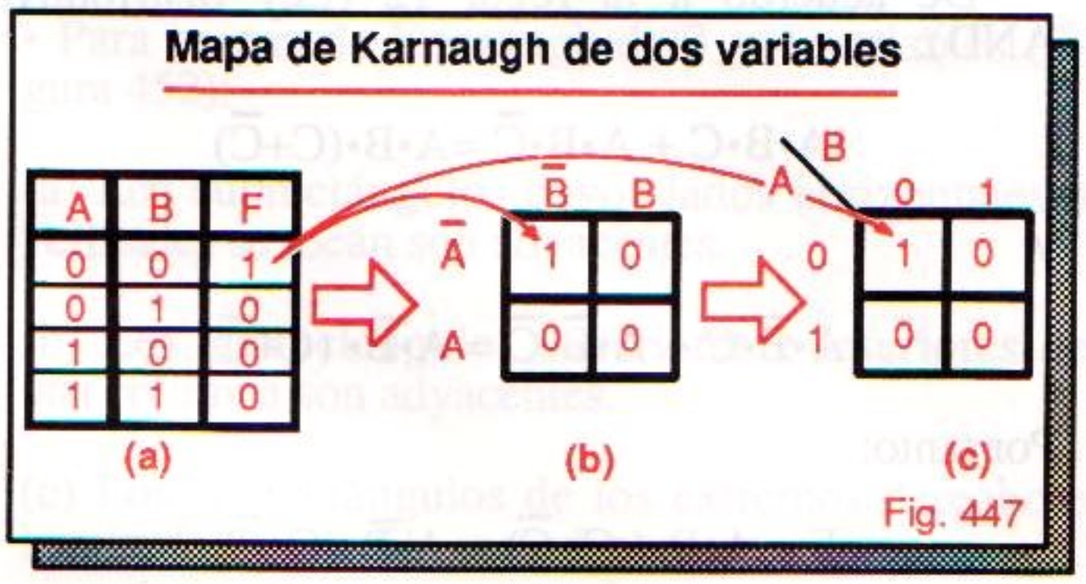
Uso del mapa de Karnaugh en la simplificación de circuitos secuenciales

Un **mapa de Karnaugh** o mapa K es una tabla de verdad modificada que se utiliza para simplificar ecuaciones Booleanas y diseñar circuitos lógicos de manera sistemática. Los mapas K aprovechan la capacidad del cerebro humano de trabajar mejor con patrones gráficos que con ecuaciones y otras formas de expresión analítica.

Externamente, un mapa de Karnaugh consiste de una serie de cuadrados, cada uno de los cuales representa una línea de la tabla de verdad. Puesto que la tabla de verdad de una función de N variables posee 2^N filas, el mapa K correspondiente debe poseer también 2^N cuadrados. Cada cuadrado alberga un **0** ó un **1**, dependiendo del valor que toma la función en cada fila.

En la figura 447(a), por ejemplo, se muestra una tabla de verdad de dos variables y en las figuras 447(b) y 447(c) dos mapas de Karnaugh equivalentes. En las márgenes del mapa se señalizan las coordenadas de cada uno de los cuadrados con respecto a la tabla de verdad.

En el sistema de señalización de la figura 447(b) se utilizan las letras que identifican cada variable para demarcar las zonas del mapa donde cada combinación vale **1** ó **0**. En la figura 447(c), las márgenes del mapa se señalizan con **0**'s y **1**'s, de tal forma que generan las coordenadas exactas de cada una de las combinaciones de la tabla de verdad.

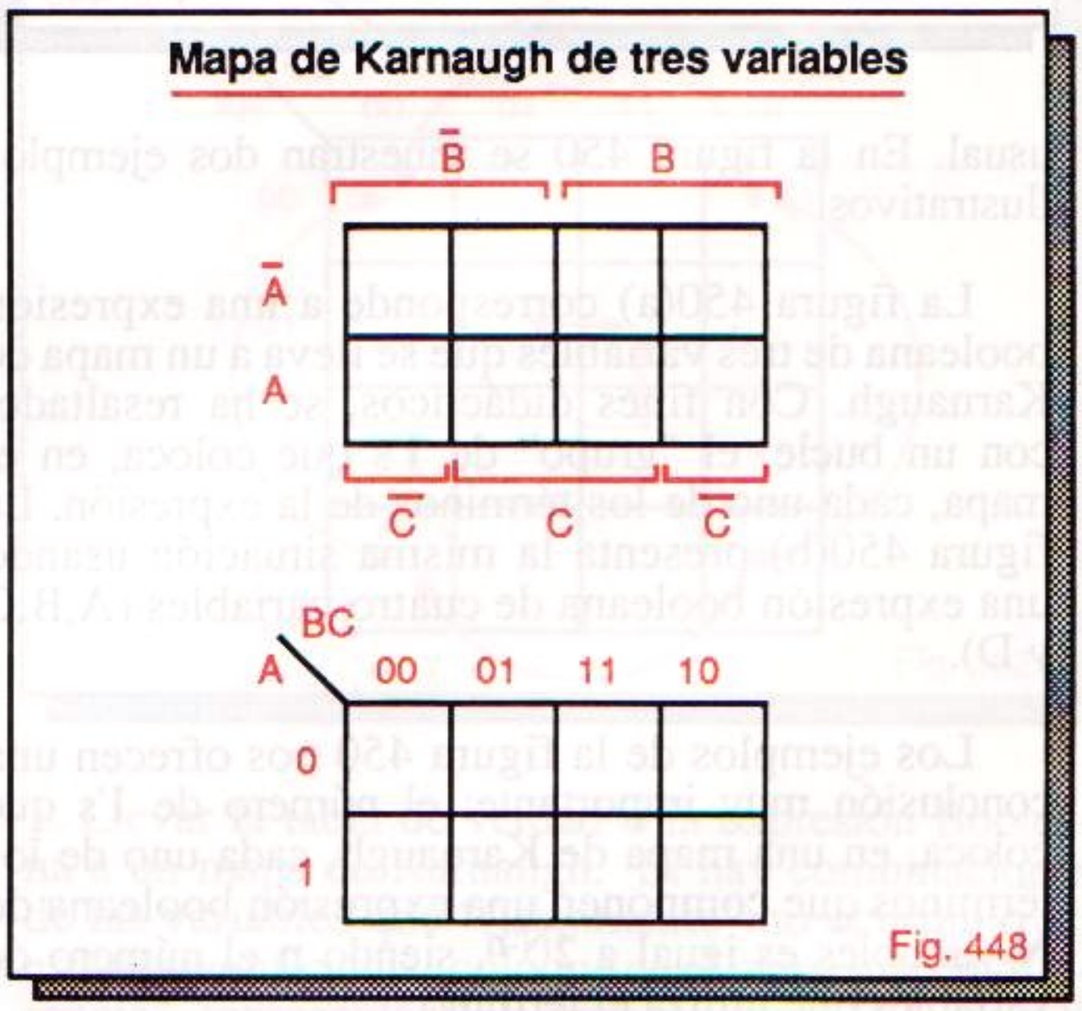


Llevar una tabla de verdad al mapa de Karnaugh es muy simple: se transcribe el valor de la función lógica, para cada combinación de la tabla, a su correspondiente cuadrado, en el mapa, según las coordenadas escogidas. Si se usa la convención de la figura 447(b), la tabla de la figura 447(a) se lleva al mapa aplicando el siguiente razonamiento:

La función lógica **F**, en la tabla, vale **1** cuando A=**0** y B=**0**, o, lo que es lo mismo, cuando $\bar{A}$=**1** y $\bar{B}$=**1**. Este **1** lógico se ubicará, en el mapa de Karnaugh, en el cuadrado situado en la intersección de las columnas $\bar{A}$ y $\bar{B}$. Los otros tres cuadrados deben estar ocupados por **0**'s, como lo indica la tabla de verdad.

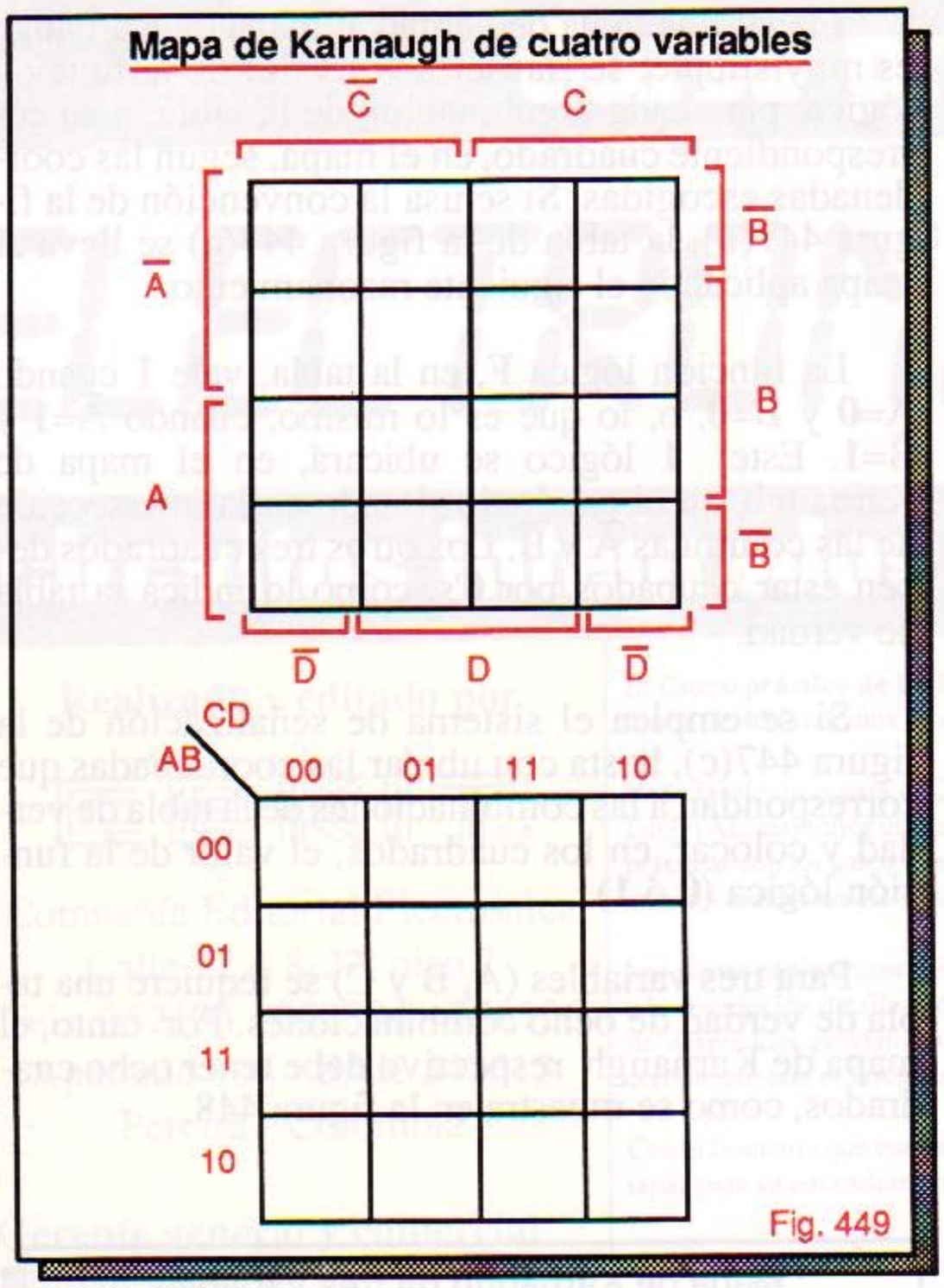
Si se emplea el sistema de señalización de la figura 447(c), basta con ubicar las coordenadas que correspondan a las combinaciones de la tabla de verdad y colocar, en los cuadrados, el valor de la función lógica (**0** ó **1**).

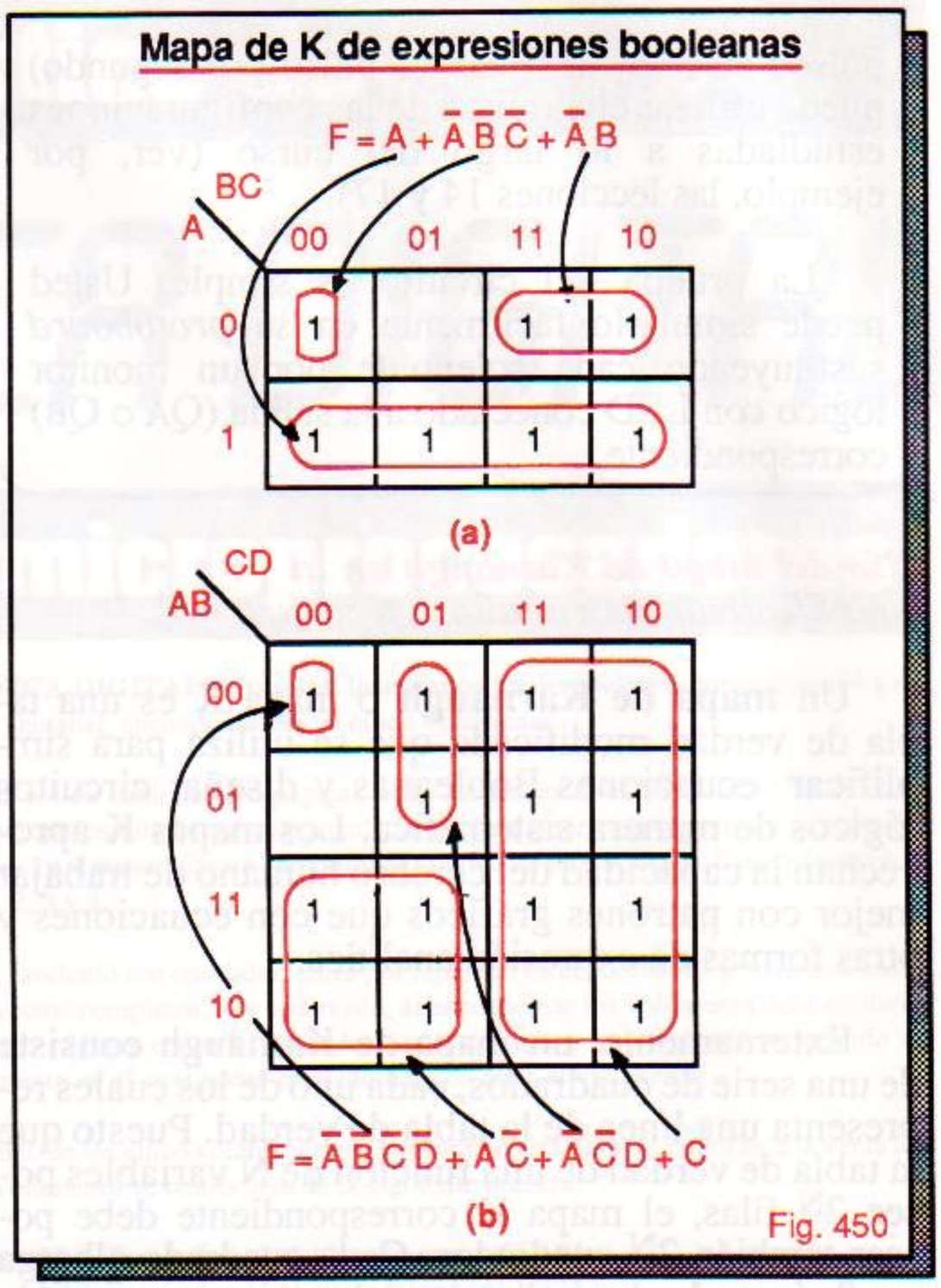
Para tres variables (A, B y C) se requiere una tabla de verdad de ocho combinaciones. Por tanto, el mapa de Karnaugh respectivo debe tener ocho cuadrados, como se muestra en la figura 448.



Un sistema lógico de 4 variables tiene 16 combinaciones posibles. Por esta razón, la tabla de verdad tiene 16 estados y el mapa de Karnaugh 16 cuadrados, como se indica en la figura 449.

De la misma forma que una tabla de verdad, se lleva al mapa de Karnaugh una expresión booleana. Se colocan **1**'s en los cuadrados donde los términos de la ecuación valgan **1**: el resto de los cuadrados se llenan con **0**'s o se dejan vacíos, que es lo más





usual. En la figura 450 se muestran dos ejemplos ilustrativos.

La figura 450(a) corresponde a una expresión booleana de tres variables que se lleva a un mapa de Karnaugh. Con fines didácticos, se ha resaltado, con un bucle, el "grupo" de **1**'s que coloca, en el mapa, cada uno de los términos de la expresión. La figura 450(b) presenta la misma situación usando una expresión booleana de cuatro variables (A,B,C y D).

Los ejemplos de la figura 450 nos ofrecen una conclusión muy importante: el número de **1**'s que coloca, en una mapa de Karnaugh, cada uno de los términos que componen una expresión booleana de **N** variables es igual a $\mathbf{2^{N-n}}$, siendo **n** el número de variables que utiliza el término.

Por ejemplo, cuando se trabaja con tres variables (N=3), un término de una variable (n=1, por ejemplo A o $\bar{B}$) coloca en el mapa K $2^{3-1}=2^2=4$ (cuatro) **1**'s un término de dos variables (n=2, por ejemplo AB o $\bar{A}\bar{C}$) coloca $2^{3-2}=2^1=2$ (dos) **1**'s y un término de tres variables coloca un **1**.

En este punto, es conveniente que nos preguntemos por qué el mapa de Karnaugh facilita la simplificación de expresiones booleanas. Responderemos esta inquietud usando un ejemplo. Suponga que se trata de simplificar la siguiente función lógica:

$$F = A \cdot B \cdot C + A \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot C + A \cdot \bar{B} \cdot \bar{C}$$

La implementación directa de la expresión anterior requiere una compuerta OR de cuatro entradas para sumar los 4 términos, 4 compuertas AND de tres entradas para producir cada término y dos inversores para generar los complementos de B y C.

Utilizando las reglas del álgebra Booleana de la lección 7 (páginas 82 a 84) es posible simplificar esta ecuación y minimizar el número de compuertas requeridas para su realización. Veamos:

De acuerdo a la regla 12 (Ley distributiva AND):

$$A \cdot B \cdot C + A \cdot B \cdot \bar{C} = A \cdot B \cdot (C + \bar{C})$$

y

$$A \cdot \bar{B} \cdot C + A \cdot \bar{B} \cdot \bar{C} = A \cdot \bar{B} \cdot (C + \bar{C})$$

Por tanto:

$$F = A \cdot B \cdot (C + \bar{C}) + A \cdot \bar{B} \cdot (C + \bar{C})$$

De acuerdo a la regla 8 (Ley de complementos OR):

$$C+\bar{C}=1$$

Por tanto:

$$F = A\bullet B+ A\bullet\bar{B}$$

Aplicando nuevamente las reglas 12 y 8:

$$F = A\bullet B + A\bullet\bar{B} = A\bullet (B+\bar{B}) = A$$

Este resultado (F=A) revela que la función original no requiere de compuerta alguna para su realización: la salida es siempre igual a la entrada A, sin importar el estado de las entradas B y C. En otras palabras, basta un cable conectado entre la entrada A y el punto al cual va dirigida la función F.

La simplificación anterior es simple y sistemática por una sola razón: cada uno de los términos de la expresión difiere del siguiente en el valor de una sola variable. Los términos que difieren en una variable se pueden combinar y rechazar el término diferente. ¡El mapa de Karnaugh nos permite visualizar este hecho con gran facilidad!.

Con lo estudiado hasta ahora podemos describir, como sigue, la estrategia de simplificación usando el mapa de Karnaugh: (a) llevar la tabla de verdad o la expresión Booleana al mapa; (b) visualizar y agrupar los unos que difieran en una variable y (c) extraer la función Booleana más simple. A continuación desarrollaremos, en detalle, esta táctica.

A los cuadrados o subrectángulos de un mapa de Karnaugh que difieren en una sola variable se les llama *adyacentes*. Las reglas prácticas que se deben seguir para identificar adyacencias en un mapa de Karnaugh son:

• Cada subrectángulo del mapa de Karnaugh difiere de uno adyacente en una variable.

• Para mapas de Karnaugh de dos variables, los subrectángulos cuyos lados horizontales o verticales se tocan son adyacentes (figura 451).

• Para mapas de Karnaugh de 3 y 4 variables (figura 452):

(a) Los subrectángulos cuyos lados horizontales o verticales se tocan son adyacentes.

(b) Los subrectángulos superiores e inferiores de una columna son adyacentes.

(c) Los subrectángulos de los extremos derecho e izquierdo de una fila son adyacentes.

Adyacencias en mapas K de 2 variables

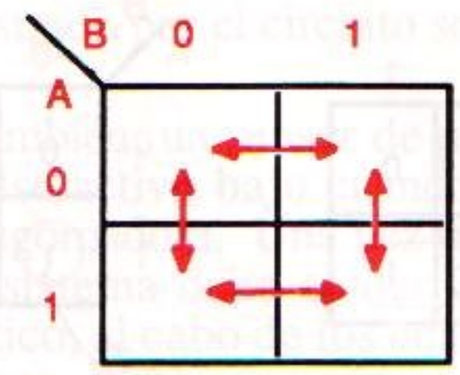


Fig. 451

El procedimiento sistemático que debe emplearse para simplificar una expresión Booleana o una tabla de verdad mediante el mapa de Karnaugh se puede resumir en los siguientes términos:

Adyacencia en mapas de 3 y 4 variables

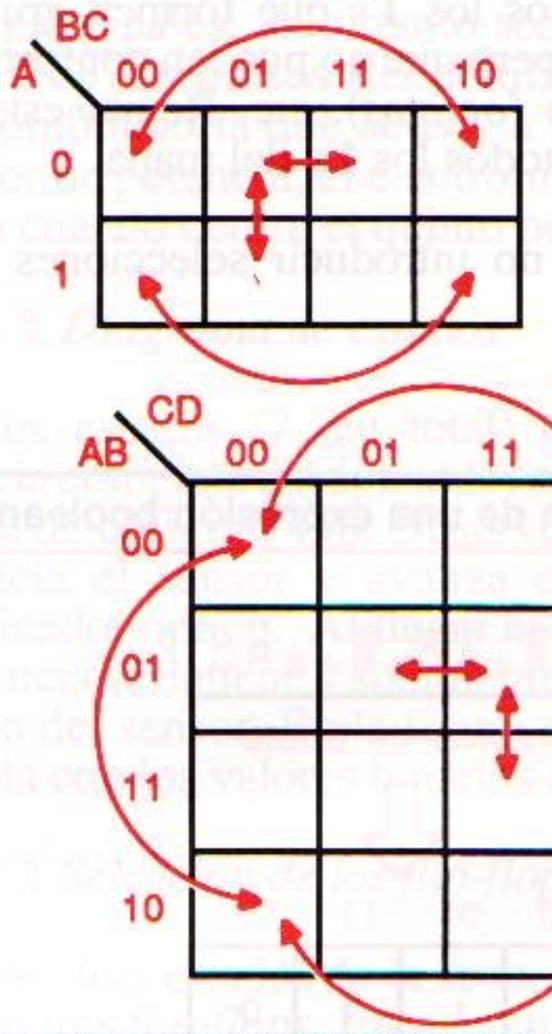


Fig. 452

1. Llevar la tabla de verdad o la expresión Booleana a un mapa de Karnaugh. Si hay combinaciones de las variables que "físicamente" no ocurren o no están especificadas, coloque en el mapa una "indiferencia", representándola por una equis (X). Esta X puede valer, en el momento de agrupar adyacencias, **0** ó **1** según convenga.

2. Agrupar adyacencias de unos así:

(a) Seleccione todos los **1**'s que no sean adyacentes a otros **1**'s.

(b) Seleccione todos los **1**'s que puedan combinarse en grupos de dos **1**'s (*dúos*) pero que no puedan formar grupos de cuatro **1**'s (*cuartetos*).

Ejemplos de selección de adyacencias

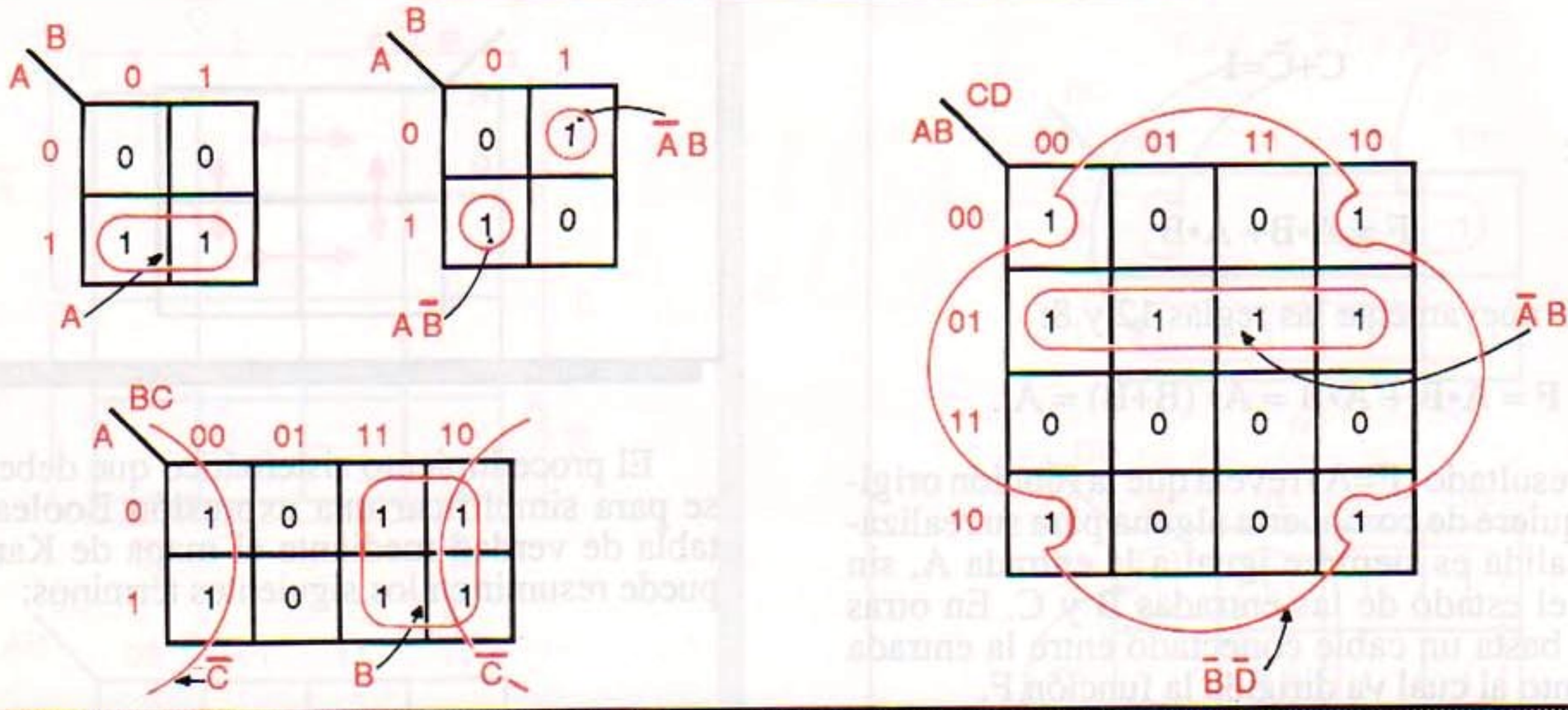


Fig. 453

(c) Seleccione todos los **1**'s que formen grupos de cuatro (*cuartetos*) pero que no pueden conformar adyacencias de ocho (*octetos*), etc. Repita este algoritmo hasta cubrir todos los **1**'s del mapa.

(d) Asegúrese de no introducir selecciones redundantes o repetidas.

Simplificación de una expresión booleana

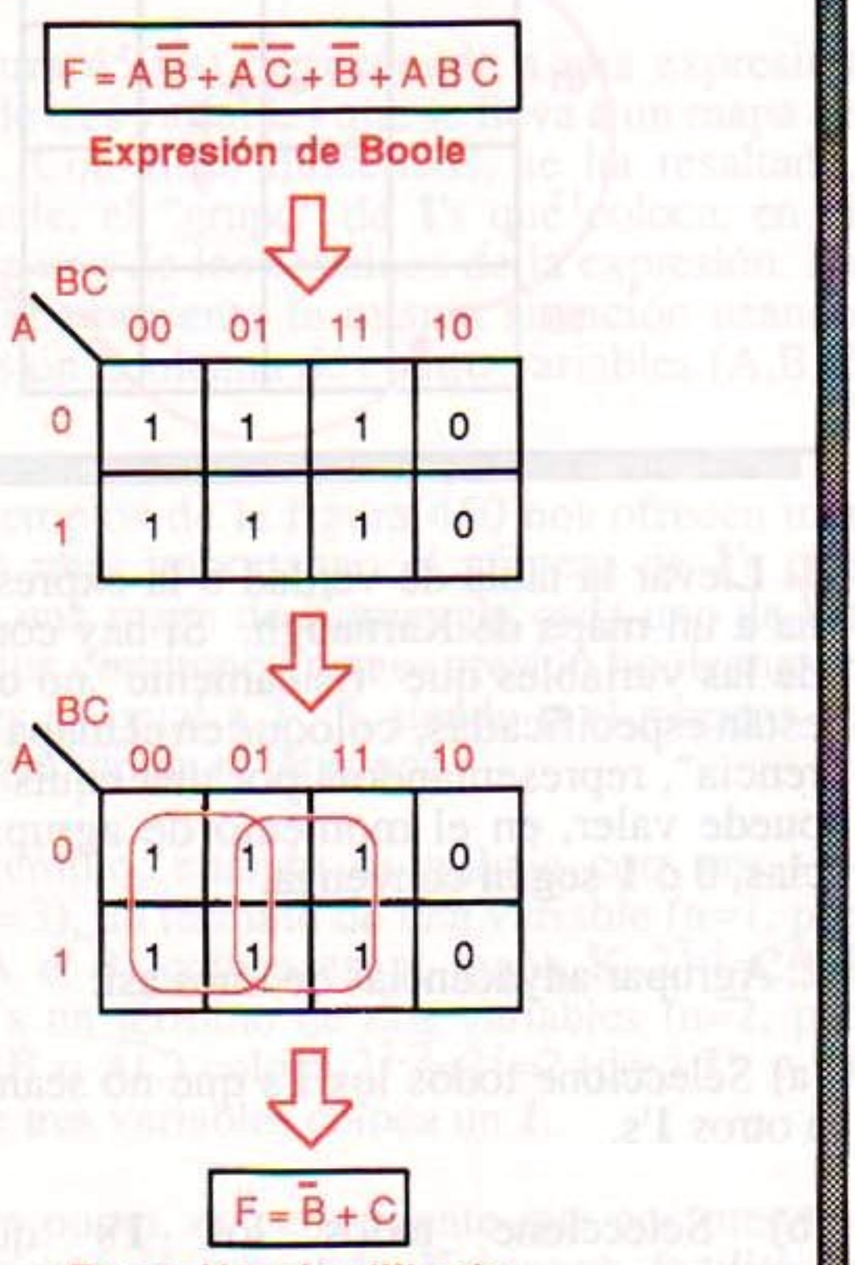


Fig. 454

En la figura 453 se muestran algunos ejemplos de selección de adyacencias que ilustran los pasos descritos.

En la figura 454 se muestra el proceso de simplificación de una expresión Booleana por medio del mapa de Karnaugh. En la figura 455 se presenta una tabla de verdad con dos salidas (F1 y F2) y condiciones de "indiferencia". En este último ejemplo observe lo siguiente:

(a) Para cada salida de la tabla de verdad se realiza un mapa de Karnaugh.

(b) Las indiferencias son muy útiles en el momento de seleccionar adyacencias ya que pueden valer **0** ó **1**, según convenga.

EJEMPLO DE DISEÑO DE UNA APLICACION

Finalizaremos esta lección realizando el diseño de una aplicación de electrónica digital industrial, la cual nos permitirá aplicar y visualizar claramente todas las técnicas desarrolladas a lo largo de las secciones precedentes. No olvide que estos procedimientos de diseño son sencillos, pero, en los comienzos de su aprendizaje, requieren que sean practicados.

Diseño de un aplicador de goma

Diseñar el circuito de control de un sistema de aplicación de goma, sobre la banda transportadora, en una línea de producción de bolsas de papel. En la figura 456 se muestra el diagrama pictórico.

La banda es accionada por un motor de velocidad constante. Al eje del motor se le acopla un

Simplificación con indiferencias

A	B	C	F1	F2
0	0	0	1	0
0	0	1	1	0
0	1	0	1	1
0	1	1	0	1
1	0	0	0	1
1	0	1	1	1
1	1	0	X	0
1	1	1	X	X

A \ BC	00	01	11	10
0	1	1	0	1
1	0	1	X	X

$F1 = \bar{A}\bar{B} + \bar{B}C + B\bar{C}$

A \ BC	00	01	11	10
0	0	0	1	0
1	1	0	X	1

$F2 = A\bar{C} + B$

Fig. 455

codificador óptico formado por un engranaje, un disco con una perforación, una fuente emisora de luz y un fototransitor. Cada vez que el motor gira un número de vueltas, el codificador emite un pulso que es registrado por el circuito secuencial.

Hay, también, un sensor de proximidad que genera un pulso activo **bajo** cuando una bolsa entra a la banda engomadora. Una vez recibida la señal del sensor, el sistema debe contar 3 pulsos del codificador óptico, al cabo de los cuales se acciona, durante 2 pulsos, un electroimán que deposita la goma

Después de otro pulso del codificador, el controlador espera la orden del sensor para iniciar un nuevo ciclo de aplicación de goma. A continuación mostraremos, detalladamente, los pasos de diseño de este sistema de control aparentemente complejo.

Sistema aplicador de goma

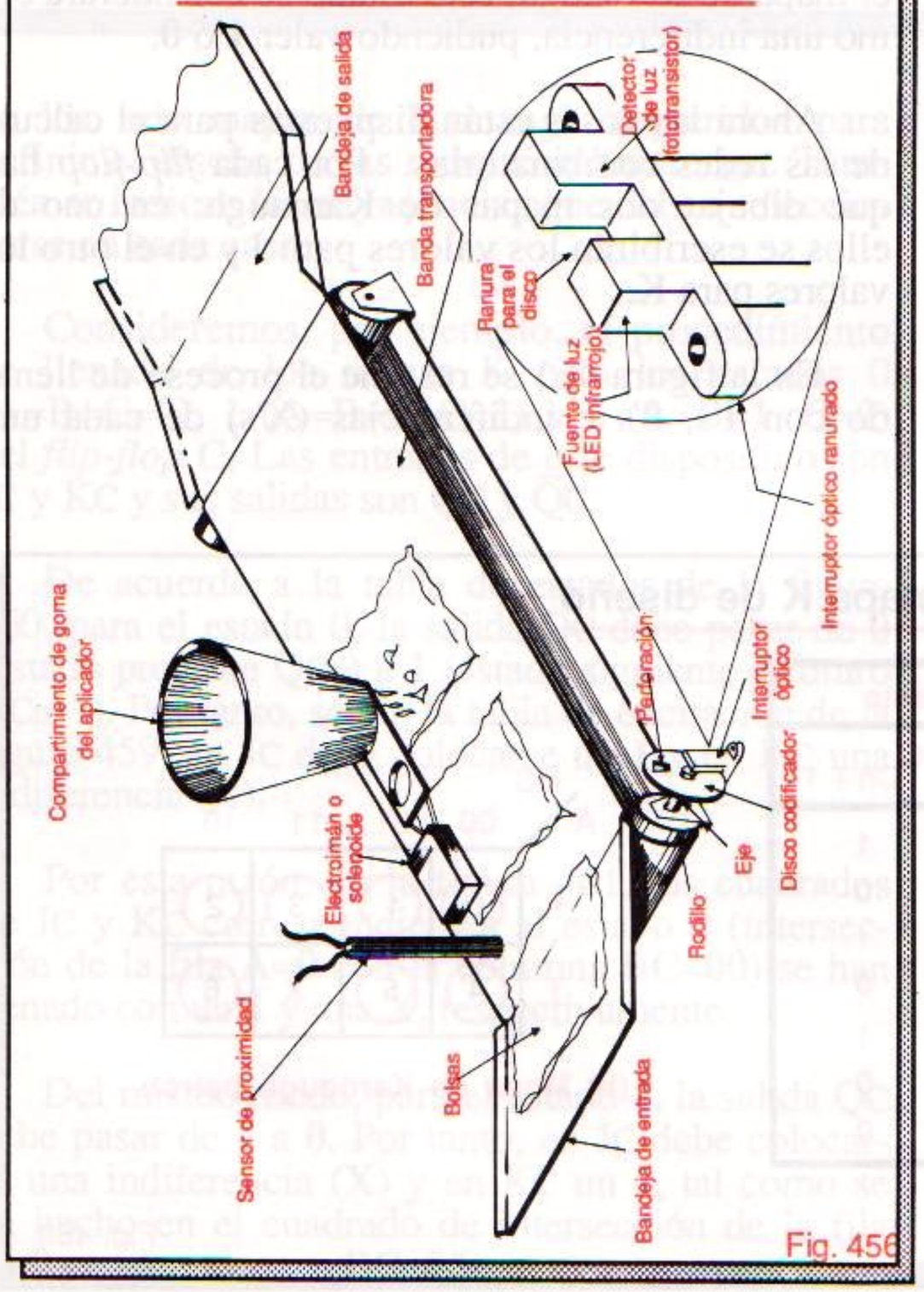


Fig. 456

Paso 1. *Diagrama de bloques*

En la figura 457 se tiene el diagrama con los bloques que deben conformar el control. Hay dos bloques principales: un circuito secuencial que lleva la cuenta de los pulsos del codificador óptico y una red combinatoria que activa, a través de un amplificador de potencia, el electroimán del aplicador de goma cuando ocurre el quinto pulso.

Paso 2. *Diagrama de estados*

Los estados (7, en total) que integran la secuencia completa del aplicador se muestran en el diagrama de la figura 458. Observe cómo la secuencia la inicia el sensor y avanza con cada pulso del codificador óptico. Al llegar al último estado (6) la secuencia se detiene y solamente es reiniciada por la acción del sensor. En la figura también se presenta la tabla con los valores binarios de cada estado.

Paso 3. *Selección de los flip-flops*

Los siete estados de la secuencia se pueden contar con tres *flip-flops*. Escogeremos, para este dise-

Diagrama de bloques

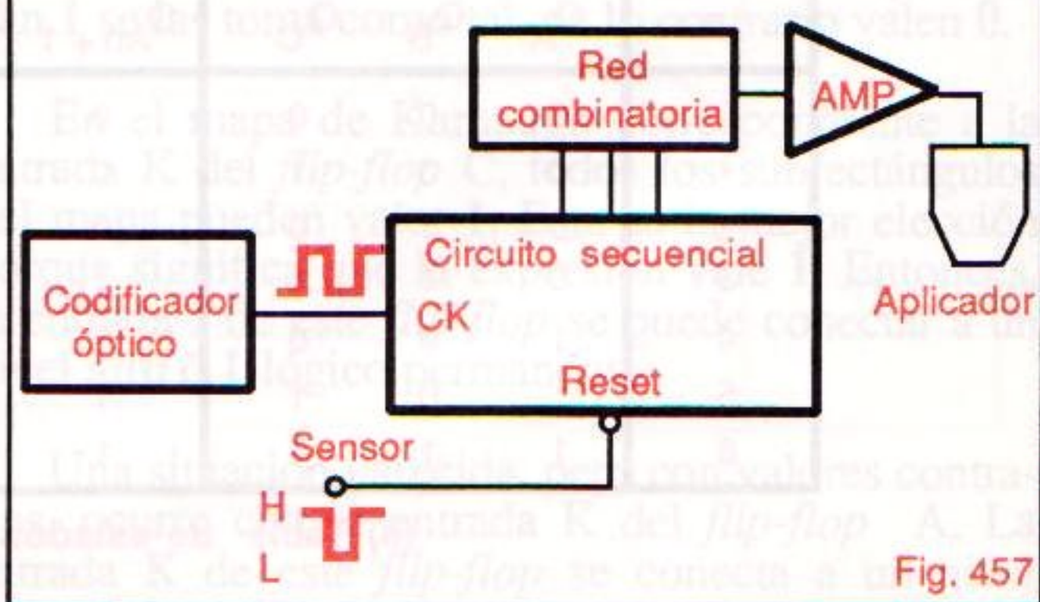
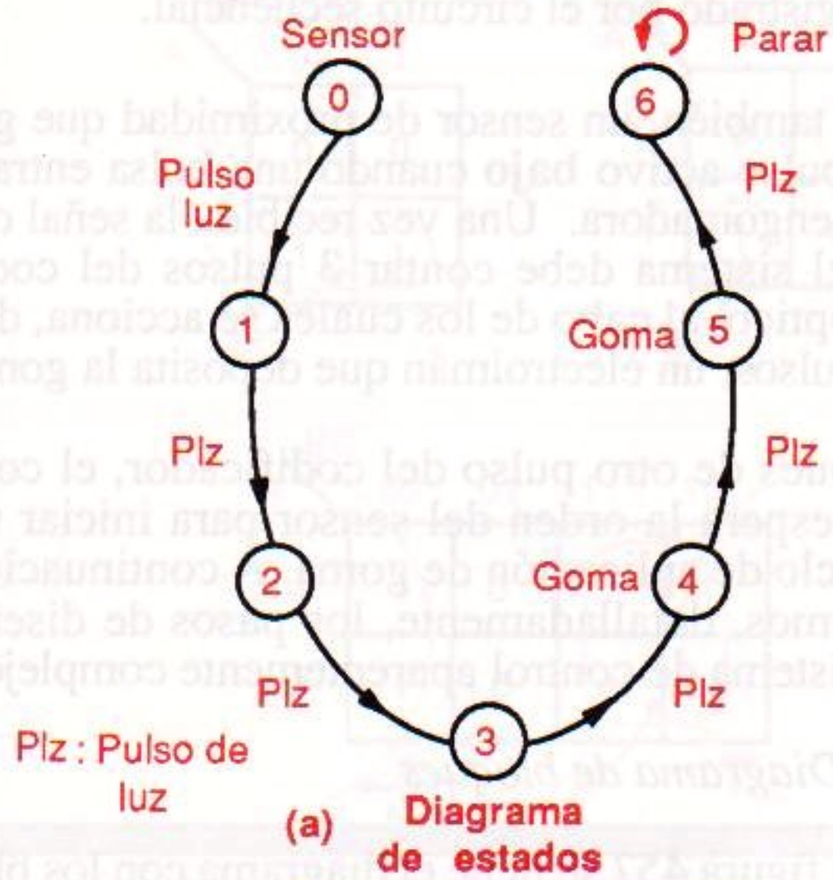


Fig. 457

Diagrama de estados



A	B	C	Estado
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6

(b) Tabla de estados

Fig. 458

ño, *flip-flops* tipo J-K. La tabla de excitación de este dispositivo se reproduce en la figura 459.

Tabla de excitación flip-flop J-K

Qn → Qn + 1		J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

X: Indiferente (puede ser 0 ó 1)

Fig. 459

Paso 4. *Diseño del contador*

Para diseñar el contador sincrónico usaremos la estrategia de estados presentes y siguientes descrita en una sección anterior. En la figura 460 se muestran las salidas presentes y las de los próximos estados. A cada uno de los *flip-flops* hay que diseñarle una red combinatoria que permita, en cada pulso de reloj, el cambio de valor lógico propuesto por el diagrama y la tabla de estados.

Como los *flip-flops* son del tipo J-K, hay que diseñar dos redes por cada uno de ellos: una para la entrada J y otra para la entrada K. Para facilitar este proceso usaremos el mapa de Karnaugh. En la figura 460 se muestra un mapa K patrón que contiene el número del estado que corresponde a cada uno de los subrectángulos.

Observe algo importante: el estado número 7 (ABC=**111**) no existe en el problema. Por tanto, en el mapa de Karnaugh, este estado se considerará como una indiferencia, pudiendo valer **1** ó **0**.

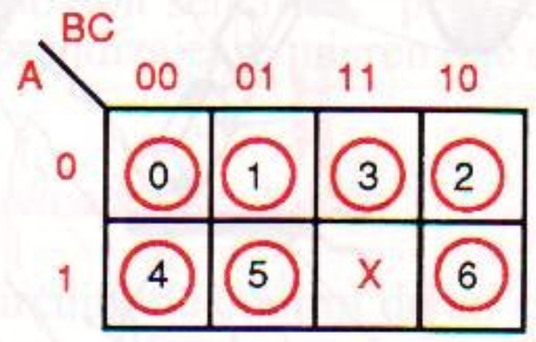
Ahora las cosas están dispuestas para el cálculo de las redes combinatorias. Por cada *flip-flop* hay que dibujar dos mapas de Karnaugh: en uno de ellos se escribirán los valores para J y en el otro los valores para K.

En la figura 461 se resume el proceso de llenado con **1**'s, **0**'s e indiferencias (X's) de cada uno

Tabla de estados y mapa K de diseño

Estado	Estado presente			Estado siguiente		
Nº	Q_A	Q_B	Q_C	Q_{An+1}	Q_{Bn+1}	Q_{Cn+1}
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	1	0	1
5	1	0	1	1	1	0
6	1	1	0	1	1	0

(a) Tabla de estados



(b) Mapa de Karnaugh patrón

Fig. 460

Diseño de las redes combinatorias para las entradas J y K

A). Flip-flop C

A \ BC	00	01	11	10
0	1	X	X	1
1	1	X	X	0

$J_C = \bar{A} + \bar{B}$

A \ BC	00	01	11	10
0	X	1	1	X
1	X	1	X	X

$K_C = 1$

B). Flip-flop B

A \ BC	00	01	11	10
0	0	1	X	X
1	0	1	X	X

$J_B = C$

A \ BC	00	01	11	10
0	X	X	1	0
1	X	X	X	0

$K_B = C$

C). Flip-flop A

A \ BC	00	01	11	10
0	0	0	1	0
1	X	X	X	X

$J_A = B \cdot C$

A \ BC	00	01	11	10
0	X	X	X	X
1	0	0	X	0

$K_A = 0$

Fig. 461

de los seis mapas de Karnaugh requeridos para definir el diseño de las redes combinatorias. También se indican las adyacencias que deben seleccionarse en cada caso.

Consideremos, por ejemplo, el procedimiento de llenado de los mapas K para los estados 0 (A=B=C=**0**), 1 (A=B=**0**, C=**1**) y 6 (A=B=**1**, C=**0**) del *flip-flop* C. Las entradas de este dispositivo son JC y KC y sus salidas son QC y $\bar{Q}C$.

De acuerdo a la tabla de estados de la figura 460, para el estado 0, la salida QC debe pasar de **0** (estado presente QCn) a **1** (estado siguiente o futuro QCn+1). Por tanto, según la tabla de excitación de la figura 459, en JC debe colocarse un **1** y en KC una indiferencia (**X**).

Por esta razón, en la figura 461, los cuadrados de JC y KC correspondientes al estado 0 (intersección de la fila A=**0** con la columna BC=**00**) se han llenado con un **1** y una **X**, respectivamente.

Del mismo modo, para el estado 1, la salida QC debe pasar de **1** a **0**. Por tanto, en JC debe colocarse una indiferencia (**X**) y en KC un **1**, tal como se ha hecho en el cuadrado de intersección de la fila A=**0** con la columna BC=**01**.

Para el estado 6, QC debe pasar de **0** a **0**. Por tanto, en JC se debe colocar un **0** y en KC una indiferencia (**X**). De la misma manera se procede para los otros estados del *flip-flop* C y para llenar los mapas de J y K de los *flip-flops* B y A.

En todos los casos, el estado 7 (ABC=**111**), que no existe, o no está definido en el planteamiento original del problema, se llena con una indiferencia (**X**).

Una vez completos todos los mapas de J y K, se procede a extraer, a partir de ellos, la ecuación Booleana simplificada. Observe el comportamiento de las indiferencias: cuando es conveniente que valgan **1** se las toma como tal, de lo contrario valen **0**.

En el mapa de Karnaugh correspondiente a la entrada K del *flip-flop* C, todos los subrectángulos del mapa pueden valer **1**. Esta es la mejor elección porque significa que la expresión vale **1**. Entonces, la entrada J de este *flip-flop* se puede conectar a un nivel **alto** ó **1** lógico permanente.

Una situación parecida, pero con valores contrarios, ocurre con la entrada K del *flip-flop* A. La entrada K de este *flip-flop* se conecta a un nivel **bajo** ó **0** lógico constante, es decir, a tierra. Los

Circuito secuenciador

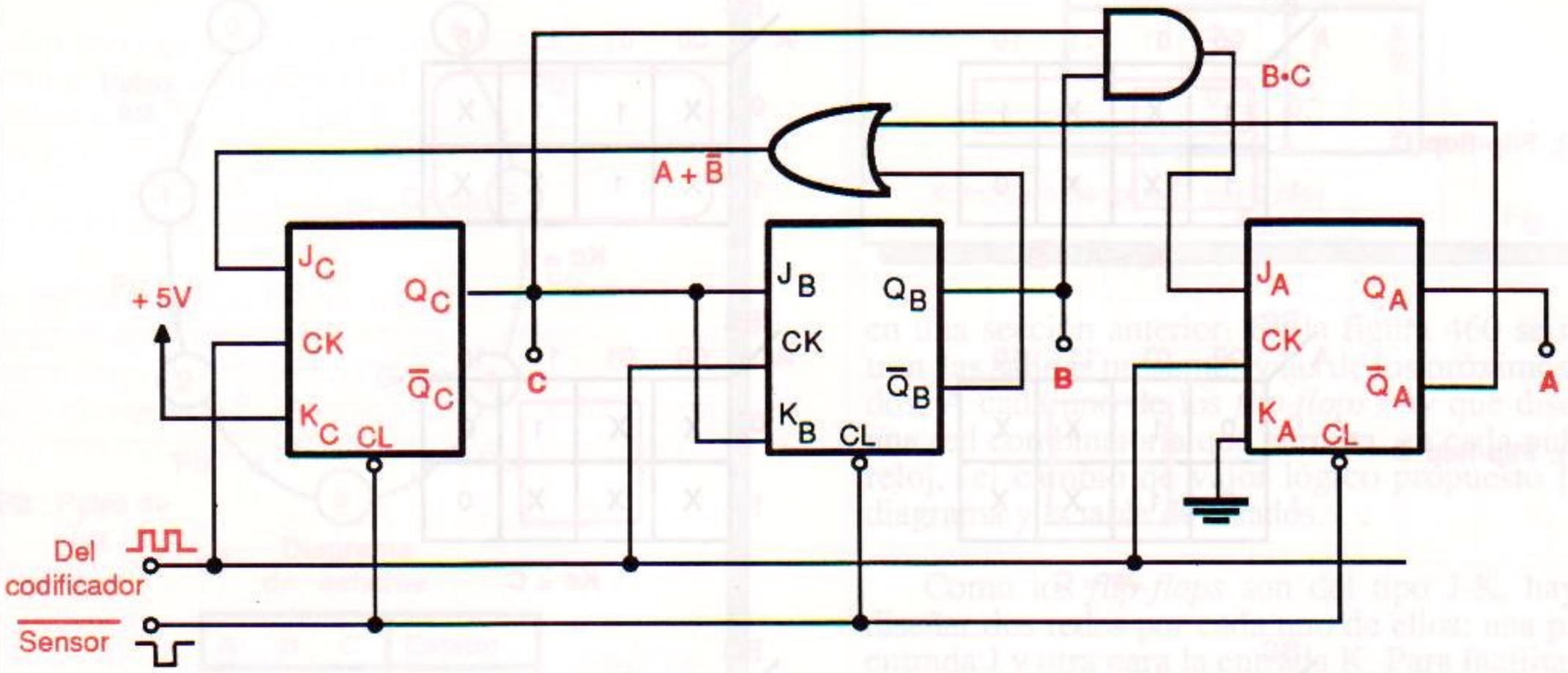


Fig. 462

mapas y las ecuaciones para J y K de cada *flip-flop* se presentan en la figura 461. El circuito secuencial completo se muestra en la figura 462.

Paso 5. Diseño de la red combinatoria que detecta los estados 4 y 5.

Para diseñar la red detectora de los estados 4 y 5, durante los cuales se aplicará la goma, se utiliza una tabla de verdad de los estados, como se ilustra en la figura 463. La salida de esta red (G) debe ser **1** solamente durante los estados 4 (A=**1**, B=**0**, C=**0**) y 5 (A=**1**, B=**0**, C=**1**). La tabla de verdad obtenida se lleva a un mapa de Karnaugh. A partir de este último de deriva la expresión simplificada.

Diseño de la red detectora de estados

A	B	C	G
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	X

Tabla de verdad

Mapa K

A \ BC	00	01	11	10
0	0	0	0	0
1	1	1	X	0

Expresión Booleana

$G = A\,\bar{B}$

Fig. 463

De acuerdo al resultado anterior ($G=A\bullet\bar{B}$), la señal de control del solenoide del aplicador es, simplemente, el producto lógico (AND) de las salidas Q_A y $\bar{Q}_B$ de los *flip-flops* A y B, respectivamente.

Paso 6. Circuito completo.

La figura 464 muestra el sistema de control completo que resuelve el problema originalmente planteado. Si el diseño anterior le parece complejo, estúdielo las veces que crea conveniente. Las dudas solamente se resuelven recurriendo a los conceptos básicos. Si algunos aún no están claros, vuelva sobre ellos. Todos se encuentran en esta lección o en las anteriores.

Notas finales

El método del mapa de Karnaugh es muy útil para optimizar circuitos hasta de 4 ó 5 variables, aunque también se pueden utilizan mapas de Karnaugh para mayor número de variables. Para funciones de 6 o más variables, los diseñadores de circuitos lógicos utilizan otras técnicas, siendo la más conocida el llamado *algoritmo de McCluskey*, que es una generalización del método de mapas de Karnaugh.

El método de McCluskey es muy adecuado para programarlo por computador. Por lo general, para más de 6 variables, otras técnicas de diseño más simples, basadas en multiplexores (MUX, lección 11), memorias de sólo lectura (ROM's, lección 33) o arreglos lógicos programables (PLA's), resultan ser las más convenientes.

Circuito completo del aplicador

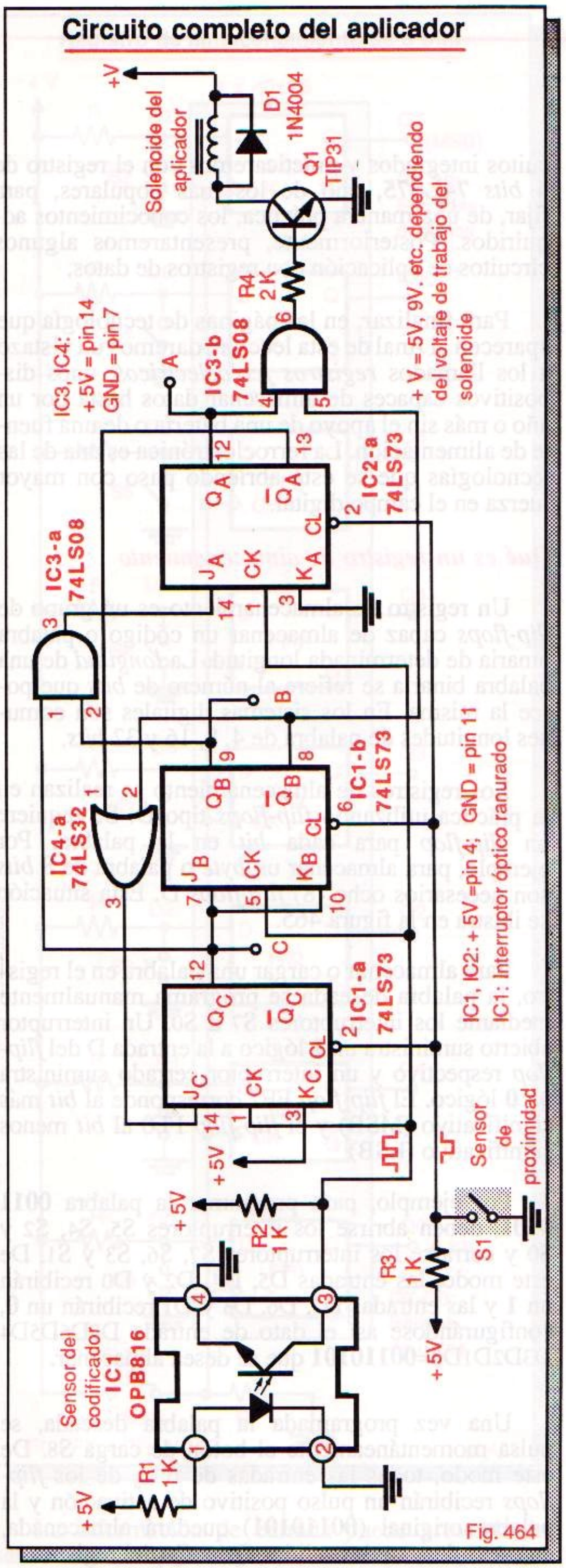


Fig. 464

ACTIVIDAD PRACTICA Nº 18

Construcción del módulo 4: Generador de pulsos de reloj. Parte 2 (instalación de R1 y Cx)

En esta actividad iniciaremos el ensamble del módulo 4 instalando en la tarjeta de circuito impreso del mismo la resistencia R1 (15K) y el condensador Cx (10 µF). Estos componentes determinan, junto con el potenciómetro R2, la frecuencia de salida del circuito. Para efectos prácticos, esta última se puede calcular mediante la siguiente fórmula:

$$F_{(Hz)} = \frac{721.5}{\left[7.5 + R2\ (K\Omega)\right] Cx\ (\mu F)}$$

La frecuencia es máxima cuando R2=0K y mínima cuando R2=100 K. Por ejemplo, si Cx=10 µF, Fmín=0.67 Hz y Fmáx=9.62 Hz

Componentes necesarios

1 resistencia de 15KΩ, 1/4W. **R1**.
1 condensador de 10 µF/50V. **Cx**.
1 circuito impreso CEKIT EDM-4.
Herramientas: cautín, soldadura, cortafríos, pinzas.

Procedimiento

Paso 1. Tome la resistencia de 15KΩ (R1) e instálela y suéldela en la tarjeta de circuito impreso EDM-4, como se indica en la figura A27. Identifique R1 por el código de colores "café, verde, naranja, dorado" impreso sobre su cuerpo.

Paso 2. Tome el condensador de 10 µF y consérvelo en un sitio seguro hasta que sea tiempo de utilizarlo, durante la prueba del módulo.

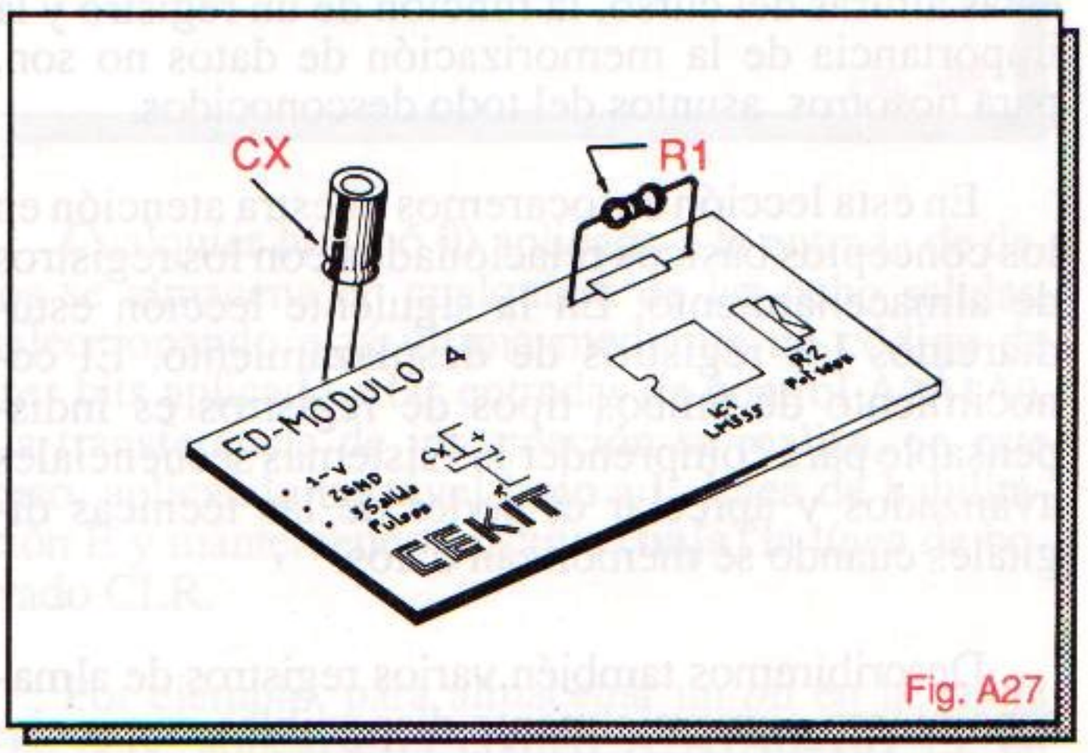


Fig. A27

Registros de almacenamiento

- *Introducción*
- *Qué es un registro de almacenamiento*
- *Registros direccionables*
- *Registros de almacenamiento integrados*
- *Experimento Nº 24. Operación de un registro de almacenamiento de 4 bits*
- *CIRCUITOS DE APLICACION*
- *Tecnología: Registros ferroeléctricos*

Introducción

Un registro es un grupo de *flip-flops* que se utiliza para memorizar datos temporalmente. En electrónica digital existen básicamente dos tipos de registros: los registros de almacenamiento (*storage registers*) y los registros de desplazamiento (*shift registers*).

Los registros se configuran, generalmente, utilizando *flip-flops* tipo D y se emplean en una gran variedad de aplicaciones digitales: contadores, dispositivos dé almacenamiento de datos, generadores de patrones y secuencias, microprocesadores, sistemas de adquisición de datos, etc.

Los registros de almacenamiento son muy útiles para interceptar datos provenientes, por ejemplo, de un microprocesador y retenerlos por el tiempo que se requiera. Se pueden también utilizar para *muestrear* datos válidos, retener códigos suministrados por teclado, realizar conversiones de serie a paralelo, etc. Estas y otras aplicaciones las iremos conociendo a medida que avancemos en el curso.

Muchos circuitos integrados típicamente combinatorios estudiados en lecciones anteriores, por ejemplo los decodificadores **4511B** y **4543B** (ver página 127) incorporan registros en su estructura, es decir, están dotados de memoria. Por tal razón, a estas alturas del curso, la función de un registro y la importancia de la memorización de datos no son, para nosotros, asuntos del todo desconocidos.

En esta lección enfocaremos nuestra atención en los conceptos básicos relacionados con los registros de almacenamiento. En la siguiente lección estudiaremos los registros de desplazamiento. El conocimiento de ambos tipos de registros es indispensable para comprender los sistemas secuenciales avanzados y apreciar el poder de las técnicas digitales cuando se memorizan datos.

Describiremos también varios registros de almacenamiento comercialmente disponibles como circuitos integrados y practicaremos con el registro de 4 *bits* **74LS75**, uno de los más populares, para fijar, de una manera práctica, los conocimientos adquiridos. Posteriormente, presentaremos algunos circuitos de aplicación con registros de datos.

Para finalizar, en las páginas de tecnología que aparecen al final de esta lección, daremos un vistazo a los llamados *registros ferroelectricos*, unos dispositivos capaces de almacenar datos hasta por un año o más sin el apoyo de una batería o de una fuente de alimentación. La ferroelectrónica es una de las tecnologías que se está abriendo paso con mayor fuerza en el campo digital.

Qué es un registro de almacenamiento

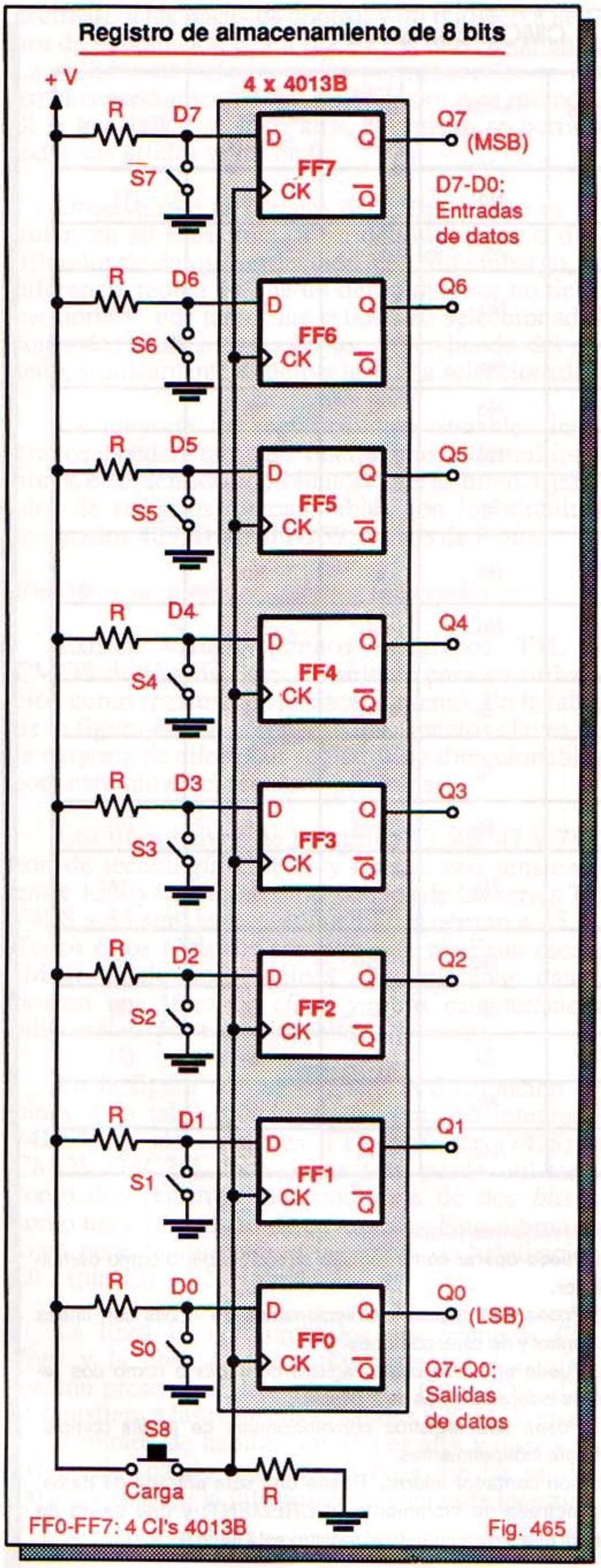
Un registro de almacenamiento es un grupo de *flip-flops* capaz de almacenar un código o palabra binaria de determinada longitud. La *longitud* de una palabra binaria se refiere al número de *bits* que posee la misma. En los sistemas digitales son comunes longitudes de palabra de 4, 8, 16 y 32 *bits*.

Los registros de almacenamiento se realizan en la práctica utilizando *flip-flops* tipo D. Se requiere un *flip-flop* para cada *bit* en la palabra. Por ejemplo, para almacenar un *byte* o palabra de 8 *bits* son necesarios ocho (8) *flip-flops* D. Esta situación se ilustra en la figura 465.

Para almacenar o cargar una palabra en el registro, la palabra deseada se programa manualmente mediante los interruptores S7 a S0. Un interruptor abierto suministra un **1** lógico a la entrada D del *flip-flop* respectivo y un interruptor cerrado suministra un **0** lógico. El *flip-flop* FF7 corresponde al *bit* más significativo (MSB) y el *flip-flop* FF0 al *bit* menos significativo (LSB)

Por ejemplo, para programar la palabra **0011 0101**, deben abrirse los interruptores S5, S4, S2 y S0 y cerrarse los interruptores S7, S6, S3 y S1. De este modo, las entradas D5, D4, D2 y D0 recibirán un **1** y las entradas D7, D6, D3 y D1 recibirán un **0**, configurándose así el dato de entrada D7D6D5D4 D3D2D1D0=**00110101** que se desea almacenar.

Una vez programada la palabra deseada, se pulsa momentáneamente el botón de carga S8. De este modo, todas las entradas de reloj de los *flip-flops* recibirán un pulso positivo de activación y la palabra original (**00110101**) quedará almacenada, en ese orden, en las salidas Q7 a Q0 del registro.



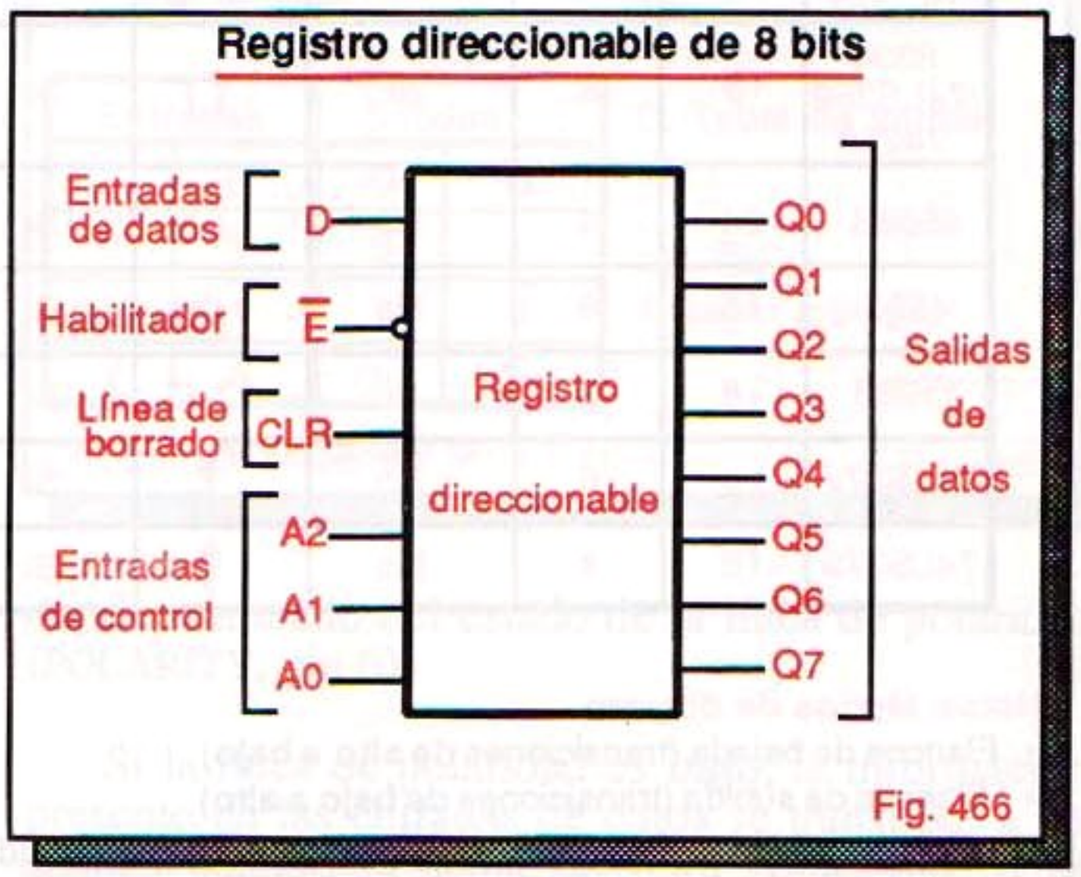
La información de entrada puede provenir de sensores, microprocesadores, conversores A/D, etc.

Ejemplos de registros de almacenamiento son los circuitos integrados **4042B** (4 *bits*), **40174B** (6 *bits*), **74LS75** (4 *bits*), **74C174** (6 *bits*), **74 LS373** (8 *bits*), etc. La mayoría de registros integrados posee una línea de borrado o *clear* (CLR) que permite inicializar todos los *flip-flops* internos en **0**'s. Algunos tienen, también, salidas *tri-state* y otras características adicionales de control, como veremos más adelante.

Registros direccionables

En el registro de la figura 465, la información de entrada se aplica en *paralelo* (todos los *bits* al mismo tiempo) y la información de salida se recibe también en paralelo. Existe, sin embargo, una variedad de registros de almacenamiento que reciben información en *serie* (*bit* por *bit*) y la entregan en paralelo. Estos dispositivos se denominan *registros direccionables*.

En la figura 466, por ejemplo, se muestra el diagrama en bloque de un registro direccionable de 8 *bits*. Observe que el dispositivo posee una sola entrada de datos (D), ocho salidas (Q0 hasta Q7), tres líneas de control o de direccionamiento (A2, A1, A0), una línea de habilitación ($\overline{E}$) y una línea de borrado o *clear* (CLR).



Cualquier *bit* (**1** ó **0**) aplicado a la entrada de datos se almacena en cualquiera de las ocho salidas, seleccionando está última mediante un código de *tres* bits aplicado a las entradas de control A2A1A0. La transferencia de información se realiza, en este caso, aplicando un nivel **bajo** a la línea de habilitación $\overline{E}$ y manteniendo inactiva (**baja**) la línea de borrado CLR.

Por ejemplo, para almacenar un *bit* en la salida Q5, debe aplicarse el código A2A1A0=**101** (5, en

Registros de datos TTL y CMOS comunes

Tipo	Nº de pines	Nº de bits	Direc-cionable	Modo de disparo	Salidas Q	Salidas $\overline{Q}$	Salidas tri-state	Línea de clear	Líneas de habili-tación	Obser-vaciones
4042B	16	4	No	↑↓	Si	Si	No	No	No	(1)
4076B	16	4	No	↑	Si	No	Si	Si	Si	
4099B 4724B	16	8	Si	⊓	Si	No	No	Si	Si	(2)
40174B	16	6	No	↑	Si	No	No	Si	No	
40175	16	4	No	↑	Si	Si	No	Si	No	
4723B	16	4	Si	⊓	Si	No	No	Si	Si	(2) (3)
74C173 74LS173	16	4	No	↑	Si	No	Si	Si	Si	
74LS174 74C174 74174	16	6	No	↑	Si	No	No	Si	No	
74LS175 74C175 74175	16	4	No	↑	Si	Si	No	Si	No	
74C373 74LS373	20	8	No	⊓	Si	No	Si	No	Si	
74C374 74LS374	20	8	No	↑	Si	No	Si	No	No	
7475 74LS75	16	4	No	⊓	Si	Si	No	No	Si	(4)
8334 74LS259 74259	16	8	Si	⊓	Si	No	No	Si	Si	(2)
4508B	24	4	No	⊓	Si	No	No	Si	Si	(5)
4597	16	8	No	⊓	Si	No	Si	Si	Si	(6)
4598B	18	8	Si	⊓	Si	No	Si	Si	Si	(2)
74LS378	16	6	No	↑	Si	No	No	No	Si	
74LS379	16	4	No	↑	Si	Si	No	No	Si	

Notas: Modos de disparo

↓: Flancos de bajada (transiciones de **alto** a **bajo**)

↑: Flancos de subida (transiciones de **bajo** a **alto**)

⊓: Pulsos positivos. Las salidas siguen las entradas cuando la señal de habilitación es **alta** y retienen el dato cuando es **baja**.

⊓: Pulsos negativos. Las salidas siguen las entradas cuando la señal de habilitación es **baja** y retienen el dato cuando es **alta**.

Observaciones:

[1]: Posee una línea de polaridad (POLARITY) para programar el disparo por flancos de subida (POL=**0**) o de bajada (POL=**1**).

Observaciones (Cont.):

[2]: Puede operar como registro direccionable o como demultiplexor.

[3]: Posee dos registros direccionables de 4 *bits* con líneas de control y de *clear* comunes.

[4]: Puede utilizarse como registro de 4 *bits* o como dos registros independientes de 2 *bits*.

[5]: Posee dos registros convencionales de 4 *bits* completamente independientes.

[6]: Con contador interno. Posee una sola entrada de datos, una entrada de incremento (INCREMENT) y una salida de control que indica cuando el registro está lleno (FULL).

Fig. 467

decimal) a las líneas de control y un **0** lógico a la línea de habilitación $\overline{E}$. La línea CLR debe estar en **0**. Las salidas no seleccionadas permanecerán en los estados previamente almacenados por este método. Si la línea CLR se hace **alta**, el registro se borra y todas sus salidas se hacen **0**.

Observe que el registro de la figura 466 es similar, en su estructura, a un demultiplexor o distribuidor de datos (ver lección 12). Sin embargo, la diferencia radica en que un demultiplexor no tiene memoria y, por tanto, las salidas no seleccionadas son todas **altas** o todas **bajas**, dependiendo del diseño, y únicamente es activa la salida seleccionada.

La mayoría de registros direccionables integrados pueden también operar como demultiplexores, en el sentido combinatorio del término. Ejemplos de registros direccionables son los circuitos integrados **4099B** y **74LS259**, ambos de 8 *bits*.

Registros de almacenamiento integrados

Existen varios circuitos integrados TTL y CMOS diseñados específicamente para su utilización como registros de almacenamiento. En la tabla de la figura 467 se comparan los aspectos claves de la mayoría de ellos. Los registros no direccionables son, naturalmente, registros paralelos.

Los dispositivos de las series 40, 45, 47 y 74C son de tecnología CMOS y operan con tensiones entre +3V y +18V mientras que los de las series 74, 74LS y 83 son de tecnología TTL y operan a +5 V. Todos estos registros son *chips* de mediana escala (MSI) y algunos, además de almacenar datos, poseen una línea de *clear* y otras características adicionales (por ejemplo, salidas *tri-state*).

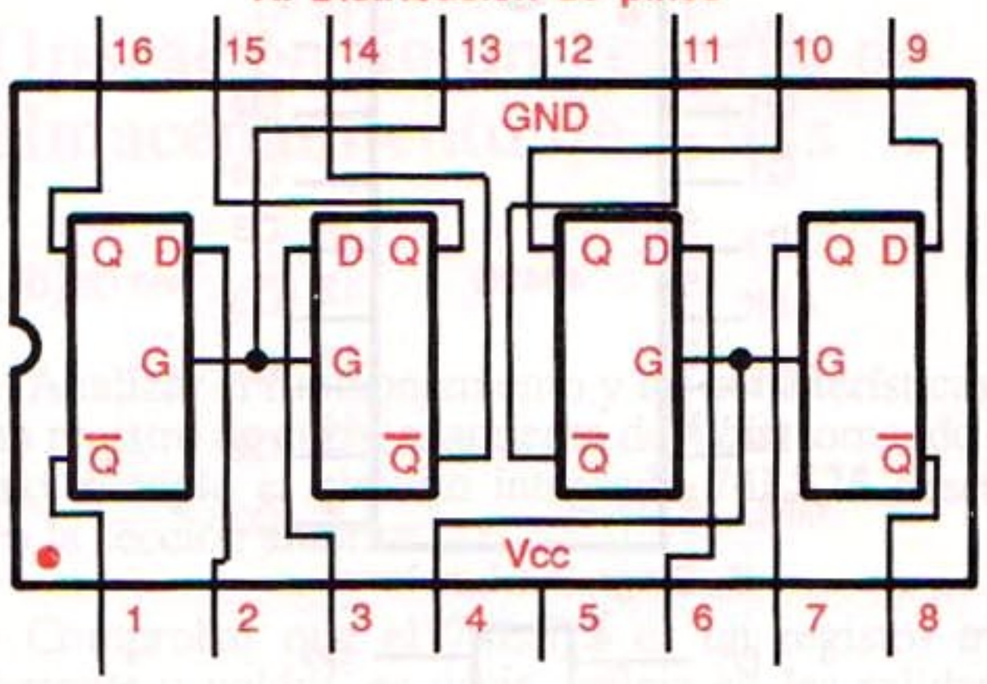
En la figura 468 se muestra la distribución de pines y la tabla funcional del circuito integrado **74LS75** y sus versiones TTL estándar (**7475**) y CMOS (**74C75**). Este dispositivo puede utilizarse como dos registros independientes de dos *bits* o como un solo registro de cuatro *bits*. Esto último se logra conectando entre sí las líneas de habilitación E0-1 (pin 13) y E2-3 (pin 4).

La línea E0-1 controla los dos primeros *flip-flops* y la línea E2-3 los dos restantes. La información presente en las entradas de datos (D0 a D3) se transfiere a las respectivas salidas (Q0 a Q3) cuando la entrada de habilitación (E) es **alta** y queda almacenada cuando esa línea es **baja**. En las salidas $\overline{Q}0$ a $\overline{Q}3$ aparece la información de entrada invertida.

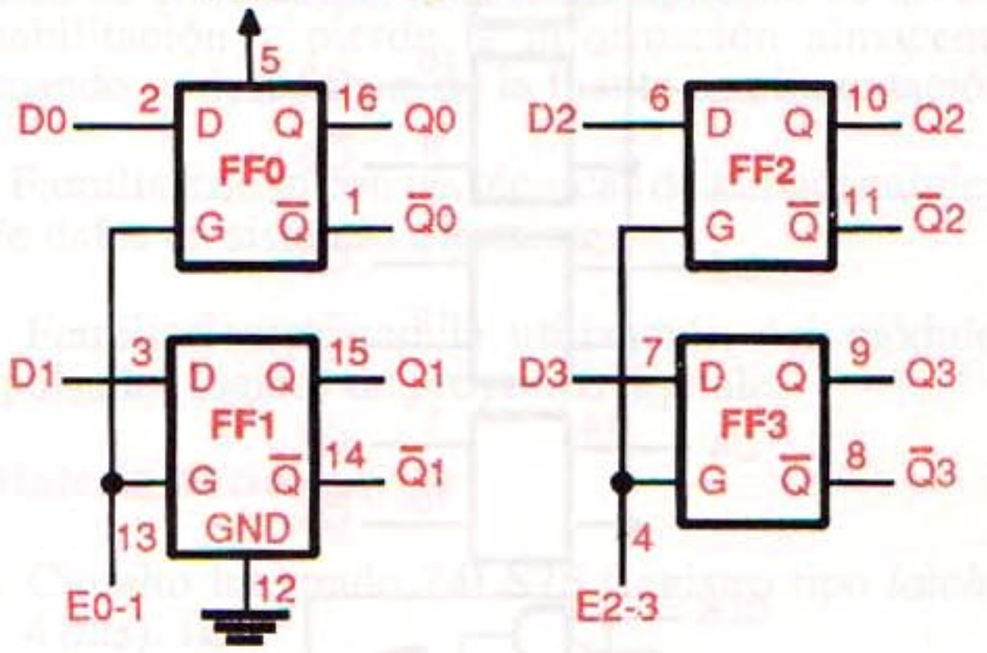
En la figura 469 se muestra la distribución de pines y la tabla funcional del circuito integrado **40 42B**, un registro de 4 *bits* con salidas complementarias y disparable por flancos de subida o de baja-

Circuitos integrados 74LS75/7475/74C75

A. Distribución de pines



B. Diagrama funcional



C. Tabla de verdad

Entradas		Salidas	
D	E	Q	$\overline{Q}$
0	1	0	1
1	1	1	0
X	0	Qo	$\overline{Q}$o

Q0, $\overline{Q}$0: Estados previos

X: Indiferente (puede ser 0 ó 1)

Fig. 468

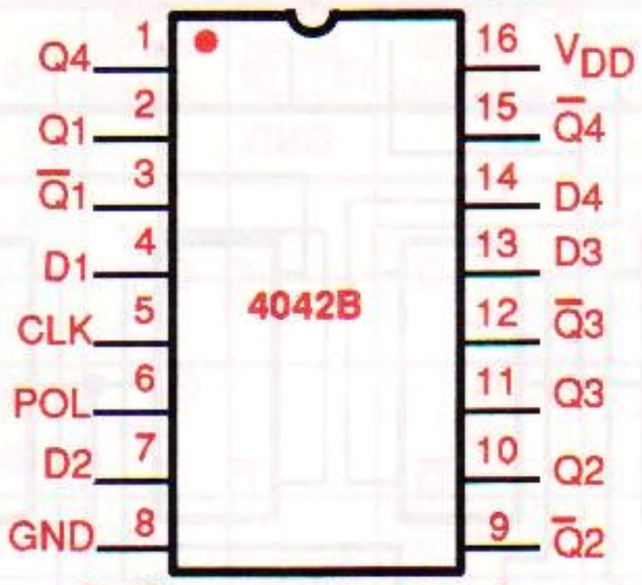
da, dependiendo del estado de la línea de polaridad (POLARITY, pin 6).

Si la línea de polaridad es **baja**, la información presente en las entradas de datos se transfiere a las salidas cuando la señal de reloj (CLK, pin 5) es **baja** y queda almacenada cuando esta señal realiza una transición positiva (de **0** a **1**), permaneciendo retenida hasta que ocurra una transición de reloj en sentido contrario (de **1** a **0**).

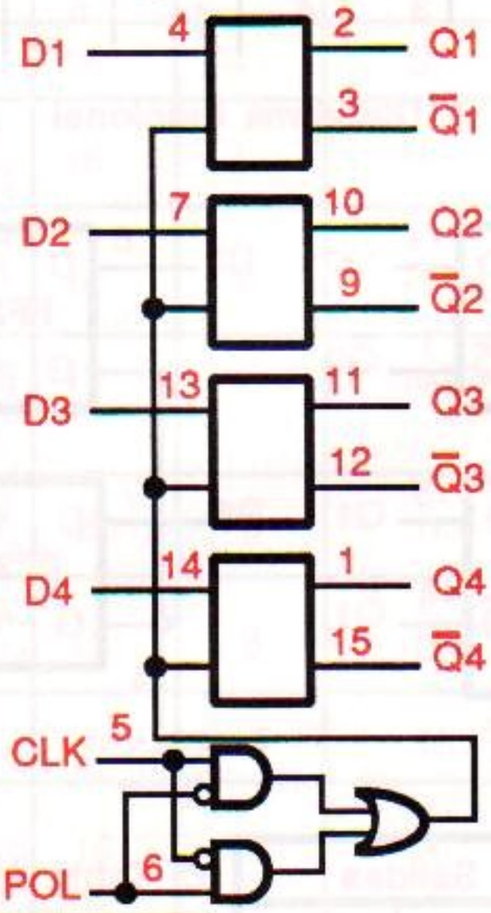
Si la línea de polaridad es **alta**, la información presente en las entradas de datos se transfiere a las salidas cuando la señal de reloj (CLK, pin 5) es **alta** y queda almacenada cuando esta señal realiza una transición negativa (de **1** a **0**), permaneciendo retenida hasta que ocurra una transición de reloj en sentido contrario (de **0** a **1**).

Circuito integrado 4042B

A. Distribución de pines



B. Diagrama funcional



CLK	POL	Q
0	0	D
⌐	0	Latch
1	1	D
⌙	1	Latch

C. Tabla de verdad

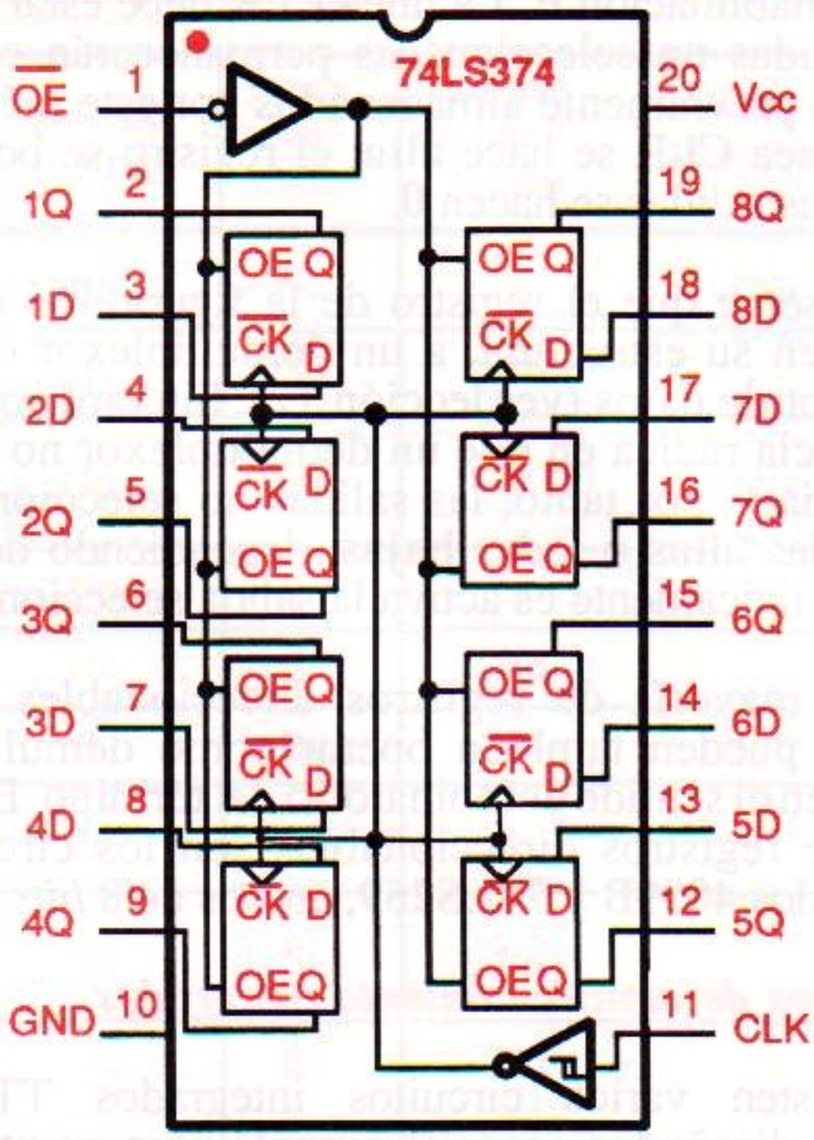
Fig. 469

En la figura 470 se muestra la distribución de pines y la tabla funcional del circuito integrado **74LS 374** y su versión CMOS (**74C374**). Este dispositivo es un registro de 8 *bits* con salidas *tri-state* y resulta particularmente adecuado para sistemas de microprocesador. La misma función está también disponible en versión ferroeléctrica con la referencia **74CF374** (ver sección de tecnología).

Los ocho *flip-flops* tipo D del **74LS374** son disparables por flancos de subida. La información presente en las entradas de datos (D0 a D7) se transfiere a las salidas (Q0 a Q7) en las transiciones positivas de la señal de reloj (CLK, pin 11).

Cuando la línea de habilitación $\overline{OE}$ (*Output Enable*, pin 1) es **alta**, todas las salidas adoptan el estado de alta impedancia (Hi-Z). Si esta línea es **baja**, el dispositivo trabaja como un registro de 8

Circuitos integrados 74LS374 y 74C374



$\overline{OE}$	CLK	D	Q
0	↑	1	1
0	↑	0	0
0	0	X	Qo
1	X	X	Hi-Z

X: Indiferente (0 ó 1)
↑: Flanco de subida
Hi-Z: Alta impedancia
Qo: Estado previo

Fig. 470

datos convencional. La línea $\overline{OE}$ no afecta la operación interna de los *flip-flops*, es decir, se pueden introducir nuevos datos o retener los ya existentes incluso cuando las salidas estén desconectadas.

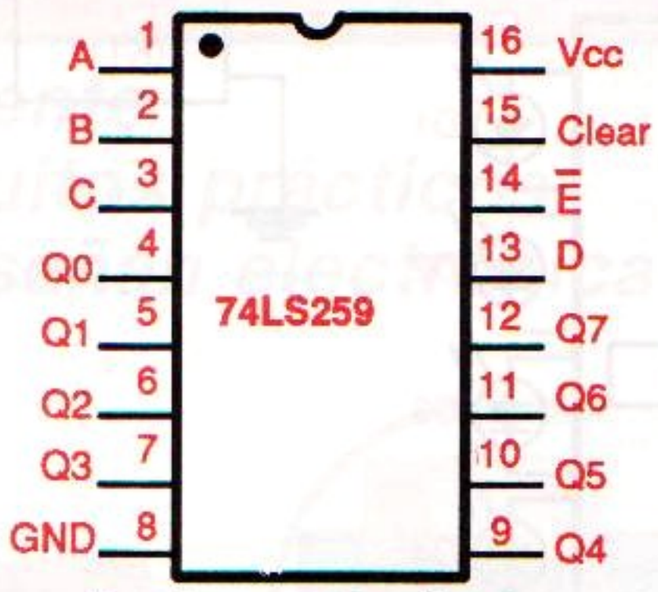
En la figura 471 se muestra la distribución de pines y la tabla funcional del circuito integrado **74LS 259**, un registro direccionable de 8 *bits*. El dispositivo puede también operar como demultiplexor o distribuidor de datos con salidas activas **altas**.

De acuerdo al estado de las líneas de borrado (CLR, pin 15) y de habilitación ($\overline{E}$, pin 14) son posibles cuatro modos distintos de funcionamiento. Cuando CLR=**1** y $\overline{E}$=**0**, el estado de la entrada de datos (D, pin 13) se transfiere a la salida (Q0 a Q7) seleccionada mediante las líneas de control CBA (pines 3, 2 y 1). Las salidas no seleccionadas permanecen en sus estados previos.

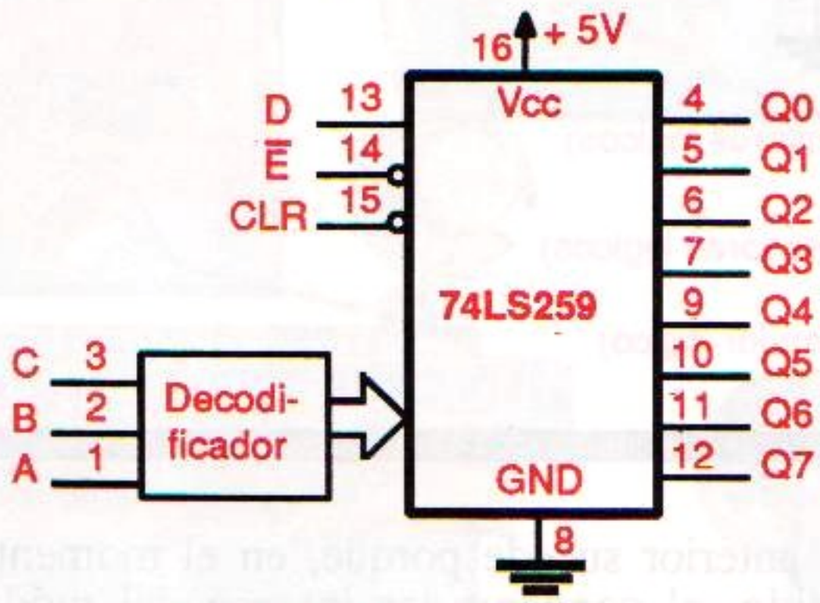
Cuando CLR=**1** y $\overline{E}$=**1**, el dispositivo ignora el estado de la entrada de datos y de las líneas de control. Todas las salidas permanecen en sus estados previos. Cuando CLR=**0** y $\overline{E}$=**0**, el estado de la entrada de datos se transfiere a la salida seleccionada. Las entradas no seleccionadas se hacen **bajas**. es decir, el **74LS259** opera como un demultiplexor o distribuidor de datos.

Circuito integrado 74LS259/74259

A. Distribución de pines



B. Diagrama funcional



C. Tabla de verdad

Entradas		Salidas		Función
CLR	E	Selec-cionada	No Selec.	
1	0	D	Qo	Latch
1	1	Qo	Qo	Memoria
0	0	D	0	Demux
0	1	0	0	Clear

Qo: Estado previo
D : Estado de la entrada de datos

Fig. 471

Cuando CLR=**0** y Ē=**1**, todas las salidas se hacen **bajas**, sin importar el estado de la entrada de datos y de las líneas de control. Para eliminar la posibilidad de almacenar datos erróneos, la línea de habilitación debe mantenerse inactiva (**alta**) mientras cambian las líneas de control.

En el siguiente experimento practicaremos con el circuito integrado **74LS75**, alambrado como un registro de 4 *bits*. Los datos de entrada los suministraremos mediante los interruptores lógicos del módulo 2 y la información de salida la visualizaremos en los monitores lógicos del módulo 1. La señal de habilitación la provee el pulsador lógico del módulo 3.

EXPERIMENTO Nº 24

Operación de un registro de almacenamiento de 4 bits

Objetivos

• Analizar el funcionamiento y las características de un registro de almacenamiento de 4 *bits* tomando como ejemplo el circuito integrado **74LS75** descrito en la sección anterior.

• Comprobar que el **74LS75** es un registro *trasparente* y *volátil*, es decir, refleja en las salidas el dato de entrada mientras tenga aplicado su nivel de habilitación y pierde la información almacenada cuando se desconecta de la fuente de alimentación.

• Familiarizarse con las técnicas de almacenamiento de datos en sistemas digitales.

• Familiarizarse con la utilización del módulo 3 (pulsador lógico) en proyectos digitales.

Materiales necesarios

1 Circuito integrado **74LS75** (registro tipo *latch* de 4 *bits*). **IC1.**
4 Monitores lógicos (módulo EDM-1). **D1-D4.**
4 Interruptores lógicos (módulo EDM-2). **S1-S4.**
1 Pulsador lógico (módulo EDM-3). **S5.**
1 Fuente regulada de 5V/1A (*kit* CEKIT **K11**)
Vcc.
1 *Protoboard.*
Puentes de alambre telefónico Nº 22 ó Nº 24.

Descripción del circuito de prueba

En la figura E42 se muestra el circuito que utilizaremos en este experimento para comprobar la operación del registro de 4 *bits* **74LS75**. La información de entrada se obtiene de los 4 interruptores lógicos del módulo 2. La información de salida se visualiza en los 4 monitores lógicos del módulo 1. La señal de habilitación, activa en **alto**, la provee el pulsador lógico del módulo 3.

Específicamente, S1 determina el estado de la entrada D3 del registro (MSB), S2 el de la entrada D2, S3 el de la entrada D1 y S4 el de la entrada D0 (LSB). Los monitores D1, D2, D3 y D4 visualizan, en su orden, el estado de las salidas Q3 (MSB), Q2, Q1 y Q0 (LSB). S5 aplica un **1** a las líneas de habilitación cuando se pulsa y un **0** cuando se libera.

Las salidas complementarias ($\overline{Q}3$, $\overline{Q}2$, $\overline{Q}1$, $\overline{Q}0$) no se utilizan. Observe que las entradas de habilita-

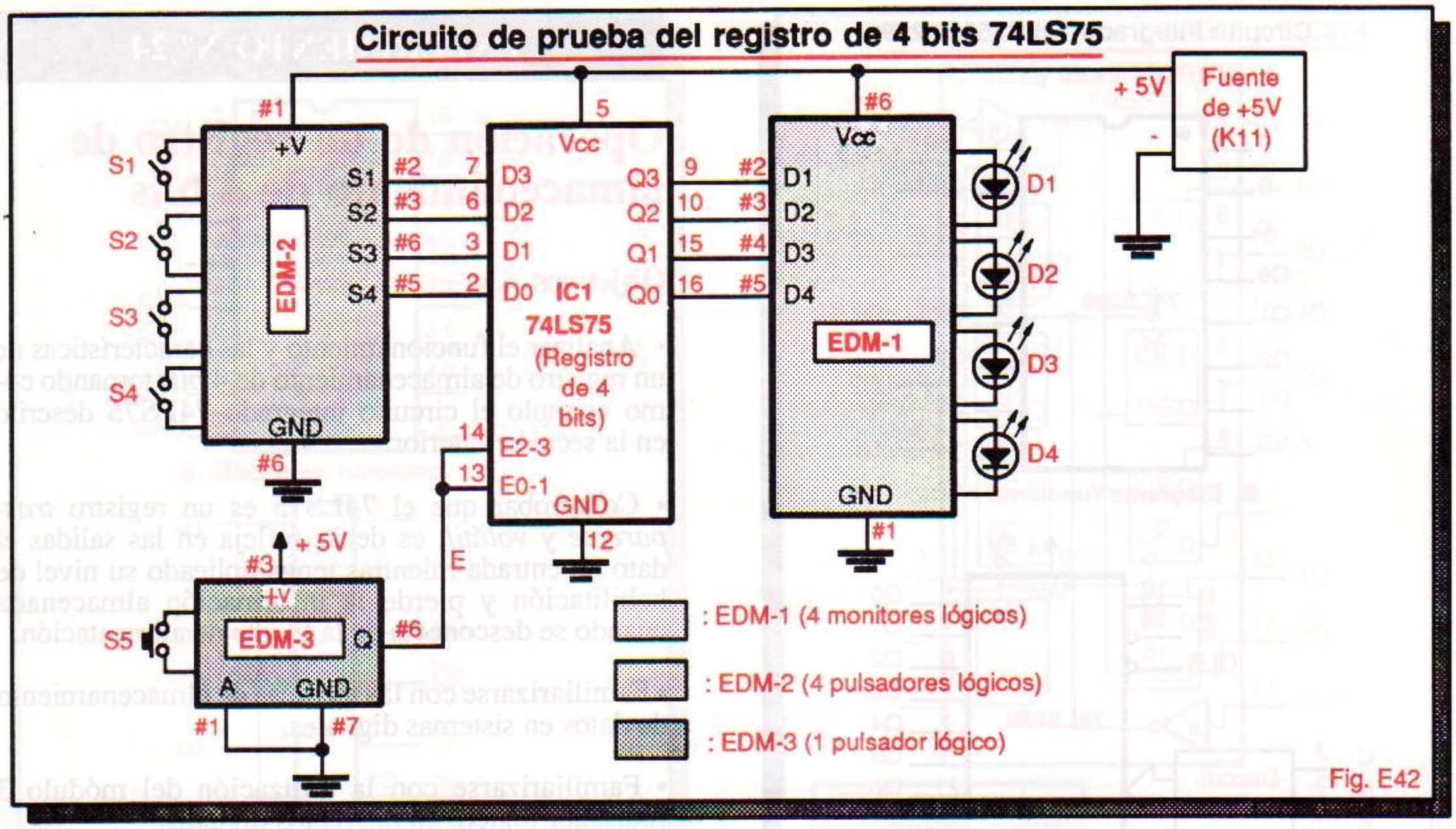


Fig. E42

ción E0-1 (pin 13) y E2-3 (pin 4) del **74LS75** se han conectado entre sí con el fin de formar una línea común de habilitación para los 4 *flip-flops* internos.

Note también que la entrada A del inversor (pin #1) del módulo 3 se ha conectado a tierra con el fin de proteger este último de cargas estáticas (ESD).

Nota: El pulsador normalmente abierto del módulo 3 se ha referenciado como S5 y no como S1 (ver página 212) con el fin de evitar confusiones.

Procedimiento

Paso 1. Arme sobre su *protoboard* el circuito de la figura E42. Observe que la tensión de alimentación de 5V del circuito integrado **74LS75** se aplica entre los pines 5 (+Vcc) y 12 (GND). No olvide alimentar los módulos EDM-1, EDM-2 y EDM-3, como se indica.

Al terminar el montaje, sitúe los interruptores del módulo 2 (S1-S4) en la posición "**0**". De este modo, el registro recibirá, inicialmente, la palabra de 4 *bits* D3D2D1D0=**0000** (*clear*) y sus *flip-flops* internos se borrarán en el momento del encendido. Antes de prender la fuente, revise bien todas sus conexiones y corrija los posibles errores.

Paso 2. Encienda la fuente de alimentación. Ninguno de los monitores del módulo 1 debe iluminarse, indicando que todas las salidas del registro son **bajas** (Q3Q2Q1Q0=**0000**).

Lo anterior sucede porque, en el momento del encendido, el condensador interno del módulo 3 (C1), inicialmente descargado, aplica un pulso positivo de disparo muy rápido a la entrada de habilitación (E), suficiente para provocar que el dato de entrada (**0000**) se transfiera a las salidas y quede almacenado en el registro. Este detalle es importante tenerlo en cuenta, como veremos luego.

Paso 3. Para comprobar la función de almacenamiento del registro, programe cualquier palabra de 4 *bits* en los interruptores del módulo 2, situándolos en las posiciones adecuadas. Por ejemplo, para programar el dato D3D2D1D0=**1011** (11, en decimal ó B, en hexadecimal), situé S1, S3 y S4 en la posición "**1**" y S2 en la posición "**0**".

Una vez programada la palabra deseada, pulse S5 y libérelo. Observará que los monitores D1, D3 y D4 se iluminan mientras el monitor D2 permanece apagado, indicando que el dato presente en las salidas es Q3Q2Q1Q0=**1011**, es decir, el mismo dato de entrada.

Lo anterior sucede porque, al pulsar S5, la línea común de habilitación (E) del registro recibe un nivel **alto** de activación y la información de entrada se transfiere a las salidas. Cuando se libera S5, la línea de habilitación se hace **baja** pero el dato previo ya ha quedado almacenado en el registro.

Para verificar esto último, programe cualquier otra palabra de entrada en los interruptores S1 a S4

y, sin pulsar S5, observe lo que sucede en los monitores D1 a D4. Notará que la situación no cambia: el dato de salida sigue siendo **1011**.

Para confirmar aún más este efecto de memoria, retire cuidadosamente el módulo 2 de su *protoboard* y observe lo que sucede en las salidas. Notará que permanece el mismo dato (**1011**) "atrapado" en el registro. Una vez hecha esta prueba, sitúe todos los interruptores del módulo 3 en la posición "**0**" y reinsértelo con cuidado en la posición original. La salida debe seguir siendo **1011**.

Repita este paso con otros datos de entrada. El módulo 2 le ofrece la posibilidad de programar hasta 16 palabras de datos, desde **0000** hasta **1111**, es decir, desde 0 hasta F en notación *hexadecimal*. En esta última, los códigos binarios del 10 al 15 se designan con las letras A hasta F así: **1010**=A, **10 11**=B, **1100**=C, **1101**=D, **1110**=E y **1111**=F.

Por ejemplo, la palabra binaria de 8 *bits* **1000 1101** se puede representar, en forma más concisa, como **8D** en hexadecimal. La notación hexadecimal es muy importante en la programación de *microprocesadores* y *microcontroladores*. El sistema hexadecimal de numeración se analiza en detalle en la lección 27 de este curso.

Paso 4. Para comprobar la *transparencia* del registro, pulse S5 y manténgalo pulsado mientras programa sucesivamente, en los interruptores S1 a S3, todos los códigos posibles de 4 *bits*, desde **0000** hasta **1111** (ver tabla 9-2, página 110).

Notará que el dato programado en las entradas se transfiere inmediatamente a las salidas. Esto sucede porque el **74LS75** es un registro disparable por nivel (transparente) y no por flancos. Al liberar S5, el registro retendrá el último dato programado.

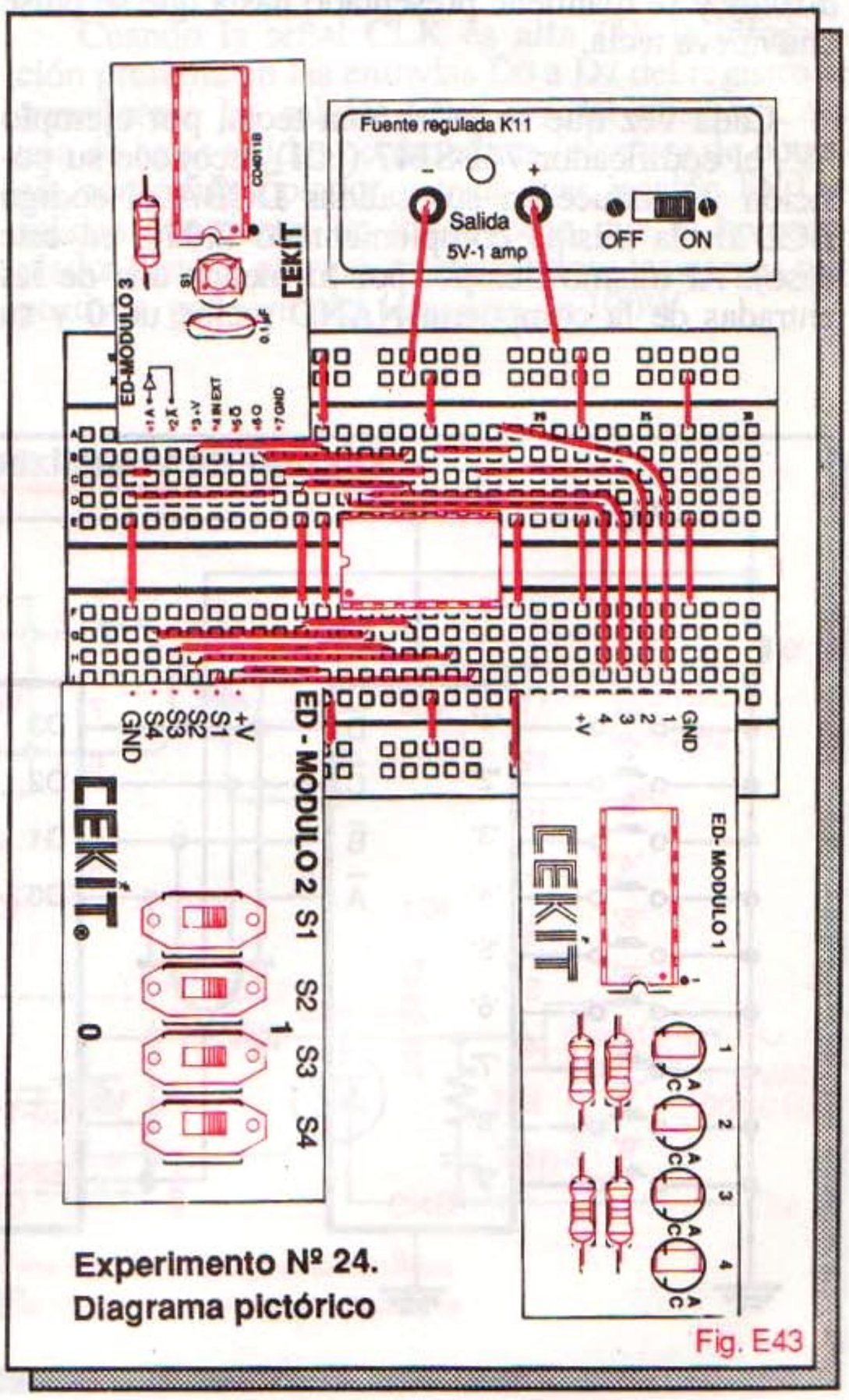
Paso 5. Para comprobar la *volatilidad* del registro, es decir, la pérdida de la información almacenada cuando se suspende el suministro de potencia del *chip*, programe cualquier dato de entrada distinto de **0000** ó **1111** en los interruptores S1 a S3 y cárguelo en el registro, como hizo al comienzo del paso 3.

El dato programado debe quedar almacenado en las salidas. Desconecte la fuente de alimentación. Los LED encendidos, naturalmente, deben apagarse. Retire los módulos 2 y 3 del *protoboard*. Conecte nuevamente la fuente de alimentación. Observe lo que ha sucedido: ¡el dato previamente almacenado (por ejemplo, **1010**) ha desaparecido y ha sido sustituido por otro, en este caso **1111**!.

En otras palabras, la información original se ha esfumado: *¡el registro ha sido incapaz de retenerla sin el soporte de una fuente de alimentación!*. Los *flip-flops* convencionales, y todas las funciones que se realizan con ellos (registros, contadores, memorias RAM, etc.), son *volátiles* por naturaleza y pierden la información almacenada en ellos cuando se desenergizan.

En algunas aplicaciones (por ejemplo, computadores), esta volatización de información puede llegar a ser crítica. Esta aparente desventaja de los registros tradicionales tiende a ser subsanada con el desarrollo de los llamados dispositivos *ferroeléctricos*, como veremos en la sección de tecnología, al final de esta lección.

Nota: En la figura E43 se muestra un montaje en *protoboard* del circuito de prueba de la figura E42 con el fin de ilustrar la utilización del módulo 3 (pulsador lógico). Suponemos que, a estas alturas del curso, usted ya está suficientemente familiarizado con el armado de proyectos en *protoboard*. Por esta razón, la presentación de este tipo de diagramas pictóricos será muy esporádica.



Experimento Nº 24.
Diagrama pictórico

Fig. E43

CIRCUITOS DE APLICACION

Presentaremos a continuación algunos circuitos prácticos que utilizan registros para almacenar datos temporalmente. También, nos reencontraremos con varias de las funciones combinatorias estudiadas en la primera parte de este curso como codificadores, decodificadores y multiplexores.

Entre los proyectos descritos figuran una unidad de visualización decimal con memoria, un *byte* de potencia para microcomputador, un probador de teclados ASCII y un sistema sincrónico de trasmisión de datos.

Unidad de visualización decimal con memoria

Uno de los usos más comunes de los registros es el almacenamiento temporal de información procedente de teclados. El circuito de la figura 472 es un ejemplo de aplicación de este concepto. Al pulsar y liberar una tecla cualquiera, por ejemplo "5", el dígito correspondiente se visualiza en el *display* y se mantiene presentado hasta que se pulse una nueva tecla.

Cada vez que se pulsa una tecla, por ejemplo "5", el codificador **74LS147** (IC1) reconoce su posición y produce en sus salidas $\bar{D}\bar{C}\bar{B}\bar{A}$ el código BCD de la misma complementado (**1010**, en este caso). Al mismo tiempo, por lo menos una de las entradas de la compuerta NAND recibe un **0** y su salida aplica un **1** a la entrada de habilitación (E) del registro **74LS75** (IC2) y lo habilita.

Como resultado, la información suministrada por el **74LS147** (**1010**) se transfiere a las salidas $\bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0$ del registro **74LS75**. Por tanto, en las entradas DCBA del decodificador **74LS47** (IC3) se obtiene el código BCD verdadero (**0101**) de la tecla pulsada. El **74LS47** convierte este código a su representación de siete segmentos equivalente (abcdefg=**0100100**) y el número "5" aparece en el *display*.

Cuando la tecla pulsada se libera, las salidas del **74LS147** se hacen todas **altas**, es decir desaparece la información previa, y la compuerta aplica un **0** al habilitador del **74LS75**, inhibiéndolo. Bajo estas circunstancias, el registro ignora el nuevo código de entrada (**1111**) y mantiene retenido en sus salidas el código previo (**0101**). Por este motivo, el *display* continúa mostrando el número 5.

Cuando se pulsa otra tecla, se repite exactamente el mismo proceso. La compuerta NAND de 5 entradas (IC4) se puede obtener a partir de un *chip* **74LS30** (1 compuerta NAND de 8 entradas, ver lección 5) o dos **74LS00** (4 compuertas NAND de dos entradas), como se muestra en la figura 473.

*Byte de potencia para microcomputador**

El circuito de la figura 474 permite utilizar un sistema microprocesador de 8 *bits* (por ejemplo, el

Unidad de visualización decimal con memoria

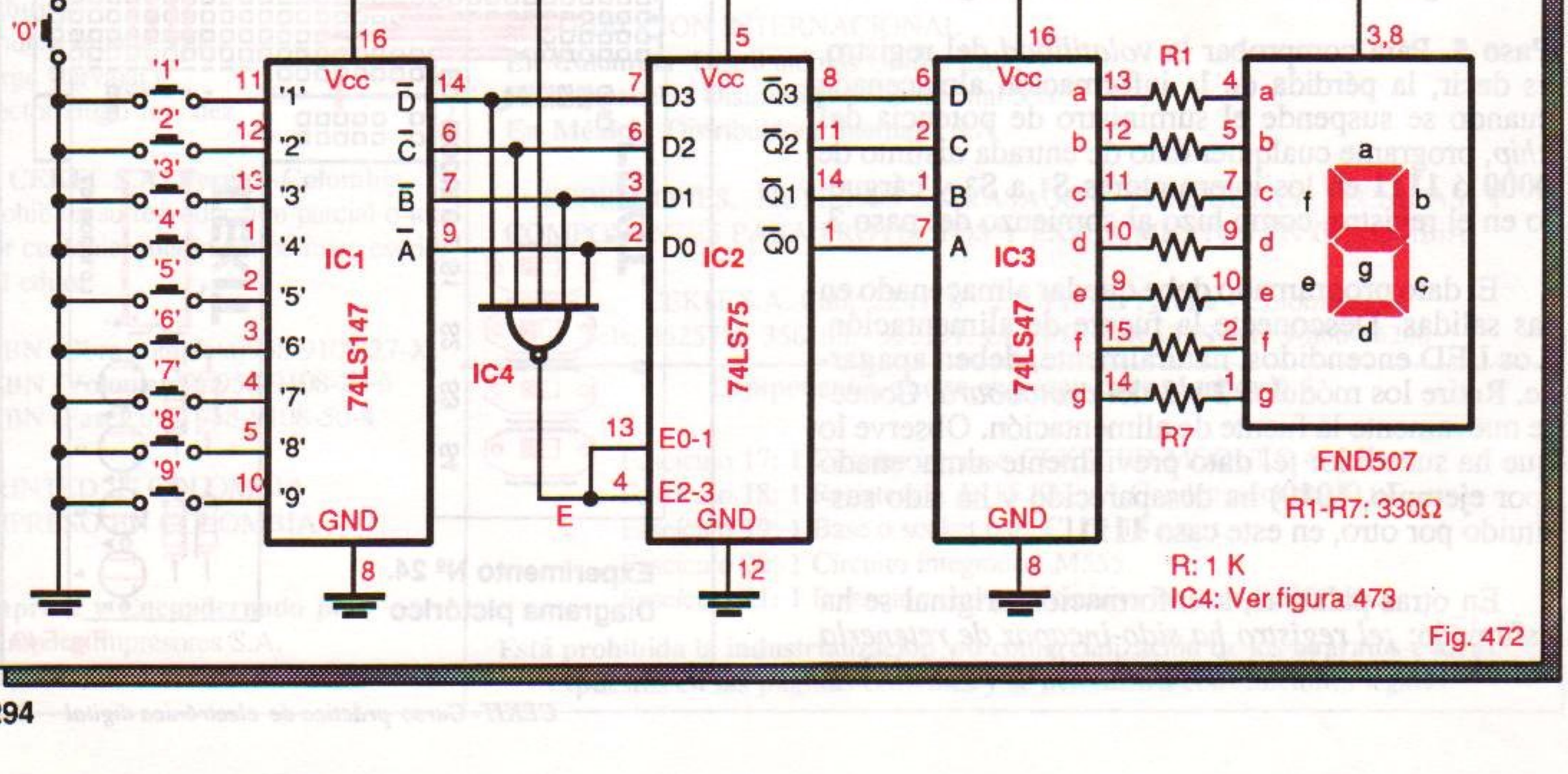


Fig. 472

Compuerta NAND de 5 entradas

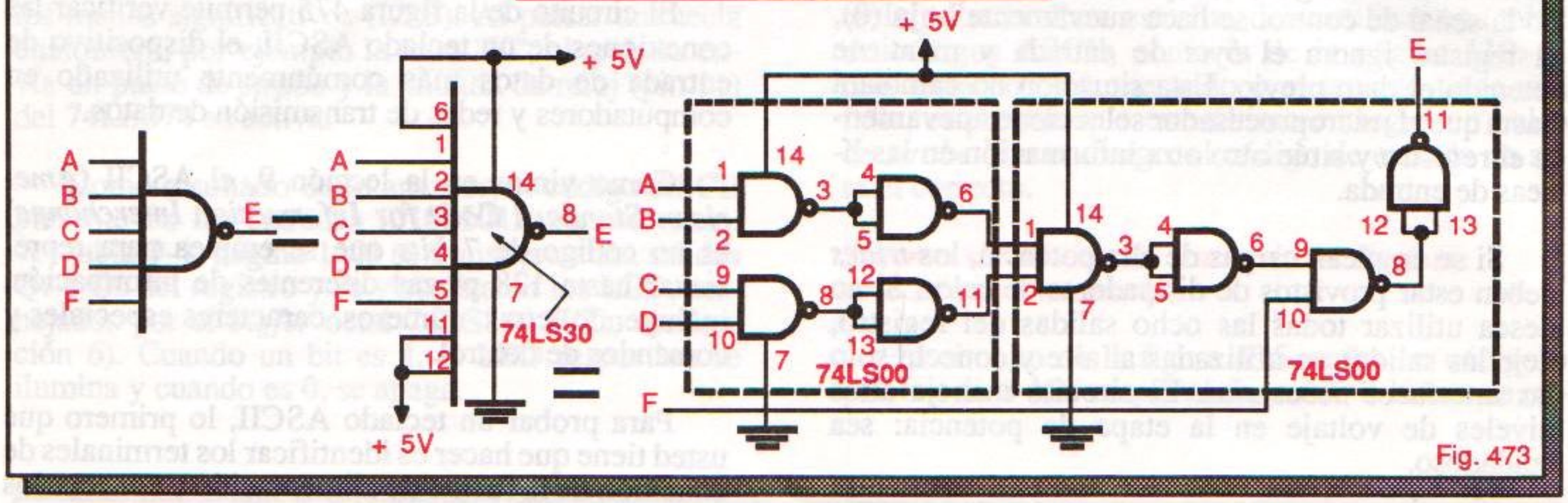


Fig. 473

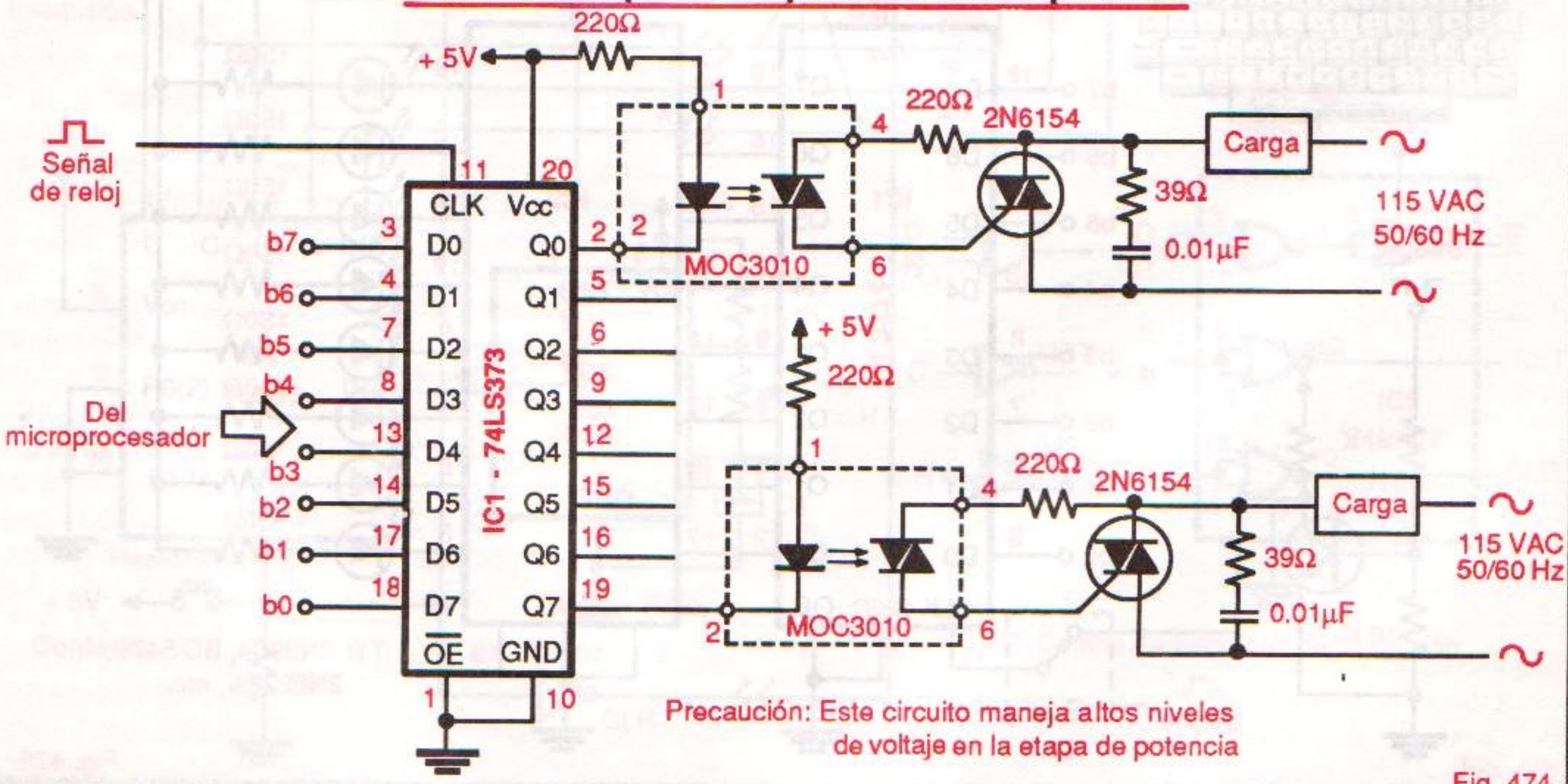
microcomputador MICRO-CEKIT 1 ó 2) para controlar hasta 8 cargas de potencia (lámparas, motores, relés, etc.) alimentadas por la red pública de 115 VAC. El *byte* de entrada (b7b6b5b4b3b2b1b0) puede provenir directamente del bus de datos o de uno de los puertos de salida del microprocesador.

El corazón del circuito es un registro de almacenamiento *tri-state* de 8 *bits* **74LS373** (IC1), disparable por pulsos positivos de voltaje. La señal de control aplicada al pin 11 (CLK) se puede obtener de varias formas. Una de las más comunes es decodificando la dirección del puerto o de la posición de memoria hacia la cual va dirigida la información presente en el bus de datos.

El registro **74LS373** tiene la misma distribución de pines del **74LS374** (ver página 290, figura 470) pero no se dispara por flancos sino por niveles positivos de voltaje. La línea de control $\overline{OE}$ (*output enable*, pin 1), conectada a un nivel **bajo**, mantiene el registro permanentemente habilitado.

Cuando la señal CLK es **alta** (**1**), la información presente en las entradas D0 a D7 del registro se transfiere a las salidas Q0 a Q7 del mismo. Cada una de estas salidas controla una *interface* de potencia con optoacoplador y *triac* (ver lección 8). Las salidas que tienen un **0** provocan que el optoacoplador dispare el *triac*, energizándose las cargas respectivas, por ejemplo, lámparas de 100W.

Interface de potencia para microcomputador



Precaución: Este circuito maneja altos niveles de voltaje en la etapa de potencia

Fig. 474

Las salidas que tienen un nivel **alto** (**1**) no provocan reacción alguna por parte de la carga. Cuando la señal de control se hace nuevamente **baja** (**0**), el registro ignora el *byte* de entrada y mantiene retenido el dato previo. Esta situación no cambiará hasta que el microprocesador seleccione nuevamente el registro y sitúe otro otra información en las líneas de entrada.

Si se emplean cargas de alta potencia, los *triacs* deben estar provistos de disipadores de calor. Si no desea utilizar todas las ocho salidas del registro, deje las salidas no utilizadas al aire y conecte solo las interfaces necesarias. El circuito maneja altos niveles de voltaje en la etapa de potencia: sea cuidadoso.

*: Este circuito de aplicación está dirigido, principalmente, a los lectores familiarizados con el tema de los microprocesadores. Si usted está interesado en conocer los fundamentos de los microprocesadores y construir su propio microcomputador de 8 *bits*, le recomendamos seguir el Curso Básico de Microprocesadores Nivel 1 de CEKIT al mismo tiempo que este curso de Electrónica Digital.

Con los conocimientos adquiridos hasta el momento, usted ya está en capacidad de enfrentar este reto. Atrévase: ¡la programación de microprocesadores es muy fácil!

Probador de teclados ASCII

El circuito de la figura 475 permite verificar las conexiones de un teclado ASCII, el dispositivo de entrada de datos más comúnmente utilizado en computadores y redes de transmisión de datos.

Como vimos en la lección 9, el ASCII (*American Standard Code for Information Interchange*) es un código de 7 *bits* que se emplea para representar hasta 128 piezas diferentes de información, incluyendo letras, números, caracteres especiales y comandos de control.

Para probar un teclado ASCII, lo primero que usted tiene que hacer es identificar los terminales de conexión de la fuente de alimentación y conectarlos a las líneas de tierra (GND) y +5V del circuito. A continuación, identifique la línea de habilitación (*strobe*). Este terminal se reconoce porque envía un pulso (positivo o negativo, dependiendo del diseño) cada vez que se oprime una tecla.

Si el pulso del habilitador es positivo (activo **alto**), conéctelo a la entrada *strobe* del circuito y, si es negativo (activo **bajo**), conéctelo a la entrada *strobe* del mismo. A continuación, conecte las salidas de código del teclado (b7b6b5b4b3b2b1b0) a las entradas de datos D7 a D0 del registro de 8 *bits* **74LS374** (IC1).

Probador de teclados ASCII

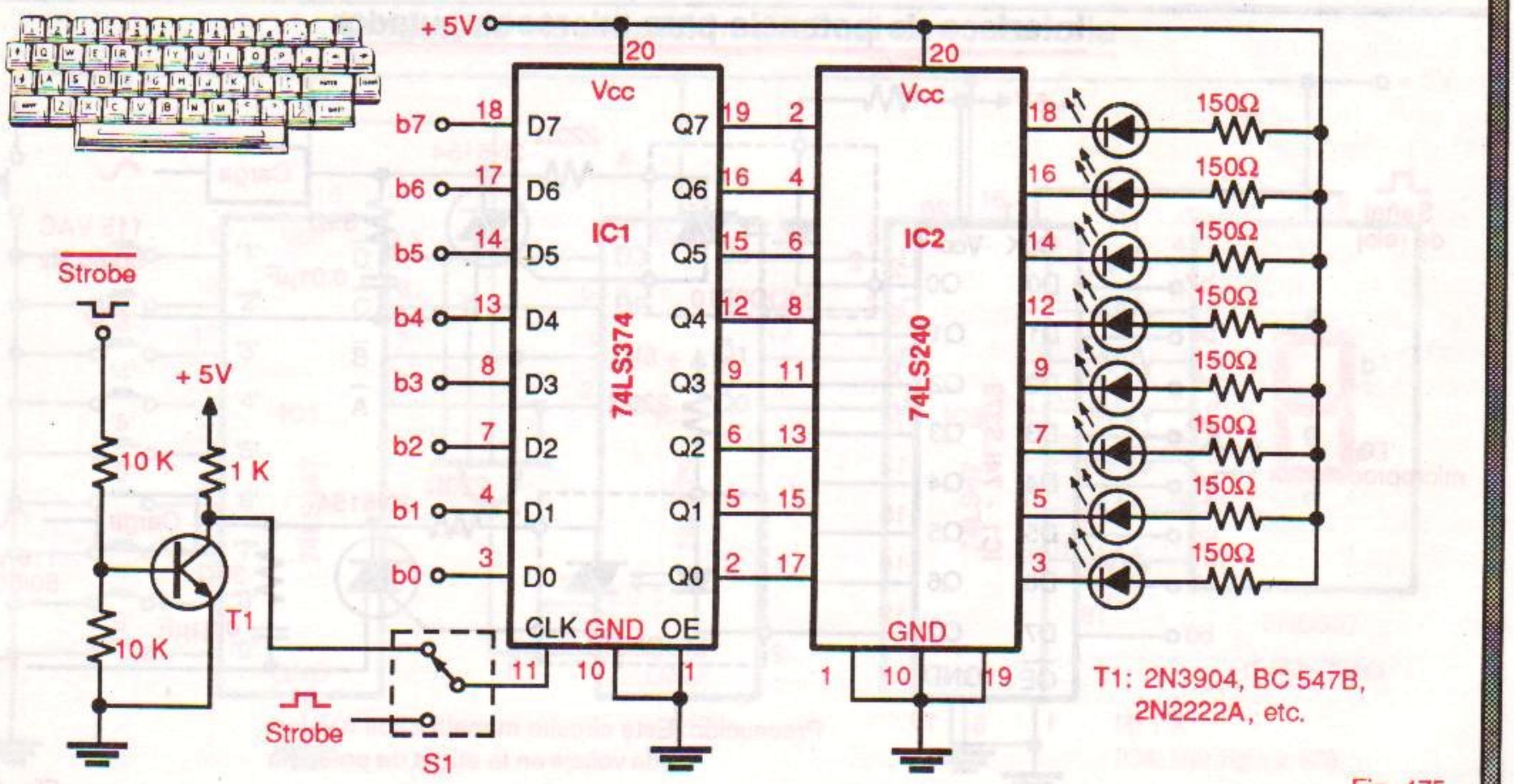


Fig. 475

El *bit* b7 es el de control, los *bits* b6b5b4 son los más significativos (MSB) y los *bits* b3b2b1b0 son los menos significativos (LSB). Al pulsar una tecla cualquiera, por ejemplo la letra "K", el teclado envía un pulso de *strobe* y la entrada de reloj (pin 11) del **74LS374** se activa.

Como resultado de lo anterior, el código ASCII presente en las entradas (**01001011**, en este caso: ver tabla 9-4, página 110) se transfiere a las salidas Q7 a Q0 del registro y se visualiza en los LED, manejados por el *buffer* octal **74LS240** (IC2, ver lección 6). Cuando un bit es **1**, el LED respectivo se ilumina y cuando es **0**, se apaga.

La verificación se realiza comparando el código obtenido en los LED con el que le corresponde a la tecla pulsada. Para este fin, debe utilizar una tabla de códigos ASCII, como la de la página 110. Si una tecla no está operando o el teclado tiene una falla, es posible que este último entregue un pulso de *strobe*. Sin embargo, el código de entrada no será el correcto.

Sistema sincrónico de transmisión de datos de 8 bits con memoria

El circuito de la figura 476 recibe un código o palabra de 8 *bits* en *paralelo*, sobre 8 líneas de en-

Fig. 476

trada, y lo trasmite en serie, *bit* por *bit*, a un receptor remoto, sobre una sola línea. Utiliza un MUX **74LS151** (IC1, ver lección 11) en el lado de trasmisión y un registro direccionable **74LS 259** (IC2) en el lado de recepción. La información de entrada puede ser, por ejemplo, códigos ASCII.

La sincronización del trasmisor con el receptor la establecen un reloj **555** (IC3), un contador binario **74LS93** (IC4), dos inversores y una compuerta OR. Estos últimos componentes de obtienen de un *chip* NOR **74LS02** (IC5), como se indica. El potenciómetro R2 determina la velocidad de la transmisión, es decir, el tiempo que cada *bit* de la palabra enviada ocupa la línea de datos.

En condiciones de reposo, sin pulsar S1 (START/RESET: botón de arranque e inicialización), la salida D (pin 11) del **74LS93** es **alta** y la entrada de *reset* del mismo (R0[1], pin 2) es **baja**. Por tanto, el habilitador ($\overline{G}$, pin 7) del **74LS151** recibe un **1**, la entrada de *reset* (RST, pin 4) del **555** recibe un **0** y las entradas de *clear* (CLR, pin 15) y de habilitación ($\overline{E}$, pin 14) reciben ambas un **1**.

Como resultado de las condiciones anteriores, el reloj no oscila, el contador no cuenta, el multiplexor está inhibido y el registro opera en el modo de memoria (ver figura 471, página 291), reteniendo la última información enviada. En la línea de datos hay un **0** permanente, indicando la ausencia de información. El estado de las líneas de direccionamiento es CBA=**000**.

La transmisión se inicia pulsando S1. Cuando esto sucede, la entrada R0[1] del **74LS93** recibe un **1** y todas sus salidas, incluyendo D, se hacen **0**. La entrada de habilitación del **74LS151** recibe un **0** y las entradas CLR y $\overline{E}$ del **74LS259** un **0** y un **1**, respectivamente. Como resultado, el multiplexor enruta hacia la linea de trasmisión de datos (Y-DIN) el *bit* b7, presente en la entrada D0 (pin 4).

Al mismo tiempo, el reloj se habilita y el registro se borra. Por tanto, la información previamente almacenada desaparece y todas las salidas, desde Q0 hasta Q7, se hacen **0**, quedando el circuito listo para aceptar nueva información. El reloj suministrará pulsos a la frecuencia o *rata* impuesta por R1, R2 y C2. Sin embargo, estos pulsos son ignorados por el contador porque este último esta inhibido.

Cuando se libera S1, la entrada R0[1] del **74LS 93** se hace **baja**, habilitando el conteo de pulsos. Las entradas CLR y $\overline{E}$ del **74LS259** reciben, respectivamente, un **1** y un **0**. Por tanto, el registro opera en el modo *latch* y, puesto que el estado de las líneas de direccionamiento es aún CBA=**000**, transfiere el *bit* presente en la línea de datos (b7) a la salida Q0.

Cuando llega el primer pulso, el estado de las líneas de direccionamiento cambia a CBA=**001**. Por tanto, el multiplexor enruta hacia la línea de trasmisión el *bit* b6, presente en su entrada D1. El registro captura este *bit* y lo transfiere a su salida Q1, sin afectar el estado de las demás salidas.

El proceso se repite para cada pulso subsiguiente. Al cabo de siete pulsos, la palabra trasmitida (b7b6b5b4b3b2b1b0) ha quedado almacenada en las salidas Q0 a Q7 del **74LS259**. Cuando llega el octavo pulso, la línea D del **74LS93** se hace **alta** y el sistema se bloquea, finalizando la trasmisión.

Observe que el circuito de reloj es el mismo del generador de pulsos (módulo 4) que usted está construyendo en las actividades prácticas. Con los valores de componentes suministrados, la máxima frecuencia de reloj posible, con R2=0 KΩ, es de 96 Hz, es decir, el sistema puede trasmitir hasta 96 bps (*bits* por segundo) y cada *bit* ocupa la línea de datos durante 1/96 de segundo (≈10.4 ms).

Este tiempo se denomina *tiempo de bit*. El número de *bits* que se envían por segundo se denomina *rata de baudios*. En nuestro caso, la rata de baudios es de 96 bps. Los sistemas reales de trasmisión de datos operan comúnmente con ratas de baudios de 75, 110, 150, 300, 600, 1200, 2400, 4800, 9600 y 19200 bps. Los teletipos, por ejemplo, envían datos a una rata de 300 bps o menos.

Los sistemas de transmisión de datos como el descrito son de gran interés práctico porque reducen el número de alambres de conexión requeridos para enviar información digital sobre grandes distancias. Si todos los *bits* de una palabra se enviaran al mismo tiempo, es decir, en paralelo, el costo y tamaño de los alambres necesarios para transmitir esta información sería demasiado costoso y grande.

En su lugar, los datos se envian en *serie*, *bit* por *bit*, sobre un solo alambre y se reconstruyen en paralelo en el receptor. La transmisión en serie es más lenta que la transmisión en paralelo pero, en la realidad, este no es un inconveniente serio porque la rata a la cual se envian datos sobre la linea de transmisión puede ser muy alta.

Para minimizar la posibilidad de almacenar datos erróneos en el circuito de la figura 476, es conveniente proveer algún medio de garantizar que el registro permanezca inhibido mientras las líneas de direccionamiento cambian de estado.

Lo anterior puede lograrse, por ejemplo, conectando un monoestable entre la salida de pulsos de reloj **555** (pin 3) y la entrada de habilitación del registro **74LS259** (pin 14), de modo que esta última sea **alta** (**1**) mientras la señal de reloj pasa de **1** a **0**.

TECNOLOGIA

Aplicaciones modernas de la electrónica digital

Registros ferroeléctricos

Se ha preguntado usted qué sucede con la información almacenada en un registro o en una memoria RAM cuando se agota la batería o falla la fuente de alimentación. La respuesta es sencilla y contundente: esa información se pierde, se desvanece y nunca más se puede recuperar. ¿Por qué?. Porque los registros y memorias RAM son dispositivos volátiles por naturaleza.

Con el advenimiento de la *ferroelectrónica* o tecnología ferroeléctrica, la pérdida de datos parece ser un asunto del pasado. Los dispositivos ferroeléctricos, como el circuito integrado **74CF374** (un registro de datos de 8 *bits* desarrollado por National Semiconductor), pueden retener información ¡hasta por un año o más! sin el apoyo de una fuente de potencia externa o auxiliar.

Los dispositivos ferroeléctricos presentan, entre otras, las siguientes ventajas:

- Son reemplazos exactos de *chips* TTL y CMOS existentes.
- Son totalmente inmunes a fallas de potencia.
- Son resistentes a radiaciones electromagnéticas.
- Consumen muy baja potencia.
- Operan generalmente a 5 voltios.

La tecnología ferroeléctrica se basa en las características dieléctricas de ciertos elementos aislantes como el titanio. En la figura A se muestra la curva de histéresis o de electrización de un material ferroeléctrico típico. Esta curva se obtiene experimentalmente colocando una sustancia ferroeléctrica entre dos placas de metal y aplicando un voltaje entre ellas, es decir, formando un condensador.

A medida que aumenta el voltaje aplicado al material, se alcanza un punto donde la permitividad del dieléctrico cambia repentinamente. Una vez que se excede este umbral, en el dieléctrico permanece una carga de voltaje residual, incluso después de retirar el voltaje de alimentación.

Es este efecto de polarización residual el que hace efectivo el material ferroeléctrico como dispositivo almacenador de datos, puesto que la única forma de cambiar su estado es aplicando un voltaje inverso a través del material, de suficiente intensidad, para invertir la polaridad de la carga ferroeléctrica. No se requiere un voltaje externo para que permanezca polarizado en uno u otro estado.

Curva de histéresis

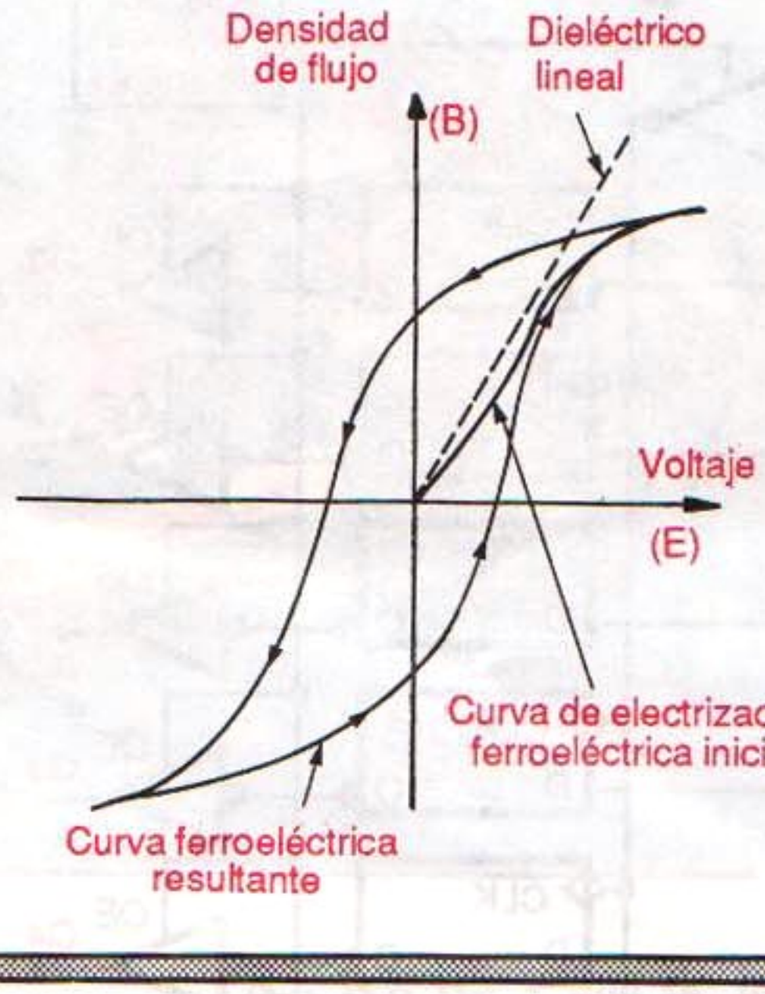


Fig. A

Se tiene, por tanto, una auténtica celda de memoria no volátil que puede utilizarse para almacenar **1**'s y **0**'s, dependiendo del estado de polarización del material. La información almacenada en una celda ferroeléctrica se puede escribir o leer aplicando un voltaje más intenso que el voltaje residual.

Igual que sucede con los materiales magnéticos, una vez que un material ferroeléctrico alcanza una cierta temperatura, su polarización residual no puede mantenerse y el efecto de memoria se pierde. Al disminuir la temperatura, el efecto ferroeléctrico retorna pero el dato ya se ha perdido.

La temperatura por encima de la cual el efecto ferroeléctrico desaparece se conoce como *temperatura Curie*. Esta última es, generalmente, inferior a 100 °C, aunque se han desarrollado compuestos ferroeléctricos como el PZT (zirconato de titanio) con temperaturas Curie superiores a 200 °C.

Los primeros dispositivos ferroeléctricos comercialmente disponibles fueron los CI's **74CF374** (un registro de datos *tri-state* de 8 bits) y **FMx801** (una memoria RAM de 256 bits). En la figura B se muestra el diagrama lógico del **74CF374** y en la figura C la estructura interna de una celda de memoria ferroeléctrica.

El **74CF374** es funcionalmente idéntico al registro **74LS374** (ver lección 22) pero incorpora un

Registro ferroeléctrico 74C374

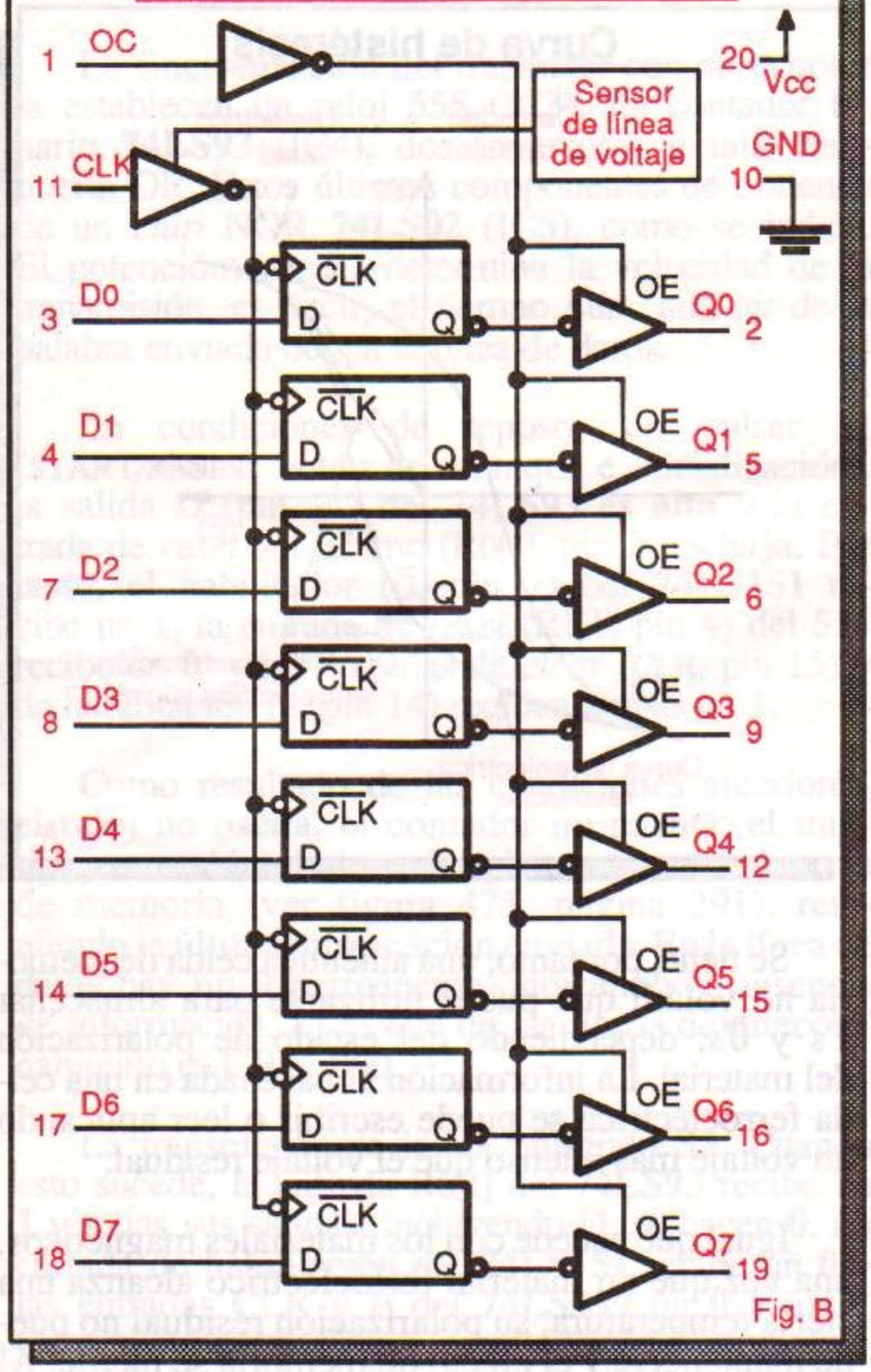


Fig. B

condensador ferroeléctrico en cada *flip-flop*. Con la potencia aplicada, el circuito opera en la forma usual. Cuando se retira la potencia, cada condensador retiene el último estado de operación.

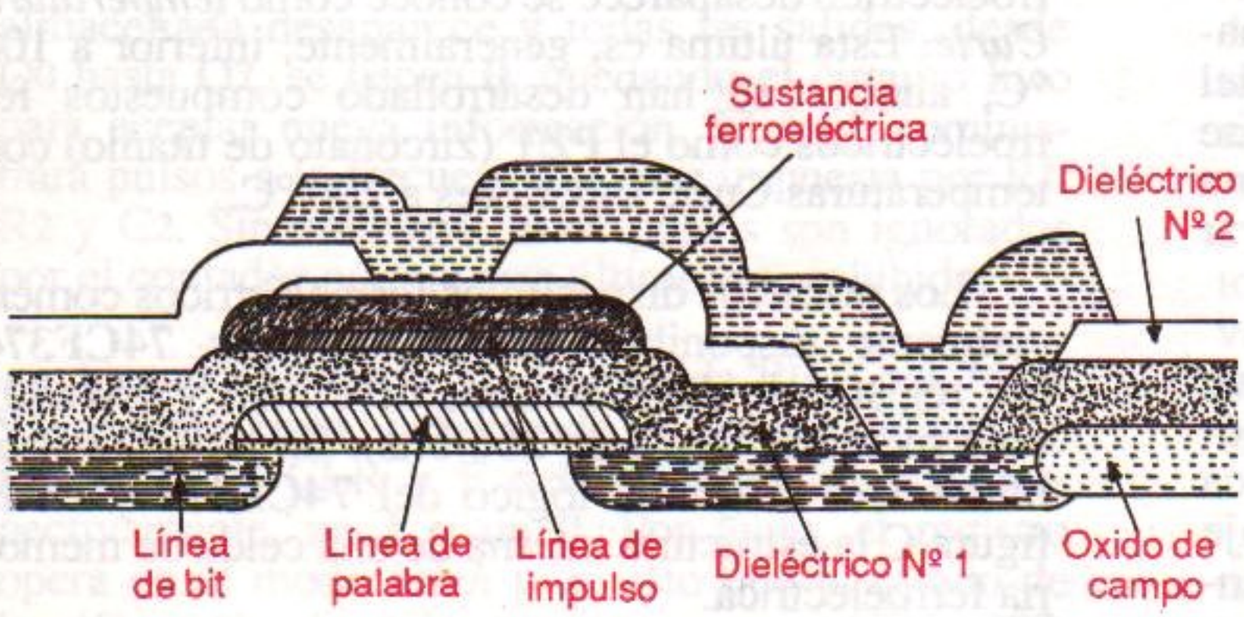
Cuando se aplica nuevamente potencia al circuito, los estados memorizados por los condensadores se transfieren a los *flip-flops*, preservándose así el dato. Un detector de voltaje incorporado inhibe la operación del dispositivo cuando el voltaje de alimentación cae por debajo de 3.6 V, protegiendo el dato.

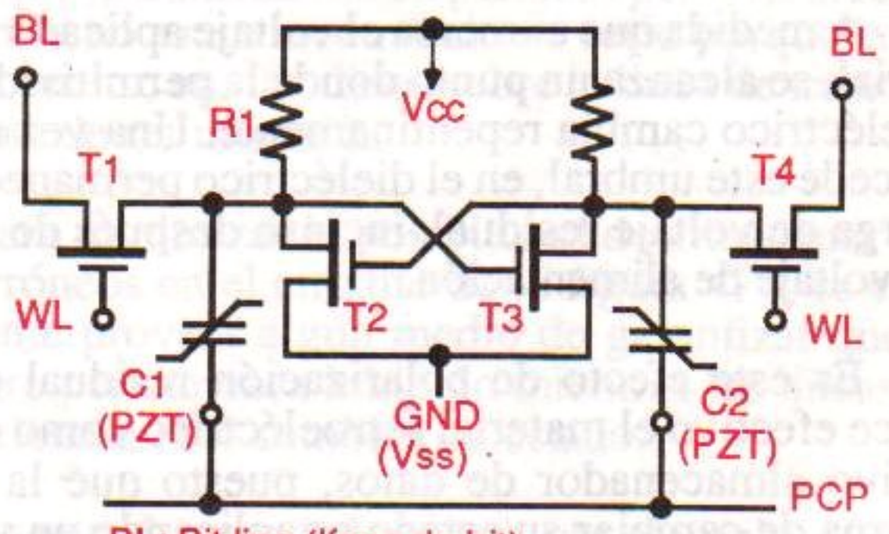
La tecnología ferroeléctrica es extensiva a dispositivos lógicos, microprocesadores, memorias EPROM, circuitos integrados de aplicación específica, circuitos integrados lineales, etc. Entre sus principales campos de aplicación podemos mencionar: controladores, computadores, automóviles, robots, instrumentos, satélites, sistemas de comunicación, equipos militares, electrodomésticos, etc.

Es perfectamente razonable suponer, que en el futuro, cualquier circuito integrado pueda ser eventualmente reemplazado por su contraparte ferroeléctrica. Es posible, incluso, que la ferrolectrónica logre reemplazar las cintas magnéticas y los manejadores de disco (*drives*) de los computadores como fuentes primarias de almacenamiento de datos.

Es importante destacar que la tecnología ferroeléctrica no es nueva, pero si lo son sus avances más recientes. La producción del **74CF374**, por ejemplo, comenzó apenas en 1990. Sin embargo, los investigadores llevaban ya más de 30 años intentando aplicar el fenómeno ferroeléctrico en la práctica.

Estructura de una celda de memoria ferroeléctrica





BL: Bit line (línea de bit)
WL: Write line (línea de escritura)
PCP: Pulsed common plate (Placa común pulsada)

Fig. C

Registros de desplazamiento

- *Introducción*
- *Qué es un registro de desplazamiento*
- *Tipos de registros de desplazamiento*
- *Registros SISO*
- *Registros SIPO*
- *Registros PISO*
- *Registros PIPO*
- *Registros recirculantes*
- *Registros bidireccionales*
- *Registros universales*
- *Registros de desplazamiento integrados*

CIRCUITOS DE APLICACION

- *Actividad práctica Nº 19*

Introducción

Continuando con el tema de los registros, en esta lección estudiaremos los llamados registros de desplazamiento (*shift registers*). Estos dispositivos son grupos de *flip-flops* conectados en cascada que almacenan información binaria desplazando cada *bit* de una etapa a la siguiente en cada pulso de reloj .

En los sistemas digitales, los registros de desplazamiento se utilizan para almacenar datos en serie, retardar información, convertir datos en formato serie a formato paralelo o viceversa, generar secuencias de códigos binarios, producir efectos sonoros, realizar operaciones aritméticas, etc.

Todos los registros de desplazamiento que estudiaremos en esta lección son estáticos. Esto significa que utilizan *flip-flops* como celdas básicas de memoria y retienen información mientras estén alimentados por una fuente de poder. Los registros estudiados en la lección 22 también son de este tipo.

Existe otra variedad de registros llamados *dinámicos*, los cuales utilizan transistores MOSFET y otros dispositivos para almacenar datos. Se caracterizan por su bajo consumo de potencia y su alta capacidad de integración, pero pierden la información almacenada cuando la frecuencia de reloj es inferior a un cierto valor mínimo, por ejemplo 1 KHz.

En las siguientes secciones conoceremos que son los registros de desplazamiento, como operan y como se clasifican. Describiremos también algunos registros de desplazamiento disponibles como circuitos integrados de mediana escala (MSI). Para finalizar, presentaremos varios circuitos prácticos de aplicación. Los registros, en general, son elementos claves en la operación de cualquier microprocesador y de los sistemas que con ellos se construyen.

Qué es un registro de desplazamiento

Un registro de desplazamiento es una cadena de *flip-flops* del tipo maestro/esclavo (D o J-K) interconectados de tal modo que la información almacenada en ellos experimenta un corrimiento hacia la izquierda o hacia la derecha con cada pulso de reloj. Esto es, cada vez que ocurre un pulso de reloj, el *bit* almacenado en cada *flip-flop* de la cadena se transfiere o desplaza al *flip-flop* adyacente.

La figura 477 (a) ilustra, en forma simplificada, como un registro de desplazamiento convierte una información que ingresa en serie a su formato paralelo correspondiente. Los bloques individuales representan cada uno de los *flip-flops* o etapas del registro. El primer pulso de reloj ingresa el *bit* b0, el segundo el *bit* b1 y así sucesivamente. Después de cuatro pulsos, la palabra completa (b3b2b1b0= **1101**) ha sido completamente transferida al registro

Si la entrada de datos se mantiene en **0** y se aplican cuatro pulsos de reloj adicionales, la palabra previamente almacenada en el registro sera expulsada *bit* por *bit* del mismo. Esta situación se ilustra en la figura 477 (b). El primer pulso libera el *bit* b0, el segundo el *bit* b1 y así sucesivamente. Al final, el registro queda cargado con **0000.** Este proceso es un ejemplo de conversión de paralelo a serie.

Fig. 477

En la figura 478 se muestra el circuito lógico de un registro de desplazamiento de 5 etapas. El sistema consta de una entrada serie (D1), una salida serie (Q5), cinco salidas en paralelo (Q1-Q5), una entrada de *reset* y una entrada de desplazamiento (*shift*). Esta última se obtiene conectando entre si las entradas de reloj (CLK) de todos los *flip-flops*.

Registro de desplazamiento de 5 etapas

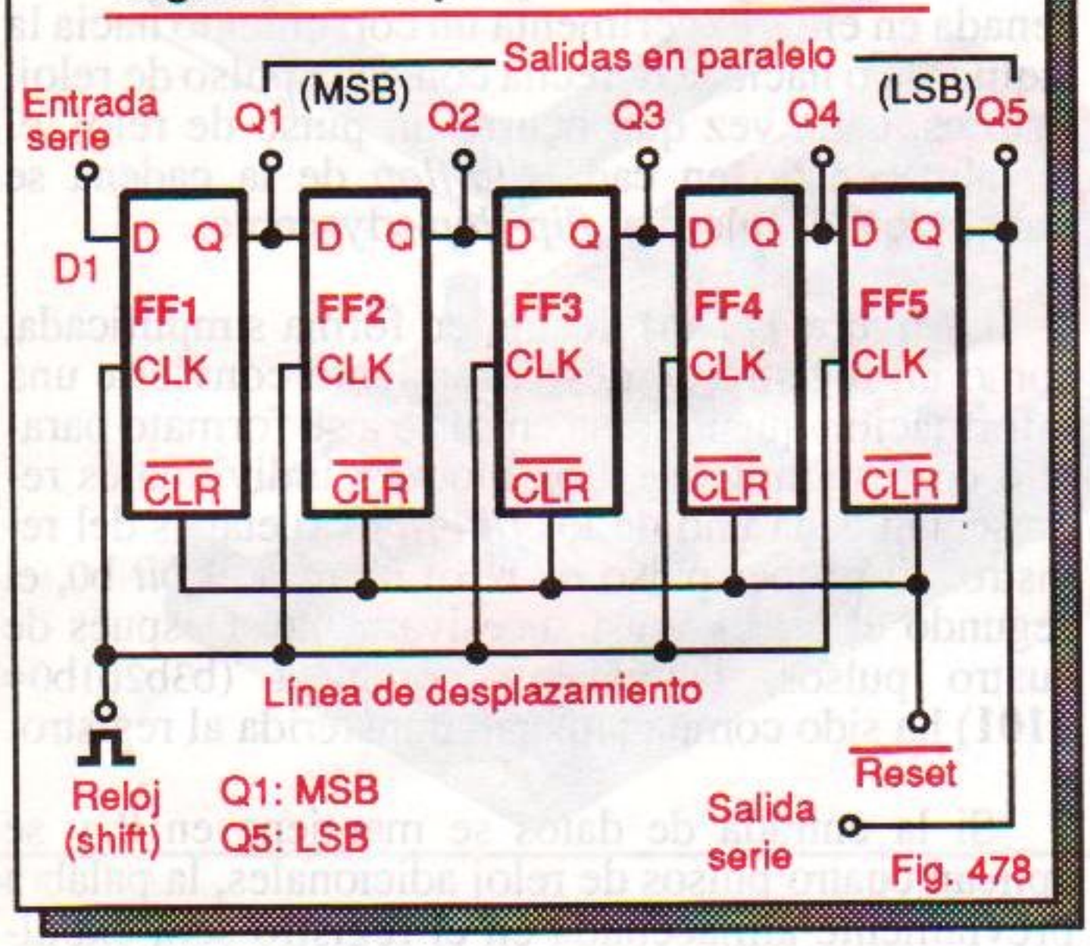


Fig. 478

La línea D1 recibe la información de entrada. La salida Q de cada *flip-flop* actúa como entrada de datos del *flip-flop* siguiente. Los datos se desplazan de izquierda a derecha con cada pulso de reloj. Cuando ocurre el primer pulso, el dato situado en la entrada D1 se transfiere a la salida Q1, el dato previo de la salida Q1 se transfiere a la salida Q2, el de la salida Q2 a la salida Q3, y así sucesivamente.

Puesto que todos los *flip-flops* son del tipo M/S (maestro/esclavo), el dato en cada entrada D se transfiere al maestro durante los flancos de subida y del maestro al esclavo durante los flancos de bajada. Por tanto, en los flancos de subida, el dato previo de las salidas no cambia. La transferencia propiamente dicha se realiza en los flancos de bajada.

Supongamos que, inicialmente, la información en las salidas es Q1Q2Q3Q4Q5= **00110** y se aplica un **1** a la entrada D1. Cuando arriba el flanco de subida del primer pulso, el **1** de la entrada D1 se transfiere al maestro de la primera etapa, el **1** de la salida Q1 al de la segunda etapa y así sucesivamente. El estado de las salidas no cambia, es decir, sigue siendo Q1Q2Q3Q4Q5=**00110**.

Cuando ocurre el flanco de bajada, la información almacenada en los maestros se transfiere a los esclavos. La nueva información de salida es, ahora, Q1Q2Q3Q4Q5=**10011**. Es decir, el dato previamente almacenado en el registro experimenta un corrimiento hacia la derecha. La posición del MSB o *bit* más significativo (Q1) la ocupa ahora el **1** inyectado mientras el **0** que ocupaba la posición del LSB o *bit* menos significativo (Q5) ha desaparecido.

El proceso se repite de la misma forma con cada nuevo pulso de reloj aplicado.

Para obtener una idea más clara del funcionamiento de este circuito, analicemos el diagrama de temporización mostrado en la figura 479. Se asume que, al comenzar el proceso, el estado de las salidas es Q1Q2Q3Q4Q5= **00000** (impuesto con un **bajo** en la línea de *reset*) y se aplica un **1** a la entrada serie D1, como se indica.

Diagrama de temporización

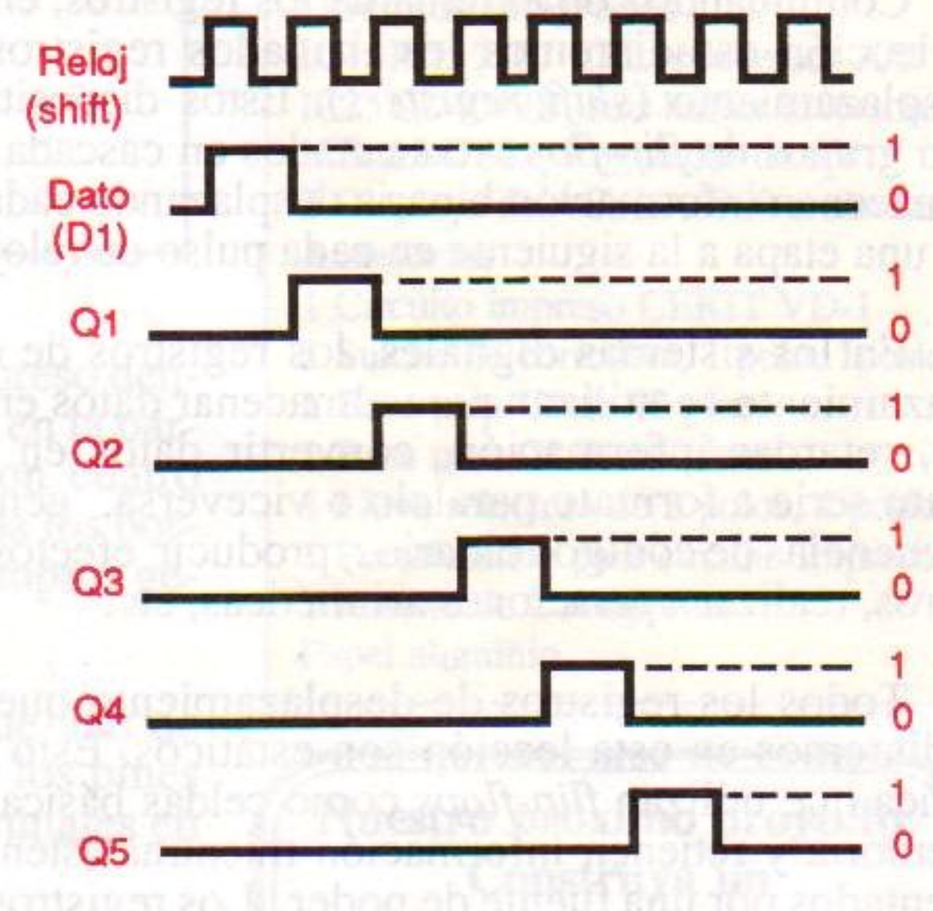


Fig. 479

Cuando se aplica el primer pulso, cada *flip-flop* se carga con su respectivo dato de entrada. En particular, FF1 se carga con **1**. Los otros *flip-flops* se cargan con **0**'s. Esto sucede porque, en el instante de aplicar el pulso, todas las entradas D, a excepción de D1, tienen un **0**. En las salidas se refleja el dato Q1Q2Q3Q4Q5=**10000**.

Cuando se aplica el segundo pulso, cada *flip-flop* se hace transparente a su dato de entrada y lo transfiere a su salida. Como ahora hay un **0** en la entrada D1, en las salidas se lee el dato **01000**. El **1** lógico aplicado a la entrada serie ha experimentado un corrimiento de posición hacia la derecha. Naturalmente, los **0**'s también se han desplazado.

Este proceso de corrimiento continúa de modo que, con cada pulso subsecuente de reloj aplicado, el **1** lógico se desplaza una etapa (una posición) a la derecha hasta que pasa a través de todo el registro.

Con el tercer pulso, el dato resultante en las salidas es Q1Q2Q3Q4Q5= **00100**, con el cuarto es Q1 Q2Q3Q4Q5=**00010**, con el quinto el dato resultante es Q1Q2Q3Q4Q5= **00001** y con el sexto es Q1Q2 Q3Q4Q5=**00000**. ¡El **1** ha sido expulsado del registro!.

A pesar de la aparente simplicidad de este proceso, han sucedido varios hechos notables:

En primer lugar, el **1** lógico aplicado a la entrada serie (D1) aparece en la salida serie (Q5) sólo después de que han ingresado 5 pulsos. Por tanto, el registro de desplazamiento se ha comportado como una **línea digital de retardo**. El tiempo de retardo transcurrido desde el instante en que el dato ingresó al registro hasta el instante en que fue expulsado lo determina la frecuencia del reloj.

En segundo lugar, el **1** lógico se desplaza a través del registro en forma secuencial, y esta secuencia es controlada por la señal de reloj. Por tanto, tomadas juntas, como un todo, las salidas (Q1Q2 Q3Q4Q5) se pueden usar para actuar o habilitar secuencialmente circuitos externos, de acuerdo a cualquier patrón de *bits* presentado a la entrada serie.

En tercer lugar, si el patrón de *bits* que aparece en las 5 salidas paralelo se interpreta como un número binario, cada vez que el **1** lógico se corre hacia la derecha, con cada pulso de reloj, la magnitud de ese número se reduce a la mitad. En efecto, **10000**= 16, **01000**=8; **00100**=4 ; **00010**=2 ; **00001**=1. Es decir, en cada corrimiento, el registro realiza una operación numérica de división entera por 2.

Finalmente, entre pulsos de reloj, el registro de desplazamiento se ha comportado como un registro de almacenamiento de datos. El registro almacena datos sin cambiarlos o modificarlos y esos datos están siempre disponibles en las salidas paralelo.

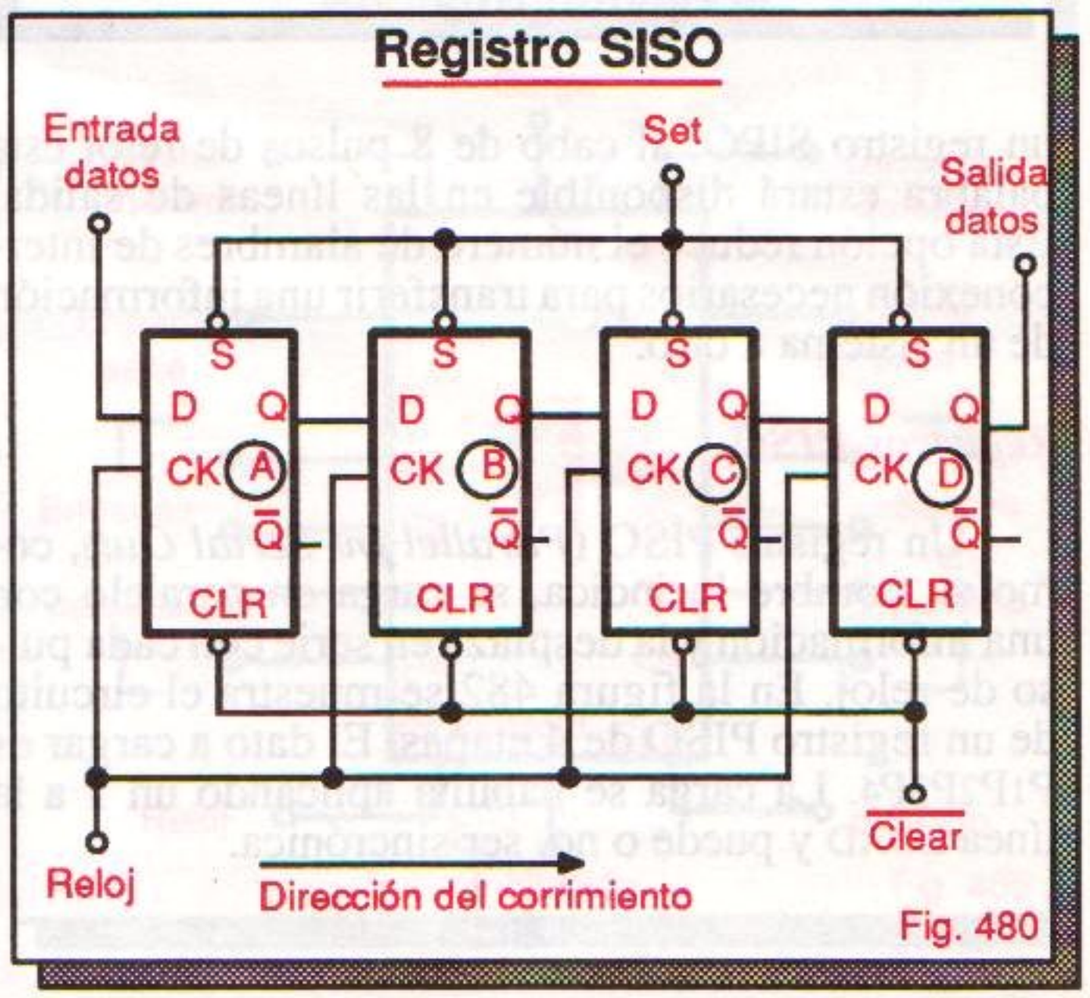
Tipos de registros de desplazamiento

Los registros de desplazamiento se clasifican generalmente de acuerdo a la forma como entra y sale información hacia o desde el mismo. De acuerdo a este criterio, existen básicamente cuatro (4) tipos de registros, llamados SISO, SIPO, PISO y PIPO, por sus siglas en inglés. En las siguientes secciones describiremos brevemente cada uno de estos dispositivos y sus variantes

Algunos registros se acomodan a dos o mas de estas configuraciones. El registro de la figura 478, por ejemplo, es del tipo SISO/SIPO porque recibe información en serie pero provee salidas tanto en serie como en paralelo.

Registros SISO

En un registro SISO (*Serial In/Serial Out*), la información entra en serie y sale en serie. No se tiene acceso a las salidas individuales de cada etapa. En la figura 480 se muestra el circuito lógico de un registro SISO de cuatro etapas. Cada pulso de reloj desplaza el dato de entrada una posición hacia la derecha. La línea SET carga todas las etapas con **1**'s y la línea CLEAR las carga con **0**'s.



El SISO es el registro de desplazamiento más elemental y uno de los más utilizados. Puede emplearse como memoria secuencial o como línea de retardo. Un registro SISO de 64 etapas, por ejemplo, puede almacenar hasta 64 *bits* de datos o retardar una información durante 64 pulsos de reloj. Puesto que los *bits* ingresan y se desplazan en orden, el primer *bit* en entrar es el primero en salir.

Registros SIPO

Un registro SIPO (*Serial In/Parallel Out*) tiene la misma estructura de un registro SISO pero las salidas de cada etapa son accesibles externamente. En la figura 481 se muestra el circuito lógico de un registro SIPO de cuatro etapas. El SIPO es un registro más flexible que el SISO porque su contenido está siempre disponible.

Una aplicación importante del registro SIPO es convertir información serie a paralelo. Por ejemplo, si se introduce, *bit* por *bit*, una palabra de 8 *bits* en

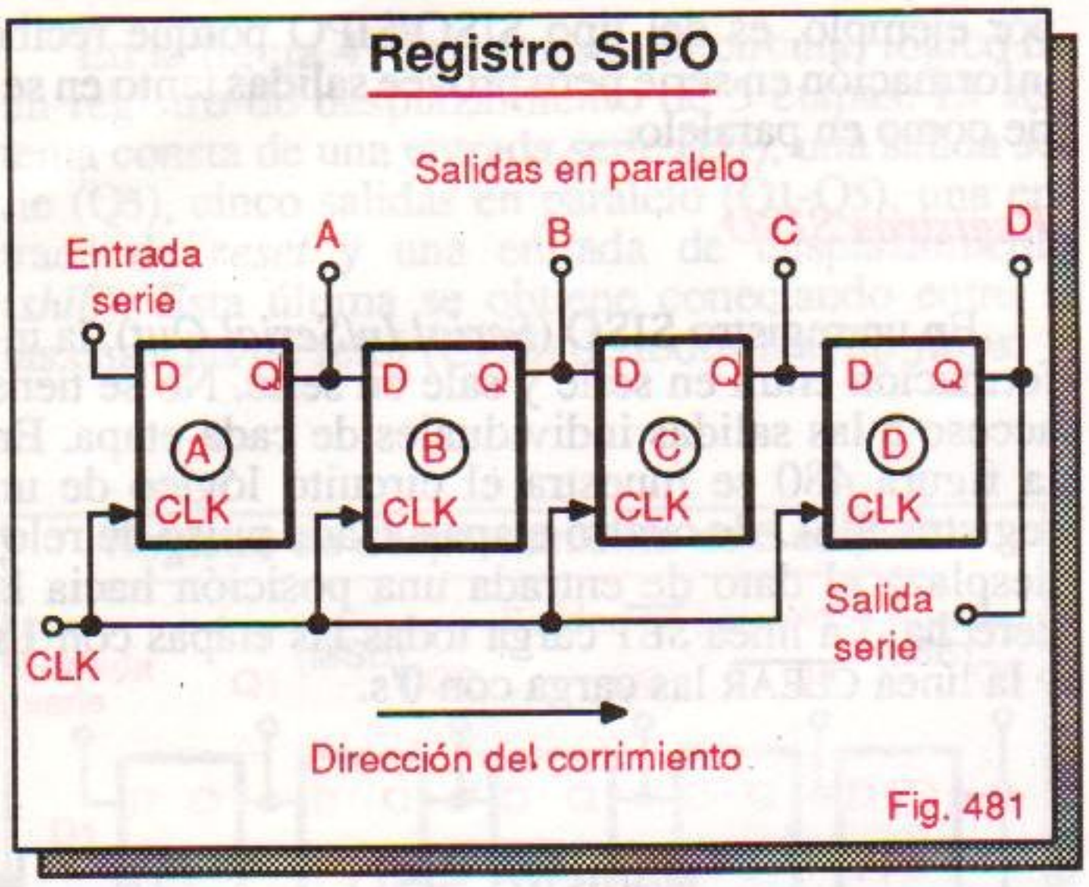


Fig. 481

un registro SIPO, al cabo de 8 pulsos de reloj esta palabra estará disponible en las líneas de salida. Esta opción reduce el número de alambres de interconexión necesarios para transferir una información de un sistema a otro.

Registros PISO

Un registro PISO (*Parallel In/ Serial Out*), como su nombre lo indica, se carga en paralelo con una información y la desplaza en serie con cada pulso de reloj. En la figura 482 se muestra el circuito de un registro PISO de 4 etapas. El dato a cargar es P1P2P3P4. La carga se habilita aplicando un **1** a la línea LOAD y puede o no ser sincrónica.

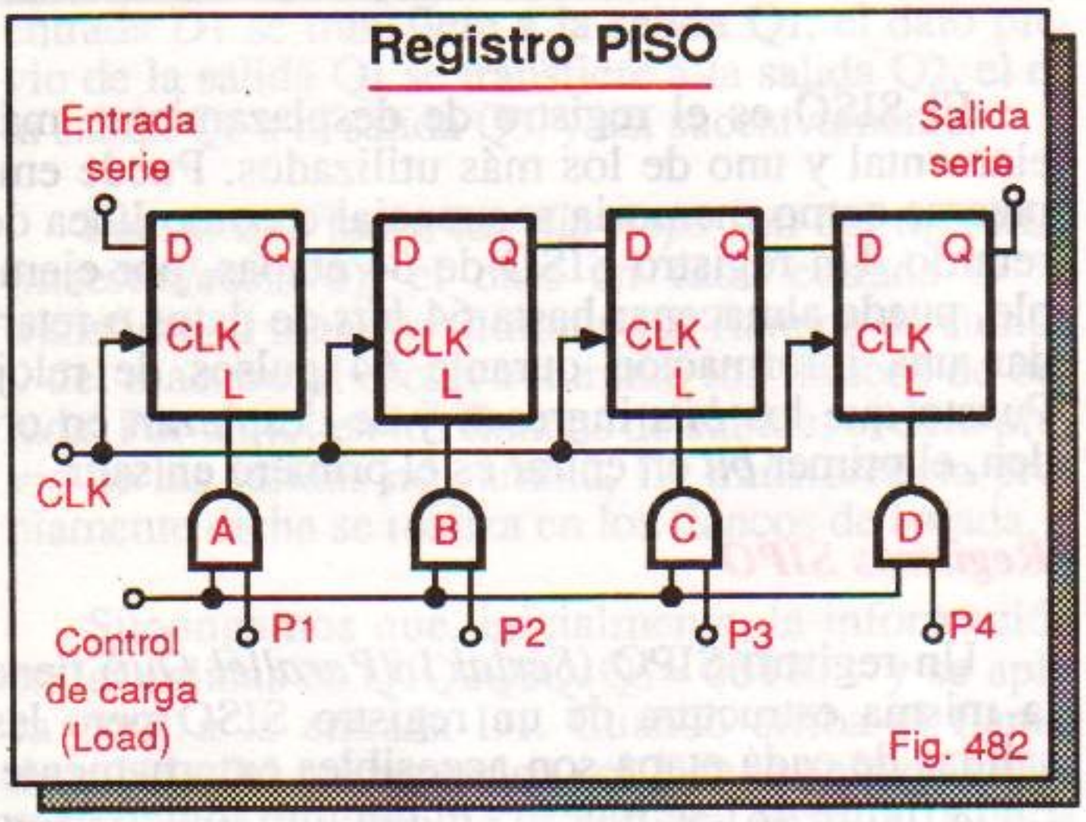


Fig. 482

Una aplicación obvia del registro PISO es convertir información paralelo a serie. Por ejemplo, si cargamos en paralelo una palabra de 8 *bits* en un registro PISO, cada pulso de reloj expulsará un *bit* por la línea de salida. Al cabo de 8 pulsos, la información original habrá abandonado el registro.

Registros PIPO

Un registro PIPO (*Parallel In/Parallel Out*) es una especie de registro *universal* que puede operar como un registro de almacenamiento convencional o como un registro de desplazamiento SISO, SIPO o PISO. En la figura 483 se muestra el circuito lógico de un registro PIPO de 4 etapas. Observe que su estructura es similar a la de un registro PISO pero las salidas de cada etapa son accesibles.

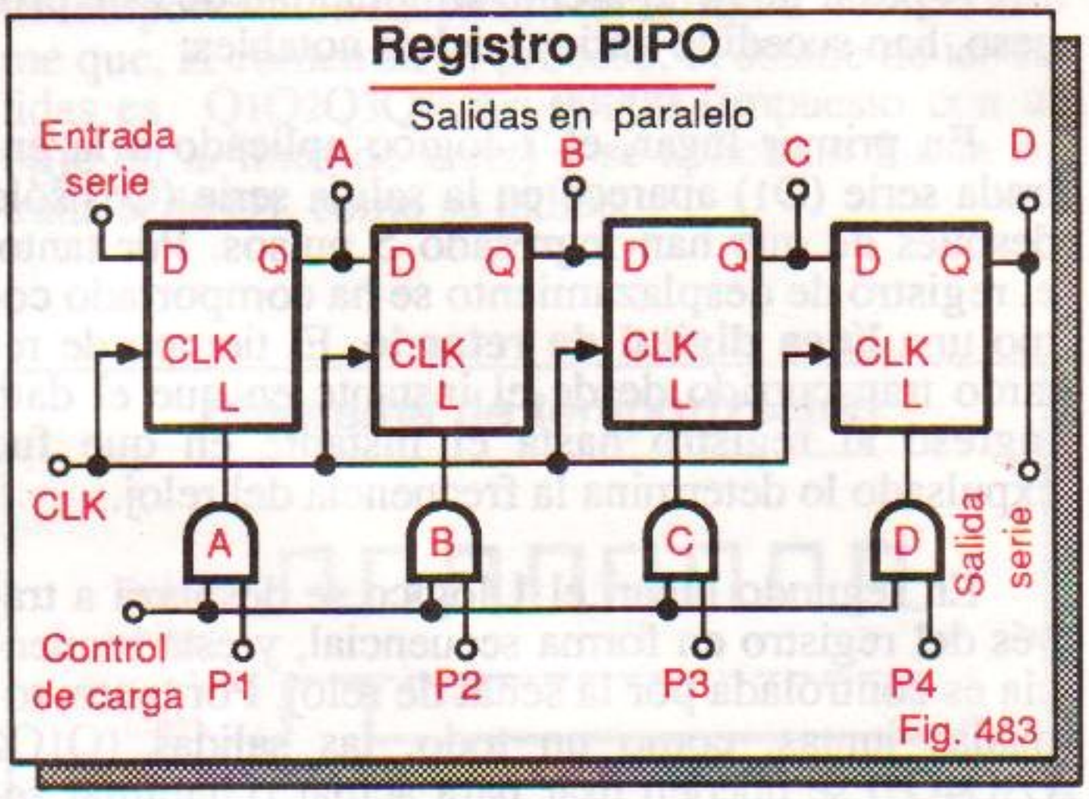


Fig. 483

Los registros PIPO se usan comúnmente para realizar operaciones matemáticas con números binarios. Por ejemplo, la multiplicación de dos números binarios implica la realización de una serie de sumas y desplazamientos hacia la derecha mientras que la división de los mismos implica una serie de restas y desplazamientos hacia la izquierda. La aritmética binaria se estudia en la lección 27 de este curso.

Registros recirculantes

Una variante del registro SISO estándar es el registro de desplazamiento *recirculante* mostrado en la figura 484. La lógica de control asociada a la entrada serie (D1) provee dos modos de operación. Cuando la línea de control de recirculación (REC) es **alta**, el dato Din se transfiere a la entrada D1, se desplaza a través del registro con cada pulso de reloj en la forma usual y sale al cabo de 4 pulsos.

Cuando la línea REC es **baja**, el registro ignora el dato Din y retorna a la entrada D1 el *bit* que abandona la salida serie Q4. Por tanto, la información almacenada se mantiene circulando permanentemente entre la entrada y la salida, sin perderse.

Los registros recirculantes se utilizan en generadores de caracteres, sistemas de almacenamiento de datos en serie, osciloscopios de almacenamiento digital (DSO) y otras aplicaciones.

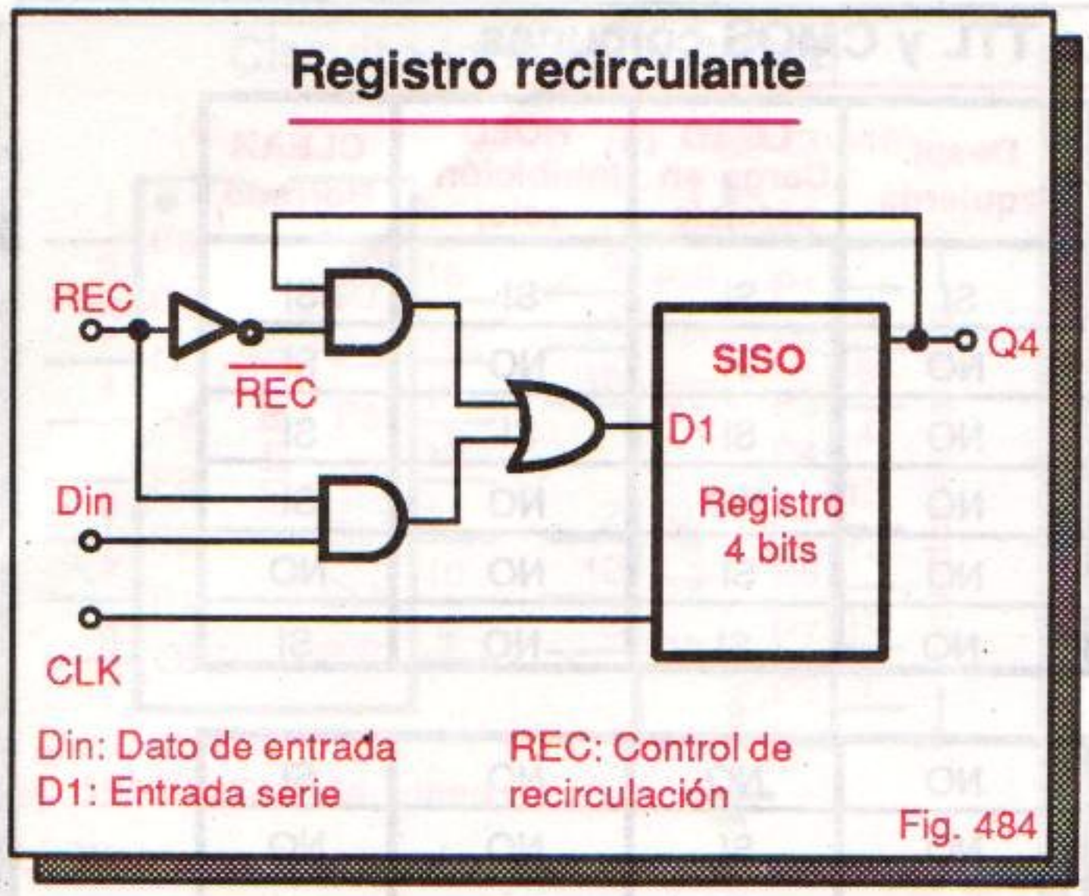


Fig. 484

Registros bidireccionales

Los registros descritos hasta el momento son *unidireccionales* puesto que desplazan información en un solo sentido, hacia la derecha o hacia la izquierda, con cada pulso de reloj. Existen también registros *bidireccionales*, los cuales aceptan información de entrada en un orden determinado y la suministran en ese mismo orden o en el opuesto.

En la figura 485 se muestra el símbolo de un registro bidireccional de 4 *bits*. La dirección del desplazamiento la determina el estado de la línea L/R (LEFT/RIGHT: izquierda/derecha). Cuando L/R=**1**, el desplazamiento es hacia la derecha: el dato entra por la línea SiR y sale por la línea SoR. Cuando L/R=**0**, es hacia la izquierda: el dato se inyecta en la entrada SiL y se recibe en la salida SoL.

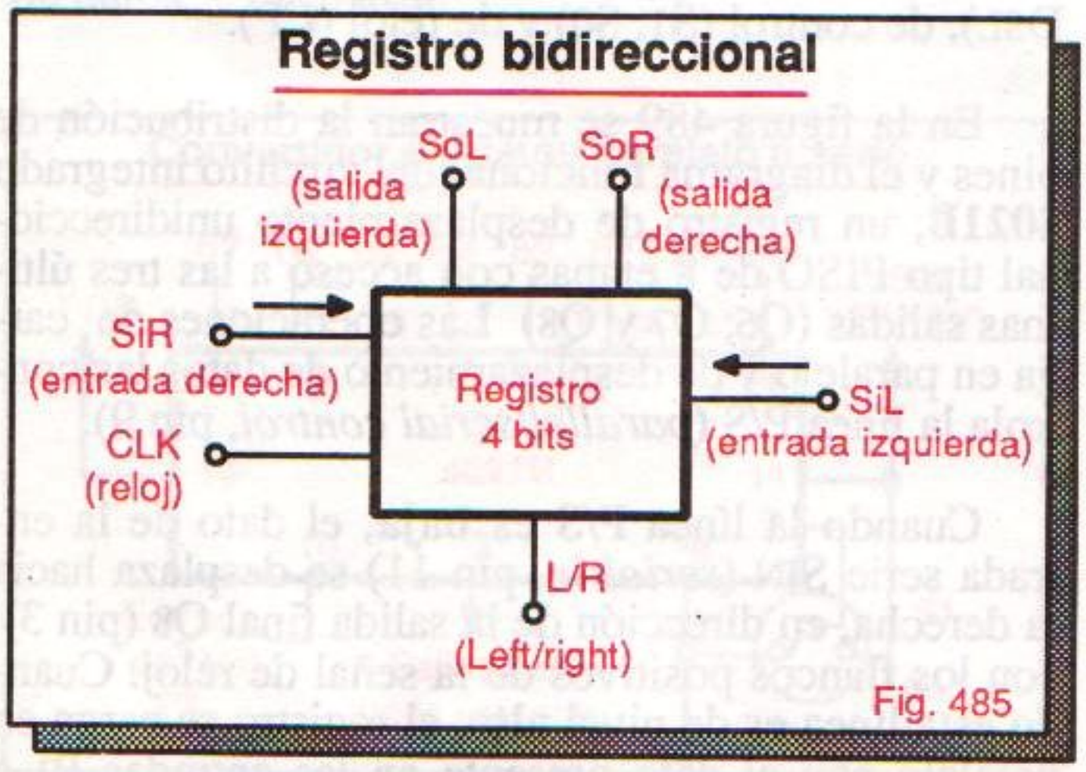


Fig. 485

Registros universales

Un registro de desplazamiento universal es, básicamente, un registro PIPO con características especiales como entrada y salida de datos en serie, desplazamiento en ambas direcciones, borrado maestro (*clear*), inhibición de reloj (*hold*), etc. Un ejemplo de registro universal es el *chip* TTL **74LS194**.

En la figura 486 se muestra el diagrama de bloques de un registro universal de 4 *bits* representativo, indicando la función de cada una de sus líneas de datos y de control. El dispositivo puede operar como registro SISO, SIPO, PISO, PIPO, bidireccional y recirculante. Este último modo de operación se consigue conectando la salida serie a la entrada serie e inhibiendo la entrada de datos en paralelo.

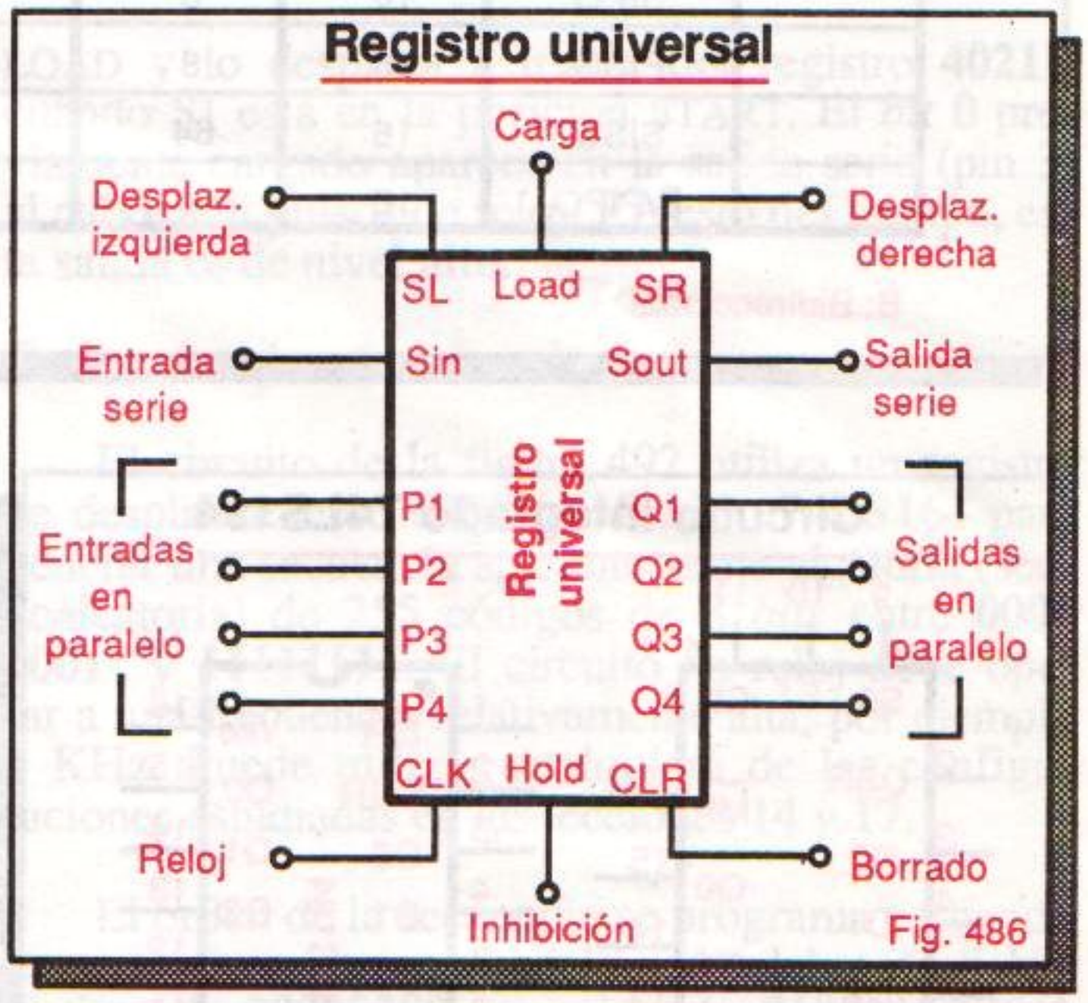


Fig. 486

Registros de desplazamiento integrados

Existe una gran variedad de circuitos integrados TTL y CMOS disponibles como registros de desplazamiento estáticos de mediana escala (MSI) que se adaptan a la mayoría de necesidades de diseño. En la tabla de la figura 487 se comparan los aspectos más sobresalientes de algunos de ellos.

En la figura 488 se muestran la distribución de pines y el diagrama funcional del circuito integrado **74LS194**, un registro universal bidireccional de 4 *bits* con 4 entradas de carga en paralelo (D0, D1, D2 y D3), 4 salidas de datos en paralelo (Q0, Q1, Q2 y Q3), dos entradas serie (DSR y DSL), una entrada de borrado (MR) y dos entradas de control de modo de operación (S1 y S0).

Este dispositivo particularmente versátil puede operar en 4 modos distintos de funcionamiento, llamados *carga sincrónica en paralelo*, *desplazamiento hacia la derecha*, *desplazamiento hacia la izquierda* e *inhibición de reloj*.

Registros de desplazamiento TTL y CMOS comunes

Tipo	Función	No. pines	Long. de bit	Despl. derecha	Despl. izquierda	LOAD Carga en paralelo	HOLD Inhibición reloj	CLEAR Borrado
74194	B/PIPO	16	4	SI	SI	SI	SI	SI
74195	PIPO	16	4	SI	NO	SI	NO	SI
74165	PISO	16	8	SI	NO	SI	SI	SI
74164	SIPO	14	8	SI	NO	NO	NO	SI
7495	PIPO	14	4	SI	NO	SI	NO	NO
7474	SISO	14	4	SI	NO	SI	NO	SI

TTL

	SIPO	16	8	SI	NO	NO	NO	SI
	PISO	16	8	SI	NO	SI	NO	NO
	SISO	16	64	SI	NO	NO	NO	NO
	B/PIPO	16	4	SI	SI	SI	SI	SI

CMOS

B: Bidireccional

Fig. 487

Circuito integrado 74LS194

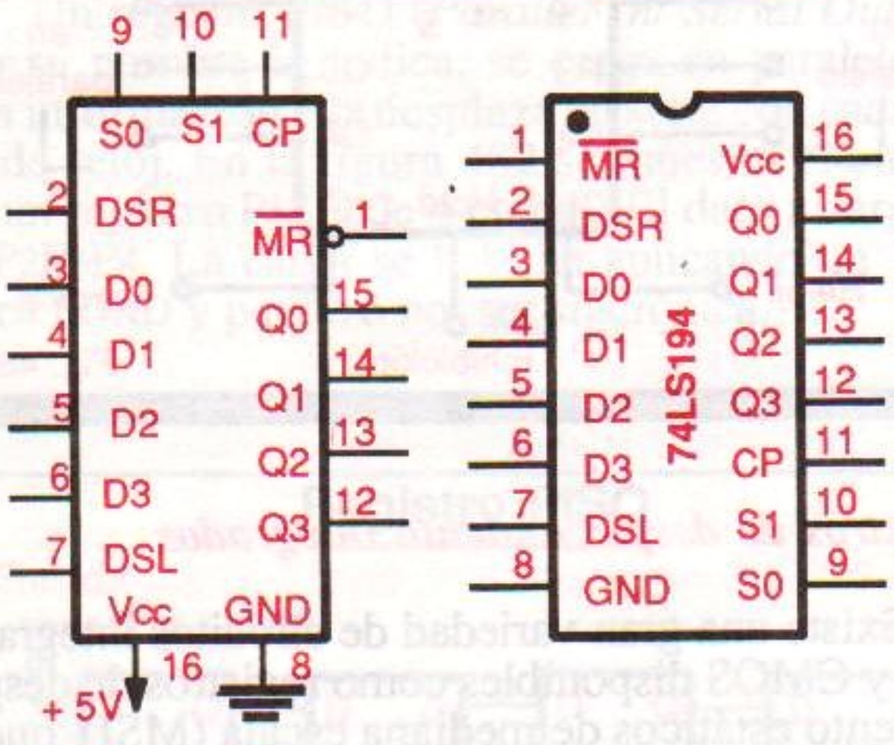


Fig. 488

La carga en paralelo se realiza aplicando a las entradas D0D1D2D3 el dato de 4 *bits* que se desea almacenar y haciendo **altas** las líneas de control S1 y S0. El dato se carga en el registro y aparece en las salidas Q0Q1Q2Q3 con los flancos de subida de la señal de reloj (CP). Durante la carga, el flujo de datos en serie se inhibe y el *chip* actúa como un registro de almacenamiento convencional.

El desplazamiento hacia la derecha se realiza con los flancos de subida de la señal de reloj y se programa haciendo **alta** la entrada S0 y **baja** la entrada S1. El dato serie ingresa por la entrada de datos DSR (*shift right*, pin 2). El desplazamiento se realiza en la dirección Q0→Q3.

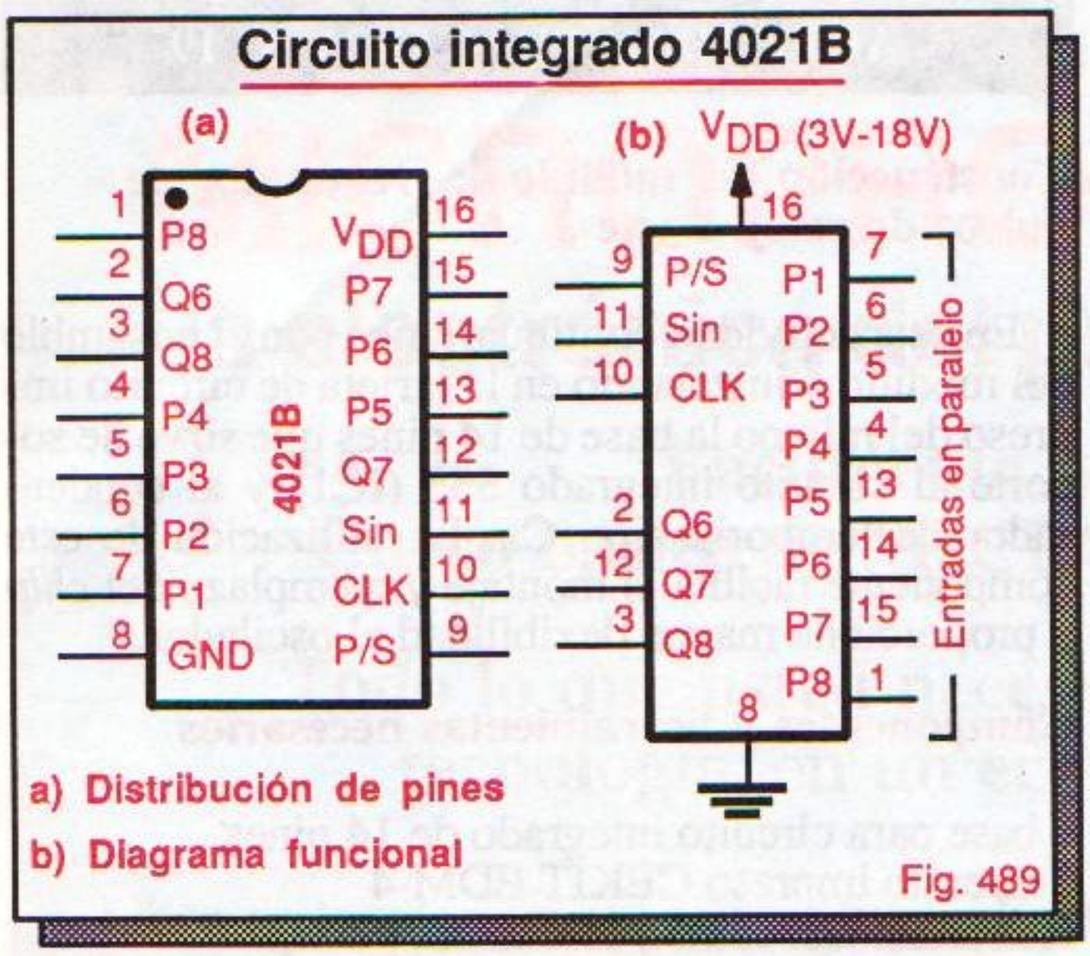
El desplazamiento hacia la izquierda se realiza con los flancos de subida de la señal de reloj y se programa haciendo **baja** la entrada S0 y **alta** la entrada S1. El dato serie ingresa por la entrada de datos DSL (*shift left*, pin 7). El desplazamiento se realiza en la dirección Q3→Q0.

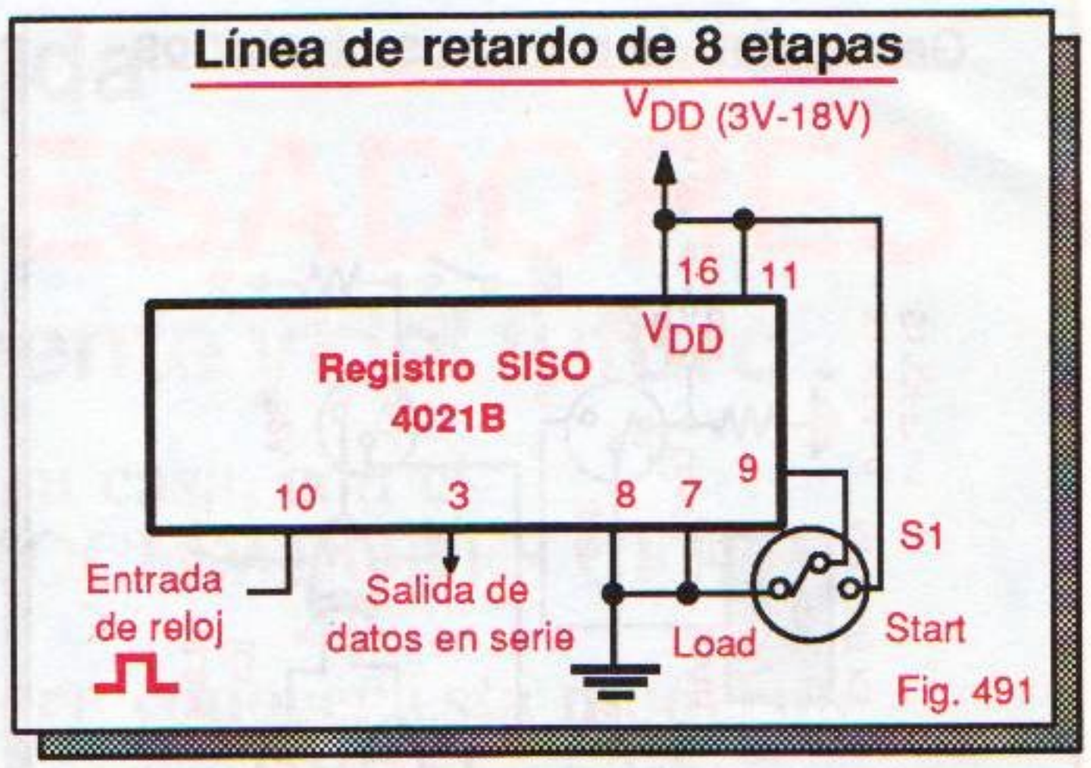
La operación del reloj se inhibe cuando las líneas de control S1 y S0 son ambas **altas**. Bajo esta condición, no hay carga ni desplazamiento y en las salidas del registro permanece el dato previo. Cuando la línea maestra de borrado (MR, pin 1) es **baja**, todas las salidas Q se hacen **bajas**, sin importar el estado de las entradas de datos (Q0-Q3, DSR, DSL), de control (S1, S0) y de reloj (CP).

En la figura 489 se muestran la distribución de pines y el diagrama funcional del circuito integrado **4021B**, un registro de desplazamiento unidireccional tipo PISO de 8 etapas con acceso a las tres últimas salidas (Q6, Q7 y Q8) Las operaciones de carga en paralelo y de desplazamiento de datos las controla la línea P/S (*parallel/serial control*, pin 9).

Cuando la línea P/S es **baja**, el dato de la entrada serie SIN (*serial in*, pin 11) se desplaza hacia la derecha, en dirección de la salida final Q8 (pin 3), con los flancos positivos de la señal de reloj. Cuando esta línea es de nivel **alto**, el registro se carga en paralelo con el dato presente en las entradas P1 a P8, sin importar el estado de las otras entradas.

Un registro de 8 etapas similar al **4021B** es el **4014B**. Los dos *chips* tienen la misma distribución de pines, pero el **4014B** es de carga sincrónica.



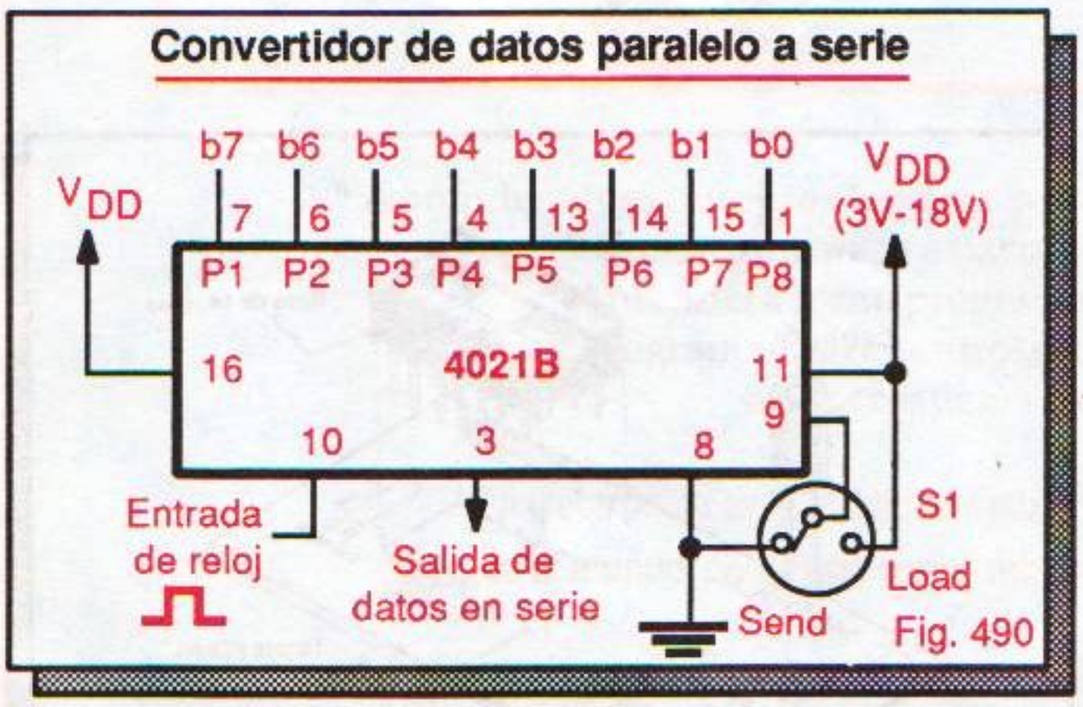


CIRCUITOS DE APLICACION

Los siguientes son algunos ejemplos sencillos de circuitos digitales que utilizan registros de desplazamiento como parte fundamental de su estructura. Entre las aplicaciones descritas figuran un convertidor de datos de paralelo a serie, una línea de retardo de 8 etapas y un generador de códigos aleatorios

Convertidor de datos de paralelo a serie

El circuito de la figura 490 recibe una palabra de 8 *bits* en paralelo (b7b6b5b4b3b2b1b0) y la entrega en serie, *bit* por *bit*, sobre una sola línea, con cada pulso de reloj. La carga se habilita con el interruptor S1 en la posición "LOAD"y el envio de datos con S1 en la posición "SEND". Una vez transmitida la información, después de 8 pulso de reloj, la salida de datos se hace **alta**.



Linea de retardo de 8 etapas

El circuito de la figura 491 se carga con un nivel **bajo** cuando el interruptor S1 está en la posición LOAD y lo desplaza a través del registro **4021B** cuando S1 está en la posición START. El *bit* **0** previamente cargado aparece en la salida serie (pin 3) al cabo de 8 pulsos de reloj. El resto del tiempo, esta salida es de nivel **alto**.

Generador de números aleatorios

El circuito de la figura 492 utiliza un registro de desplazamiento SIPO de 8 *bits* **74LS164** para generar una secuencia aparentemente aleatoria (seudoaleatoria) de 255 códigos de 8 *bits* entre **0000 0001** y **11111111**. El circuito de reloj debe operar a una frecuencia relativamente alta, por ejemplo 1 KHz. Puede utilizar cualquiera de las configuraciones estudiadas en las lecciones 14 y 17.

El orden de la secuencia se programa cargando en serie el registro con cualquier palabra de 8 *bits* distinta de **00000000**, por ejemplo **01001100** (8C, en hexadecimal). Esto se logra situando S2 en la posición "LOAD" (cargar), seleccionado cada *bit* de la palabra mediante S1 y pulsando S3 para ingresarlo en el registro. La secuencia se inicia situando S2 en la posición "RUN" (correr).

Cuando esto sucede, el registro desplaza secuencialmente el dato inicial hacia la derecha con cada pulso de reloj mientras las compuertas XOR realimentan automáticamente **1**'s y **0**'s a la entrada A (pin 1). El resultado es una sucesión o secuencia muy rápida de códigos de 8 *bits*. Al pulsar S4 (STOP), el registro se inhibe y en las salidas queda congelado un dato cualquiera (el que estaba siendo generado aleatoriamente en ese instante).

Al liberar S4, la secuencia se reanudará a partir de ese dato y sólo se detendrá cuando se pulse nuevamente S4 o se borre el registro pulsando S5. La secuencia de códigos se puede supervisar conectando un LED a cada salida del registro. Se observará un efecto de luces muy interesante que puede extenderse a lámparas de potencia acoplando cada salida a una interface adecuada (ver lección 8).

Generador de números aleatorios

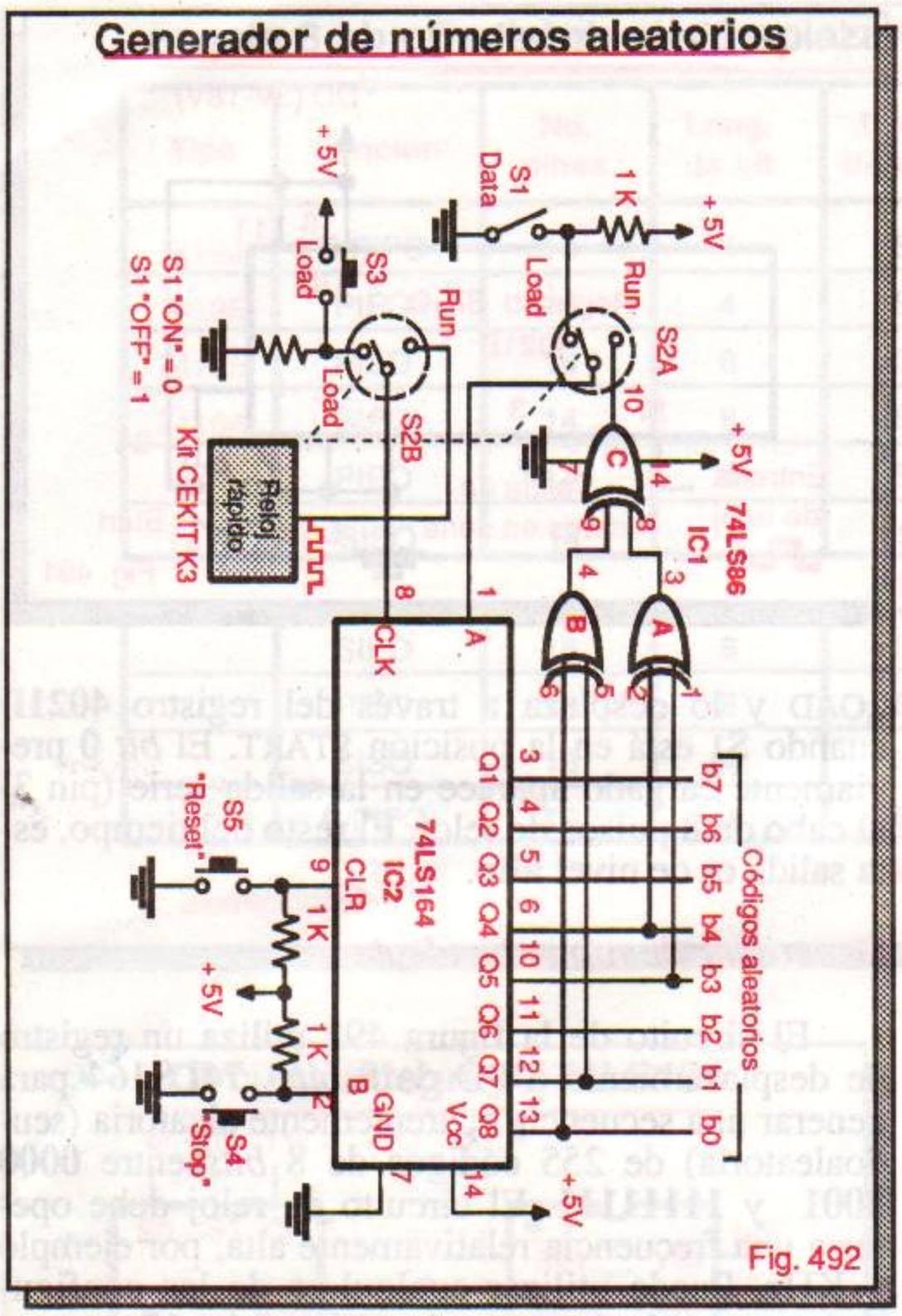


Fig. 492

La secuencia generada por el circuito de la figura 492 es *seudo-aleatoria* porque, después de pasar por todos sus estados posibles, se repite exactamente de la misma forma, y el orden en que aparecen esos estados o códigos binarios es predecible, es decir, se puede determinar con anterioridad.

Sin embargo, si se toma una pequeña porción de estados consecutivos de esa secuencia, o sea una *muestra*, los términos de la misma parecen estar en un orden aleatorio, al azar, aunque, como decíamos, la secuencia no sea rigurosamente aleatoria, en el sentido estadístico del término.

Por ejemplo, si el registro se carga inicialmente con el número binario Q1Q2Q3Q4Q5Q6Q7Q8= **01001101** (77, en decimal), a la salida de la compuerta C se tendrá un **1**. Cuando llega el primer pulso de reloj, este **1** se carga en la primera atapa del registro y el dato previo se corre hacia la izquierda. Por tanto, el nuevo dato que se lee en las salidas Q es, ahora, **10100110** (166, en decimal).

Siguiendo esta misma línea de análisis, se encuentra que los siguientes terminos de la secuencia son **11010011** (211), **01101001** (105), **00110100** (52), **00011010** (26), **00001101** (13), etc.

ACTIVIDAD PRACTICA Nº 19

Construcción del módulo 4: Generador de pulsos de reloj. Parte 3

En esta actividad continuaremos con el ensamble del módulo 4 instalando en la tarjeta de circuito impreso del mismo la base de 14 pines que sirve de soporte al circuito integrado **555** (IC1) y al condensador de temporización Cx. La utilización de este componente facilita el montaje y reemplazo del *chip* y proporciona mayor flexibilidad al oscilador.

Componentes y herramientas necesarios

1 base para circuito integrado de 14 pines.
1 circuito impreso CEKIT EDM-4
Herramientas: cautín, soldadura, pinzas

Procedimiento

Tome la base de 14 pines e instálela en la tarjeta de circuito impreso EDM-4, como se muestra en la figura A28. Asegúrese de que todos los pines entren en los agujeros demarcados y no haya alguno doblado o partido.

Antes de soldar, cerciórese de que los puntos de contacto de la tarjeta estén limpios y no haya sintomas de oxidación. Si es el caso, retire cualquier rastro de grasa o suciedad con una esponjilla de alambre para facilitar la adherencia de la soldadura.

Suelde cada uno de los pines de la base a la tarjeta. No mueva el conjunto hasta que la soldadura enfrie ni aplique calor en exceso. Debido a la cerrada proximidad de los pines, es muy fácil originar puentes de soldadura indeseables entre ellos si se aplica demasiada soldadura o la punta del cautín es inadecuada. Sea cuidadoso.

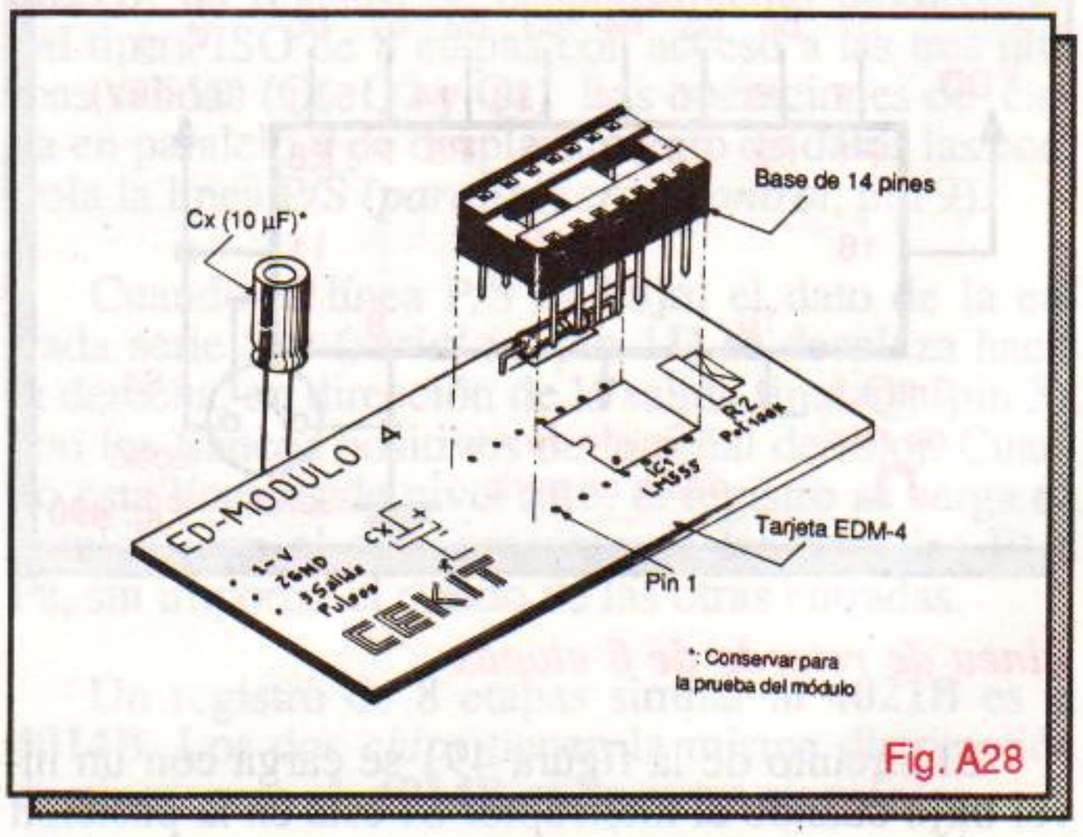


Fig. A28

Lección 24

Contadores binarios

- *Introducción*
- *Sistemas numéricos. El sistema binario*
- *Cómo opera un contador binario. Conceptos básicos de contadores. Contadores asincrónicos*
- *Contadores binarios con salidas decodificadas*
- *Contadores binarios asincrónicos TTL y CMOS*
- *Experimento Nº 25. Operación de un contador binario asincrónico estándar*
- *Contadores binarios sincrónicos*
- *Contadores binarios sincrónicos TTL y CMOS*
- *Experimento Nº 26. Operación de un contador binario sincrónico, reversible y prefijable*
- *CIRCUITOS DE APLICACION*
- *Actividad práctica Nº 20*

Introducción

Un contador es un dispositivo digital que utiliza *flip-flops* conectados en cascada para contar pulsos. Los contadores son, sin duda, una de las funciones digitales de uso más extendido. Prácticamente, todos los sistemas digitales avanzados utilizan contadores como bloques funcionales básicos dentro de su estructura.

Dependiendo de la aplicación, los contadores se pueden usar para medir frecuencia, tiempo, temperatura, velocidad, etc., o para contar, por ejemplo, el número de objetos que pasan sobre una banda transportadora, la cifra de personas que interrumpen un rayo de luz, la cantidad de operaciones realizadas por un computador o un sistema digital dado, etc.

Los contadores se emplean también para secuenciar eventos, dividir frecuencia, almacenar datos, manipular números, direccionar dispositivos como multiplexores, demultiplexores, registros, memorias, etc. El *contador de programa* (PC) de un microprocesador, por ejemplo, lleva la cuenta de la dirección de memoria donde se encuentra la siguiente instrucción que el dispositivo debe cumplir.

Algunos aparatos digitales que utilizan contadores son: computadores, equipos automáticos de control, relojes, multímetros, frecuencímetros, osciloscopios de almacenamiento (DSO), sintetizadores de música, generadores de barras y puntos para calibración de televisores, etc.

En muchos de los experimentos, proyectos y circuitos de aplicación anteriores a esta lección hemos utilizado contadores de varios tipos (**74LS 93**, **7490**, **4553B**, etc.) en forma intuitiva. Por esta razón, la función de un contador y su importancia no son asuntos del todo desconocidos para nosotros. A partir de esta lección formalizaremos nuestros conceptos.

Los contadores digitales se pueden clasificar de acuerdo a una gran variedad de criterios, por ejemplo, el *código* que utilizan para representar la cuenta de los pulsos. A este respecto, los dos grupos más importantes de contadores son los *binarios* y los *BCD*. Los primeros cuentan en código binario y los segundos en código BCD (ver lección 9).

Existen también contadores que cuentan en otros códigos, por ejemplo, los llamados *contadores de anillo* o Johnson, que son, básicamente, registros de desplazamiento recirculantes (ver lección 23). En esta lección estudiaremos los contadores binarios. Los contadores BCD se tratan en la lección 25. Los contadores Johnson y otros contadores especiales se analizan en la lección 26.

En general, los contadores digitales se clasifican en dos grandes grupos: *asincrónicos* o *series* y *sincrónicos* o *paralelos*. En un contador asincrónico, cada *flip-flop* es disparado por el *flip-flop* inmediatamente precedente mientras que en un contador sincrónico, todas las etapas están disparadas por un reloj común. Los contadores binarios y BCD entran en ambas categorías.

Existen también contadores que combinan ambos modos de operación, es decir, son parcialmente sincrónicos y asincrónicos. Estos dispositivos se denominan *contadores híbridos*. A esta categoría pertenecen, por ejemplo, los contadores de anillo.

Otra clasificación adicional divide los contadores en *lineales* y *realimentados*. Los lineales son aquellos donde el estado de un *flip-flop* depende del estado de los *flip-flops* que lo preceden mientras que los realimentados son aquellos donde el estado de un *flip-flop* depende tanto del estado de los *flip-flops* precedentes como de los que le anteceden o siguen en la cadena.

Esta lección discute varios tipos de contadores binarios, tanto discretos (con compuertas y *flip-flops*) como integrados (disponibles en forma de *chips* MSI). Se analizan su estructura lógica, sus características generales y sus usos más extendidos. Para afianzar los conocimientos adquiridos se realizan algunos experimentos claves y se presentan varios circuitos típicos de aplicación.

Para comprender cómo opera un contador binario, es necesario estar familiarizado con el sistema de numeración binario o de base 2. Por tal razón, estudiaremos inicialmente este último, comparándolo con nuestro familiar sistema decimal o de base 10. El sistema binario es muy fácil de comprender y constituye la base de operación de los calculadores y computadores científicos.

Sistemas numéricos. El sistema binario

Los números son símbolos que se utilizan para representar cantidades. El más común y antiguo de todos los sistemas numéricos es el *arábigo, decimal* o de *base 10*, introducido en Europa hace más de 800 años. Es el sistema que más utilizamos en nuestra vida diaria y con el que estamos, mentalmente, más condicionados. Todos los países civilizados lo han adoptado como oficial.

El sistema decimal usa 10 símbolos o *dígitos* (0, 1, 2, 3, 4, 5, 6, 7, 8, 9) y se originó, probablemente, en el hecho de que el hombre posee 10 dedos en sus manos, los cuales utiliza, consciente o inconscientemente, para contar, desde tiempos primitivos.

Cuando contamos en decimal, comenzamos con el dígito que tiene el más bajo valor, es decir 0 (cero). Seguimos con el 1 (uno), el 2 (dos), etc., hasta llegar a 9 (nueve), que es el dígito de más alto valor. Una cuenta adicional nos produce un acarreo hacia la derecha, obteniéndose el número 10 (diez).

En esta representación, el 1 ocupa la posición de las decenas (10^1=10) mientras el 0 ocupa la posición de las unidades (10^0=1).

Este proceso continúa cada vez que llegamos a 9 en la posición de las unidades. Cuando se llega a 9 en la posición de las decenas, el siguiente acarreo en esa posición producirá un acarreo en la posición de las centenas (10^2=100).

Note que un número en la posición de las decenas posee un valor (*peso*) 10 veces mayor que el del mismo número en la posición de las unidades. Un número en la posición de las centenas posee un peso 10 veces mayor que el del mismo número en la posición de las decenas. Esto mismo es válido para cada posición de mayor peso. Debido a esta relación, el decimal es un sistema numérico **posicional** y su base o raíz es 10.

En general, para cualquier sistema numérico posicional (de base 2, 3, 4, etc.) se cumplen las siguientes relaciones:

1º. Cada posición multiplica el valor del dígito por la base.
2º. Un acarreo de una posición a la siguiente incrementa su peso por un factor igual a la base.
3º. El número de dígitos utilizados en el sistema es igual a la base.
4º. El dígito de más alto valor es igual a la base menos 1.

Considérese, por ejemplo, el número decimal **723**. El 3 es el dígito menos significativo o LSD (*least significant digit*) y ocupa la posición de las unidades mientras el 7 es el dígito más significativo o MSD (*most significant digit*) y ocupa la posición de las centenas. Este número (723) implica que hay siete (7) centenas, dos (2) decenas y tres (3) unidades y puede expresarse como sigue:

$$\mathbf{723} = 7x100 + 2x10 + 3x1 =$$
$$7x10^2 + 2x10^1 + 3x10^0 = 700 + 20 + 3 = \mathbf{723}$$

El sistema de numeración binario o de base 2 tiene únicamente dos dígitos o *bits*: **0** y **1**. El dígito de más alto valor es **1** y el de más bajo valor es **0**. Todos los computadores digitales emplean este sistema numérico para realizar sus funciones internas debido a que se requieren únicamente dos niveles de voltaje (**alto** y **bajo**) para su implementación.

El sistema de numeración binario, al igual que el decimal, es posicional pero su base o raíz es 2. En la figura 493 se muestran los valores asignados a las 8 primeras posiciones en este sistema. Cada posición multiplica el valor del *bit* (**0** ó **1**) por 2. Un acarreo de una posición a la siguiente incrementa su peso en un factor de 2.

Valores posicionales de un número binario

MSB	7SB	6SB	5SB	4SB	3SB	2SB	LSB
2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0
128	64	32	16	8	4	2	1

MSB: Bit más significativo
LSB: Bit menos significativo
7SB: Séptimo bit significativo
⋮
2SB: Segundo bit significativo

Fig. 493

Convertir un número binario a su representación decimal correspondiente es muy fácil. Si hay un **1** presente en una posición dada, el peso de ese *bit* se suma. Si hay un **0** presente, el peso de ese *bit* se omite. Considérese, por ejemplo, el número binario de 5 *bits* **10010.** El número decimal o de base 10 correspondiente se evalúa como sigue:

$$\mathbf{10010}_2 = 1x2^4 + 0x2^3 + 0x2^2 + 1x2^1 + 0x2^0 =$$
$$16 + 0 + 0 + 2 + 0 = \mathbf{18}_{10}$$

El subíndice 2 denota que se trata de un número binario y el subíndice 10 que se trata de un número decimal. El número **10010** debe leerse como "uno, cero, cero, uno, cero" y no como "diez mil diez" o de otra forma. El **1** del extremo izquierdo es el *bit* más significativo (MSB) y el **0** del extremo derecho es el *bit* menos significativo (LSB).

En la tabla de la figura 494 se ilustra la correspondencia entre números binarios de 4 *bits* y números decimales. En general, con **n** bits podemos contar desde 0 hasta 2^n -1. Por ejemplo, con 8 *bits* podemos representar, en binario, números entre 0 y 2^8-1, es decir entre 0 y 255, correspondiendo 0_{10} a $\mathbf{00000000}_2$ y 255_{10} a $\mathbf{11111111}_2$.

Correspondencia entre números binarios y números decimales

Número binario				Número decimal equivalente
2^3 (8)	2^2 (4)	2^1 (2)	2^0 (1)	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

MSB ↑ LSB ↑

Fig. 494

La conversión de decimal a binario se realiza mediante un proceso de división repetida por 2. En la figura 495, por ejemplo, se ilustra la conversión del número decimal 37 en binario. El número decimal se divide sucesivamente por 2, escribiendo debajo cada cociente y al frente cada residuo, como se indica. El algoritmo termina cuando el último cociente (en este caso el sexto) es igual a 0.

El primer residuo suministra el *bit* menos significativo (LSB) y el último (en este caso, el sexto) suministra el *bit* más significativo (MSB). La lectura del número binario equivalente se realiza comenzando por el MSB y terminando en el LSB. Por

Conversión de decimal a binario

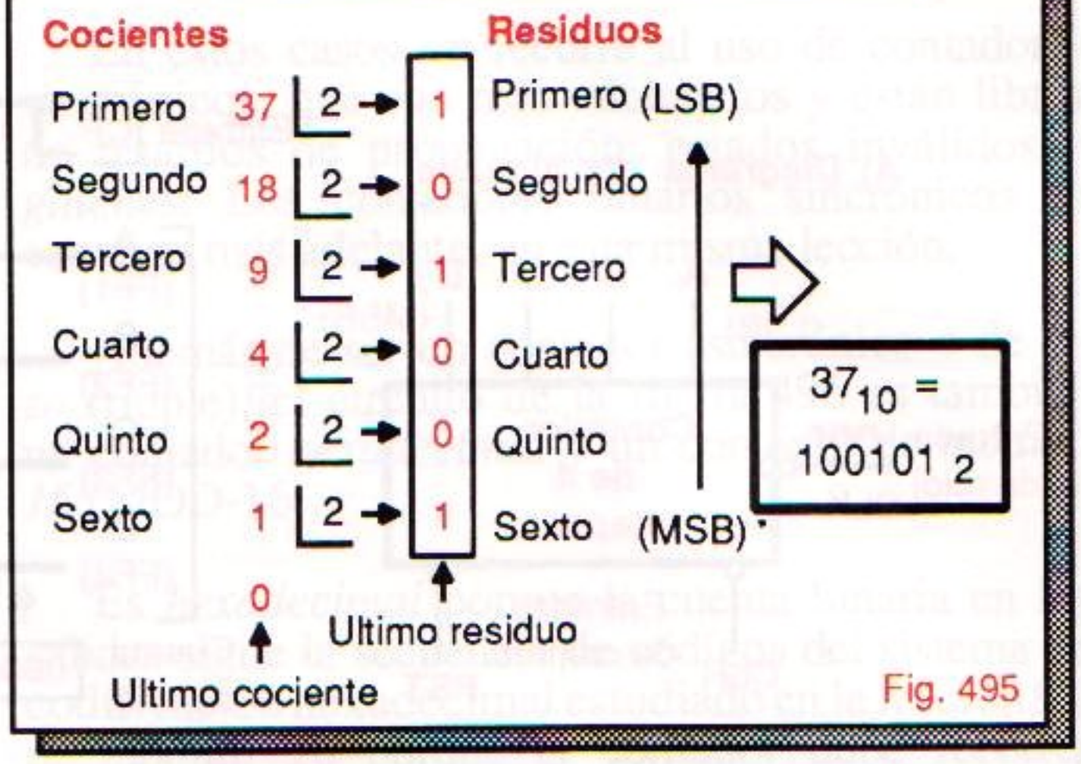


Fig. 495

tanto, el número decimal 37 es equivalente al número binario **100101**.

Los números binarios se pueden manipular para realizar las mismas operaciones matemáticas que se realizan con números decimales o de otra base: suma, resta, multiplicación, división, elevación a una potencia (exponenciación), extracción de una raiz (radicación), etc.

En la lección 27, dedicada a la aritmética binaria, aprenderemos a realizar cálculos con números binarios y a representar cantidades binarias en forma concisa, utilizando otros sistemas numéricos como el *octal* o de base 8 y el *hexadecimal* o de base 16.

En las lecciones 28, 29 y 30 estudiaremos varios circuitos especializados en la ejecución de operaciones aritméticas básicas con números binarios como sumadores, comparadores, multiplicadores, unidades aritmético-lógicas (ALU's), etc., y conoceremos algunas técnicas y métodos digitales que se utilizan para realizar cálculos y manipulaciones numéricas más avanzadas.

Cómo opera un contador binario. Conceptos básicos de contadores. Contadores asincrónicos

Un contador es, básicamente, una cadena de *flip-flops* conectados de tal modo que la salida de un *flip-flop* maneja la entrada del *flip-flop* siguiente, produciendo cambios de estado en una secuencia determinada cada vez que se aplica un pulso a la entrada del circuito. Las conexiones específicas entre los *flip-flops* de la cadena determinan las propiedades particulares del contador.

En un contador binario, los *flip-flops* están conectados de forma tal que la secuencia de estados

Contador asincrónico binario de 4 bits

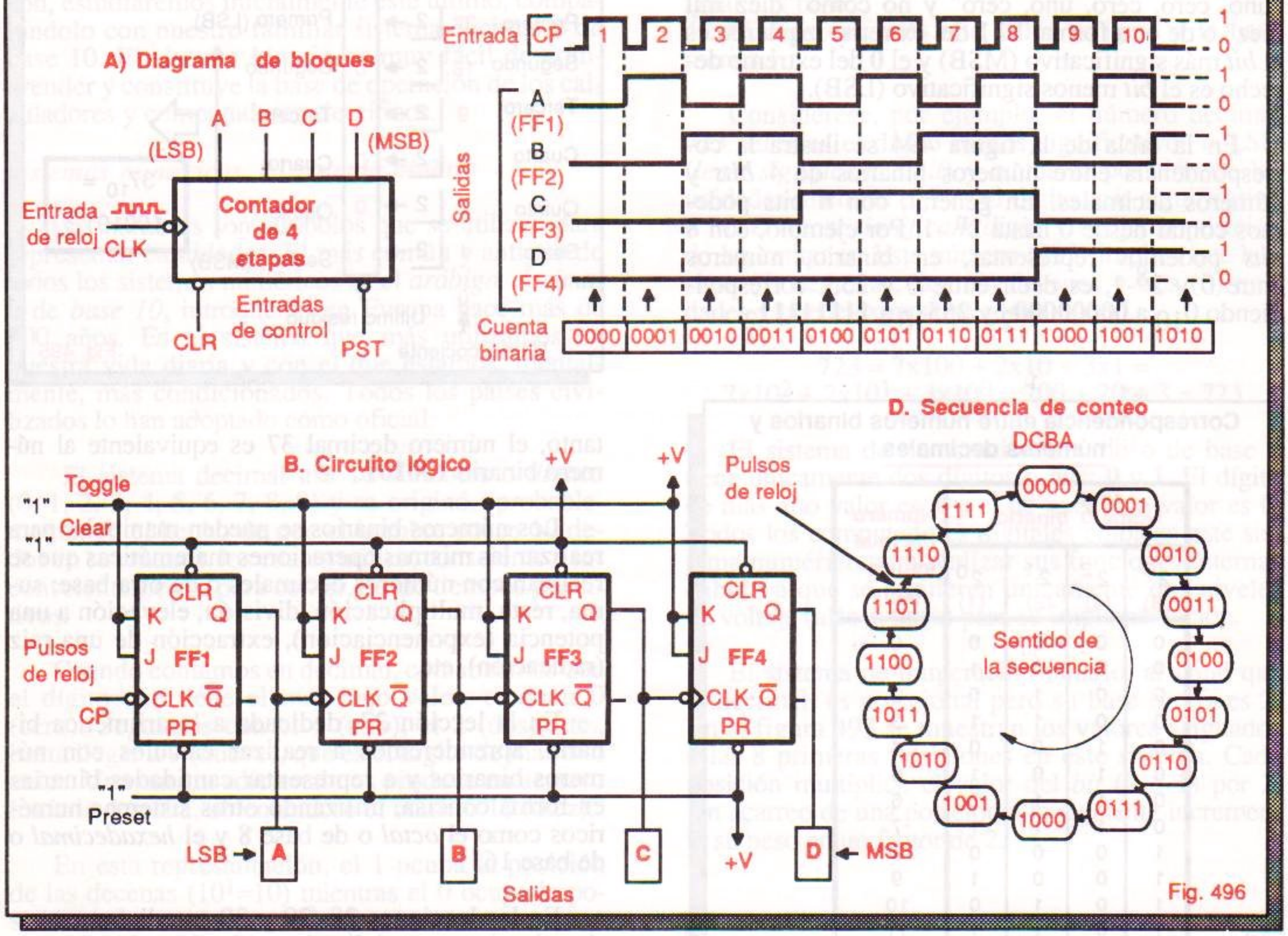


Fig. 496

generada sigue el mismo desenvolvimiento lógico que tienen los números (*bits*) del sistema binario posicional. Los niveles **altos** y **bajos** de cada salida representan los *bits* **1** y **0** de la cuenta binaria. Consideradas en conjunto, las salidas registran el número de pulsos que han sido aplicados.

Los contadores binarios se denominan también *contadores divisores por N* porque, como veremos, producen un pulso de salida por cada N pulsos de entrada. Esta característica permite utilizarlos como *escalizadores* o *divisores de frecuencia* en una gran variedad de aplicaciones.

En la figura 496 se muestran el diagrama de bloques, el circuito lógico, el diagrama de temporización y la secuencia de estados de un contador binario de 4 etapas realizado con 4 *flip-flops* J-K disparables por flancos de bajada (transiciones de **1** a **0**). Este modo de disparo es típico en contadores TTL. La mayoría de contadores CMOS se disparan con flancos de subida.

Cada *flip-flop* opera en el modo *toggle* (ver lección 20), con sus entradas J y K conectadas a **1**. Los pulsos se aplican a la entrada de reloj del primer *flip-flop* (FF1). La salida Q de cada *flip-flop* alimenta la entrada de reloj (CLK) del siguiente. Cada vez que la entrada de reloj de un *flip-flop* pasa de **alto** a **bajo**, su salida cambia de estado.

Las líneas PR (PRESET) y CLR (CLEAR) son de control y se utilizan para inicializar las salidas del contador en **0000** y **1111**, respectivamente. Para simplificar, asumiremos que, inicialmente, se aplica un **bajo** a la línea CLR para borrar el contador pero el resto del tiempo las líneas PR y CLR están inactivas, es decir en **alto** (**1**). Por tanto, antes del primer pulso, DCBA=**0000**.

Cuando ocurre el primer pulso, el *flip-flop* FF1 cambia de estado, la salida A pasa de **0** a **1** y la cuenta binaria de salida es DCBA=**0001**. Cuando ocurre el segundo pulso, FF1 cambia nuevamente de estado y la salida A pasa de **1** a **0**. Al suceder es-

to último, FF2 cambia también de estado y la salida B pasa de **0** a **1**. El estado final de salida resultante es DCBA=**0010**.

Cuando ocurre el tercer pulso, FF1 vuelve y cambia de estado, es decir, A pasa de **0** a **1**. Esta transición positiva no afecta el estado de FF2. Por tanto, en las salidas se obtiene la cuenta binaria DCBA=**0011**. El proceso de conteo continúa, con la salida de cada *flip-flop* disparando el *flip-flop* siguiente cuando su salida realiza una transición de **1** a **0**.

En particular, FF1 cambia de estado con cada pulso de reloj aplicado a la entrada, FF2 con cada 2 pulsos, FF3 con cada 4 pulsos y FF4 con cada 8 pulsos. Después de aplicar 15 pulsos, la cuenta binaria en las salidas es DCBA=**1111**. Cuando ocurre el siguiente pulso, las salidas retornan a **0000** y se repite la secuencia binaria.

En otras palabras, se produce un pulso en la salida A cada 2 pulsos de reloj, un pulso en la salida B cada 4 pulsos, un pulso en la salida C cada 8 pulsos y un pulso en la salida D cada 16 pulsos. El circuito es, intrínsecamente, un *divisor de frecuencia*. Si la frecuencia de la señal de reloj es **f**, la frecuencia obtenida en la salida A es **f/2**, en la salida B es **f/4**, en la salida C es **f/8** y en la salida D es **f/16**.

Debido a que la salida de cada *flip-flop* afecta la entrada del *flip-flop* siguiente, el cambio de estado de las salidas no se produce instantáneamente sino que se propaga en cadena, de una etapa a la siguiente. Por esta razón, se dice que el contador de la figura 496 es un contador ***asincrónico*** o serie. Cuando todas las etapas están disparadas por un reloj común, se obtiene un contador ***sincrónico.***

Por ejemplo, cuando ocurre el flanco de bajada del octavo pulso, el *flip-flop* FF1 se dispara y la salida A pasa de **1** a **0**. A continuación, se dispara el *flip-flop* FF2, la salida B pasa de **1** a **0**, se dispara el *flip-flop* FF3, y así sucesivamente, hasta que, finalmente, la salida D pasa de **0** a **1**. Es decir, los estados de salida de los *flip-flops* cambian uno tras otro hasta que la nueva cuenta queda fijada en las salidas.

El tiempo que demora este proceso se denomina *retardo de propagación* y puede llegar a ser, por ejemplo, de 100 ns. Durante este tiempo, el estado de las salidas es inválido y, si se decodifican las salidas, se generan pulsos estrechos espúreos llamados *glitches*, de 20 a 30 ns de ancho, los cuales pueden llegar a ser muy molestos.

En otras palabras, el retardo de propagación provoca errores en la cuenta de salida y pulsos inválidos cuando esta última se decodifica. Esto sucede porque los *flip-flops* no cambian al mismo tiempo.

En estos casos, se recurre al uso de contadores sincrónicos, que son más adecuados y están libres de retardos de propagación, estados inválidos y *glitches*. Los contadores binarios sincrónicos se estudian más adelante, en esta misma lección.

Además de ser un contador asincrónico o de *rizo* (ripple), el circuito de la figura 496 es también un contador *hexadecimal* y un contador de *módulo 16* (MOD-16).

Es *hexadecimal* porque la cuenta binaria en las salidas sigue la secuencia de códigos del sistema de codificación hexadecimal estudiado en la lección 9 y de *módulo* 16 porque el contador debe recorrer secuencialmente 16 estados diferentes, desde **0000** hasta **1111**, para completar su ciclo de conteo y reiniciarlo. El *módulo* o MOD de un contador se refiere a esta circunstancia.

En general, un contador de módulo N es un circuito que realiza una secuencia a través de N estados diferentes. El módulo de un contador binario está estrechamente relacionado con su tamaño. Por ejemplo, un contador binario de 8 etapas puede contar hasta 2^8=256 pulsos, es decir, tiene 256 estados diferentes, desde **00000000** (0) hasta **1111 1111** (255). Es, por tanto, un contador de módulo 256 o, simplemente, un contador MOD-256.

En general, un contador binario de **n** etapas o *flip-flops* puede contar entre 0 y 2^n-1 y tiene 2^n estados diferentes, es decir, es un contador de módulo N=2^n. Si n=3, se trata de un contador MOD-8, si n=7 es un contador MOD-128, si N=14 es un contador MOD-16384, etc.

El módulo de un contador se puede incrementar o extender, simplemente, agregando más *flip-flops* a la cadena o conectando varios contadores en cascada. En este último caso, el módulo de contador resultante es el producto de los módulos de los contadores individuales.

Por ejemplo, si se conecta en cascada un contador de módulo 8 (3 *flip-flops*) a un contador de módulo 16 (4 *flip-flops*), se obtiene un contador de 7 etapas o de módulo 128 (=8x16), el cual posee 128 estados diferentes y proporciona conteos de 7 *bits* desde **0000000** (0) hasta **1111111** (127). En la figura 497 se ilustra este concepto.

Es posible alterar el módulo natural de un contador con la adición de una o más compuertas externas. En la figura 498, por ejemplo, se ilustra la forma de convertir el contador de módulo 16 de la figura 496 en un contador BCD o de módulo 10, es de-

Contador binario de módulo extendido

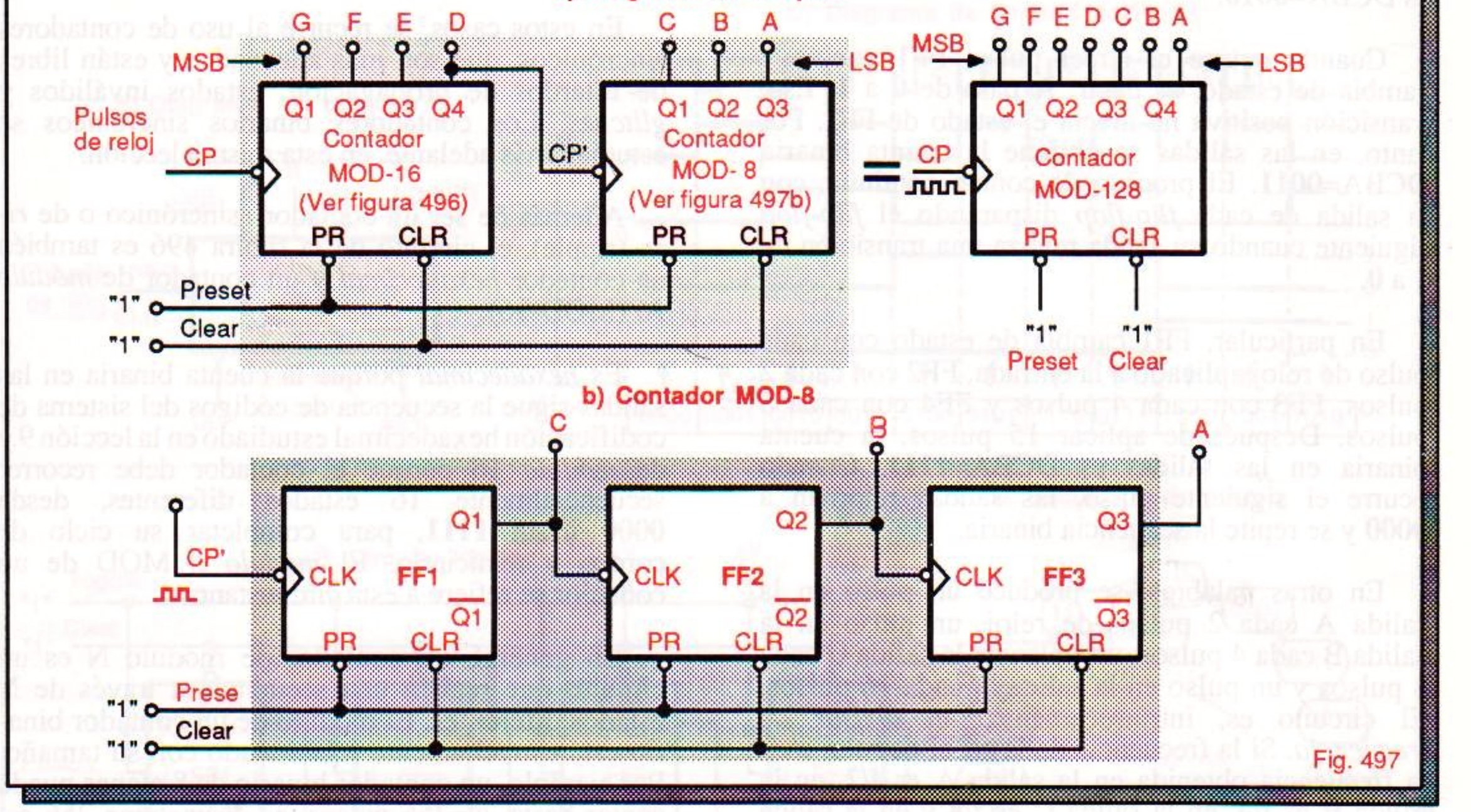


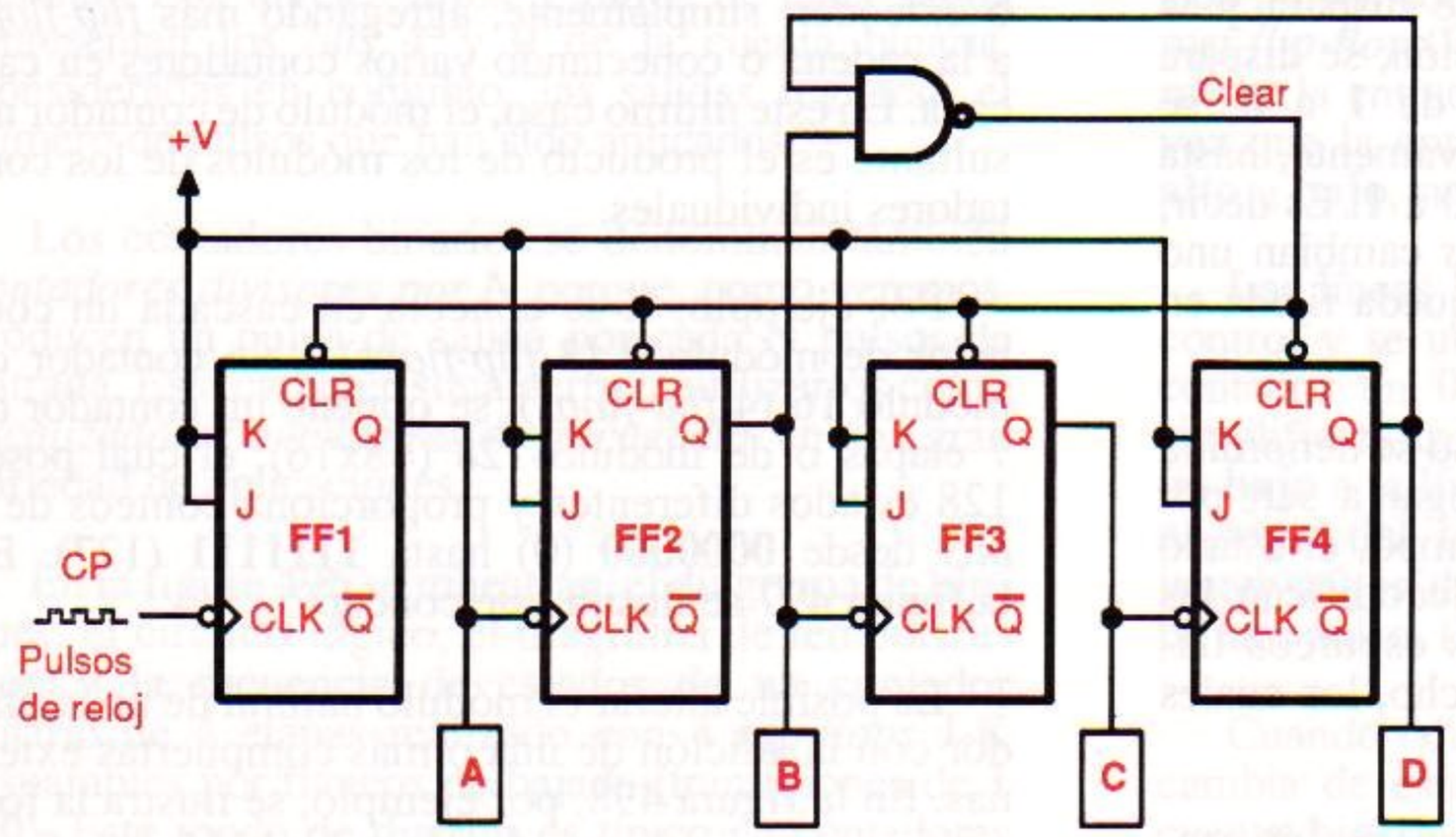
Fig. 497

cir, con 10 estados diferentes. El circuito cuenta cíclicamente entre **0000** (0) y **1001** (9).

Observe que se ha suprimido la línea de PRESET pero se mantiene la de CLEAR. La razón de esto es muy sencilla: el estado **1111** (*preset* o *set*) no forma parte de la secuencia normal de conteo mientras que el estado **0000** (*clear* o *reset*) si forma parte de la misma.

El circuito de la figura 496 es también un contador *ponderado*. La salida de cada *flip-flop* tiene asignado un peso o valor dependiendo de su posición en la cadena. Específicamente, D tiene un peso

Contador BCD o de módulo 10



D	C	B	A
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
0	0	0	0

Reset

Fig. 498

de 2^3=8, C un peso de 2^2=4, B un peso de 2^1=2 y A un peso de 2^0=1. La posición de D corresponde al *bit* más significativo (MSB) de la cuenta y la de A al menos significativo (LSB).

El número **m** de pulsos o estados asociados a una cuenta DCBA particular se obtiene convirtiendo la cuenta binaria a decimal, es decir, multiplicando cada *bit* por su peso y sumando los valores obtenidos. Por ejemplo, si DCBA=**1101**, entonces m = 1x8 + 1x4 + 0x2 + 1x1 = 8+4+0+1 = **13**.

Este resultado implica que han pasado 13 pulsos desde el momento en que se inició o reinició la secuencia en el estado **0000**. Los contadores de código ponderado son particularmente útiles para convertir información digital en análoga. Un ejemplo de contadores cuya secuencia no es ponderada son los contadores Johnson o de anillo.

Otra ventaja importante de los contadores ponderados es que usted puede inmediatamente saber en que estado se encuentran y predecir el siguiente estado de la secuencia. Además, sus salidas pueden utilizarse para direccionar una amplia variedad de decodificadores, multiplexores, demultiplexores, memorias., etc. directamente, sin necesidad de realizar conversiones de código.

El circuito de la figura 496 es también un contador *ascendente* porque la cuenta binaria representada en sus salidas se incrementa en uno con cada pulso de reloj. Cuando la cuenta alcanza su valor máximo (**1111**) retorna a su valor mínimo (**0000**) con el siguiente pulso de reloj y continúa. Existen también contadores *descendentes* y *ascendentes/descendentes* o *up/down*.

Los primeros cuentan en orden inverso y los segundos pueden contar en ambas direcciones. Cuando la cuenta de un contador descendente alcanza su valor mínimo (**0000**) retorna a su valor máximo (**1111**) y continúa. En un contador *up/down*, la dirección de conteo se puede especificar mediante una línea de control (U/D) o utilizando dos entradas de reloj separadas.

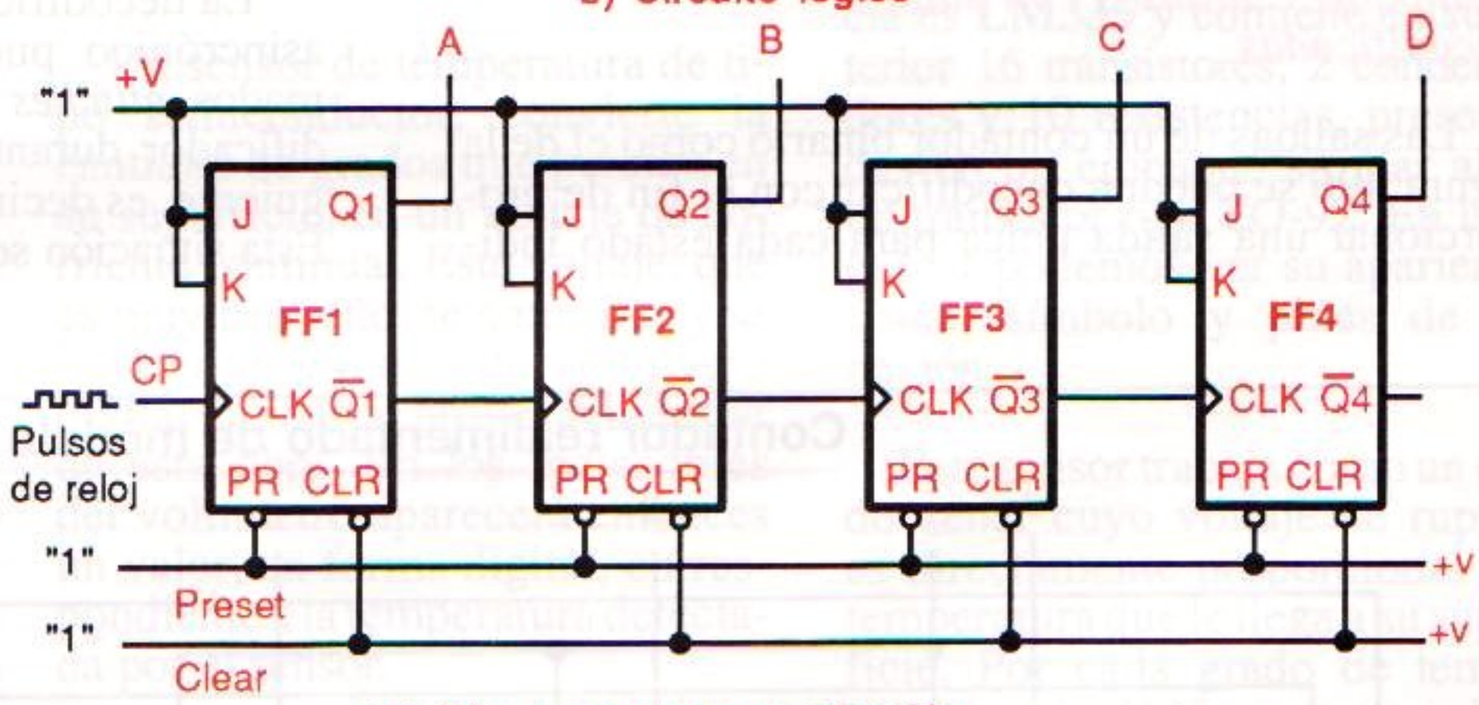
En la figura 499 se muestran la tabla de verdad, el circuito lógico y el diagrama de temporización de un contador binario asincrónico descendente de 4 etapas. Observe que se utilizan las salidas $\bar{Q}$ para proporcionar la señal de reloj del *flip-flop* siguiente.

Contador binario descendente de 4 bits

a) Tabla de verdad

D	C	B	A	Pulsos de reloj
1	1	1	1	0
1	1	1	0	1
1	1	0	1	2
1	1	0	0	3
1	0	1	1	4
1	0	1	0	5
1	0	0	1	6
1	0	0	0	7
0	1	1	1	8
0	1	1	0	9
0	1	0	1	10
0	1	0	0	11
0	0	1	1	12
0	0	1	0	13
0	0	0	1	14
0	0	0	0	15

b) Circuito lógico



C) Diagrama de temporización

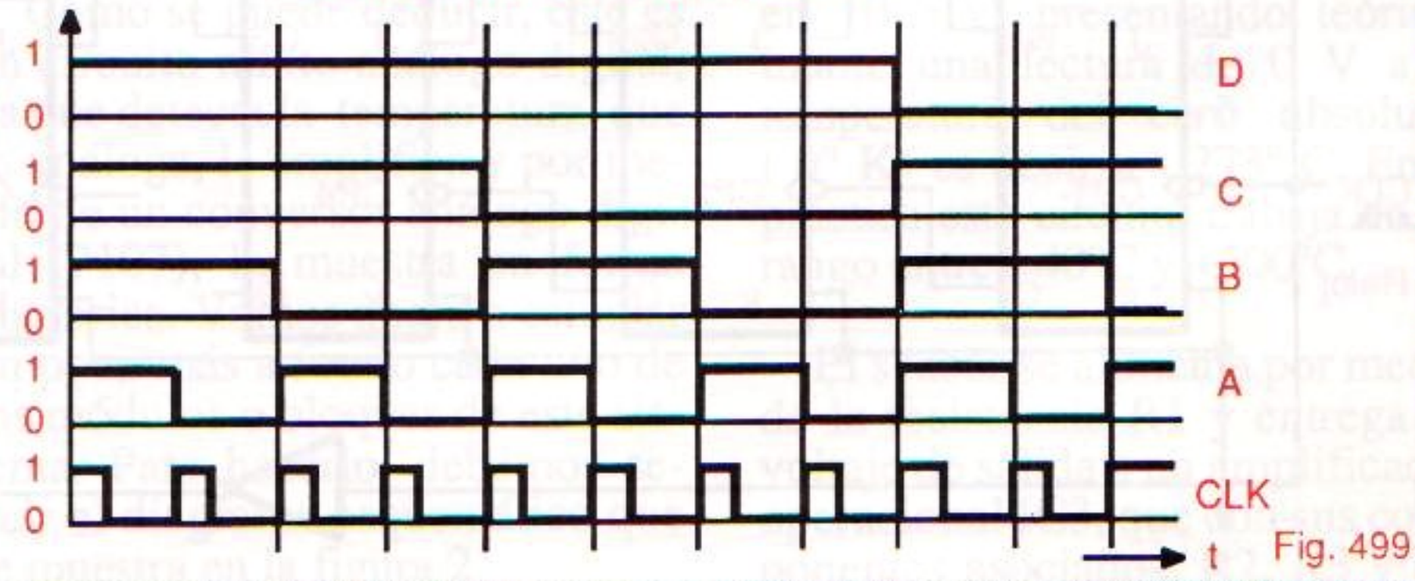


Fig. 499

La línea de control PR (PRESET) inicializa las salidas en el estado DCBA=**1111** cuando recibe un nivel **bajo**. El análisis de este circuito es similar al de la figura 496. Los *flip-flops* responden a flancos de subida.

El circuito de la figura 496 es también un contador *lineal* porque el estado de un *flip-flop* depende del estado de los *flip-flops* que lo preceden. En contraste, existen también contadores *realimentados*. En estos últimos, el estado de un *flip-flop* depende tanto del estado de los *flip-flops* precedentes como de los que le anteceden o siguen en la cadena.

Los contadores realimentados se utilizan principalmente para producir contadores de módulo $N = 2^{n-1}+1$ siendo **n** el número de etapas. En la figura 500, por ejemplo, se muestra un contador de 5 etapas que opera como un contador de módulo 17. El circuito arranca con todos los *flip-flops* en **0** (ED CBA=**00000**) y cuenta cíclicamente entre **00000** (0) y **10000** (16).

Cuando la cuenta llega a **01000**, el **1** de la salida Q4 entra a la porción maestra de FF5 (un *flip-flop* R-S M/S, ver lección 20). Cuando la cuenta está en **01111** y arriba el siguiente pulso, la entrada de reloj de FF5 recibe un flanco de bajada y el **1** del maestro se trasfiere a la salida Q5 del esclavo. Al terminar el pulso, en las salidas se lee la cuenta **10000**. El siguiente pulso reinicia la secuencia.

Contadores binarios con salidas decodificadas

Las salidas de un contador binario como el de la figura 496 se pueden decodificar con el fin de proporcionar una salida única para cada estado individual de la secuencia o producir un código que permita visualizar ese estado en un *display* de siete segmentos. En la figura 501 se ilustra este concepto. La decodificación de estados binarios se estudió en la lección 10 de este curso.

En el circuito de la figura 501 (a), para cada estado de salida del contador, el decodificador activa una sola de las 16 líneas de salida y mantiene inactivas las 15 líneas de restantes. El nivel de activación puede ser **1** ó **0**, dependiendo del diseño. Por ejemplo, cuando la cuenta binaria DCBA es **0101** (5), se activa la línea Q5, cuando la cuenta es **1000** (8) se activa la línea Q8, etc.

En el circuito de la figura 501 (b), cada estado de salida del contador es convertido por el decodificador en un código de siete segmentos equivalente y se visualiza en el *display* como un número, una letra o un caracter especial, dependiendo de las características particulares del decodificador. Por ejemplo, si DCBA=**0011**(3), en el *display* se observará el número 3.

La decodificación de estados es esencial cuando el contador controla *displays* LED, LCD (cristal líquido), fluorescentes o de cualquier otro tipo o se utiliza para iniciar una secuencia de temporización, de control o de muestreo. Naturalmente, para que la comunicación sea eficiente, el contador y el decodificador deben trabajar con el mismo código.

La decodificación de las salidas de un contador asincrónico puede producir pulsos erráticos llamados *glitches* en varias de las salidas del decodificador durante la transición de un estado al siguiente, es decir, durante el tiempo de propagación. Esta situación se ilustra en la figura 502.

Contador realimentado de módulo 17

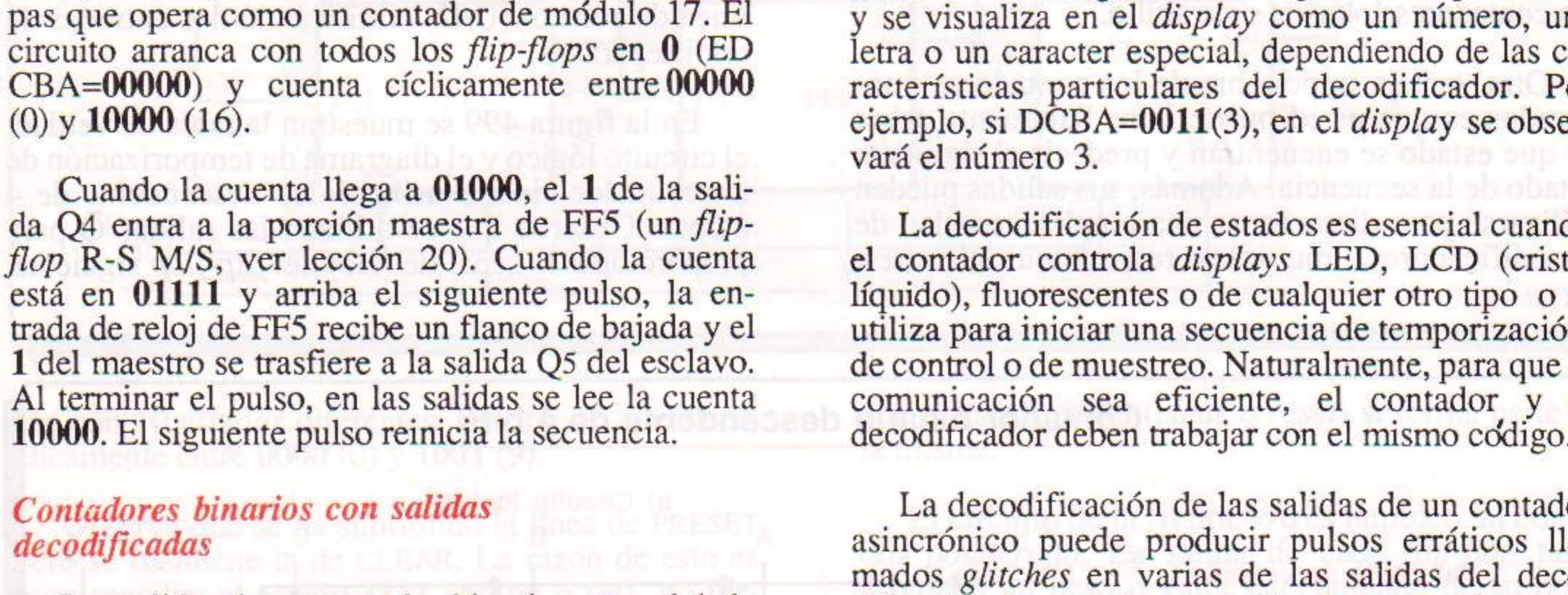


Fig. 500

Decodificación de las salidas de un contador

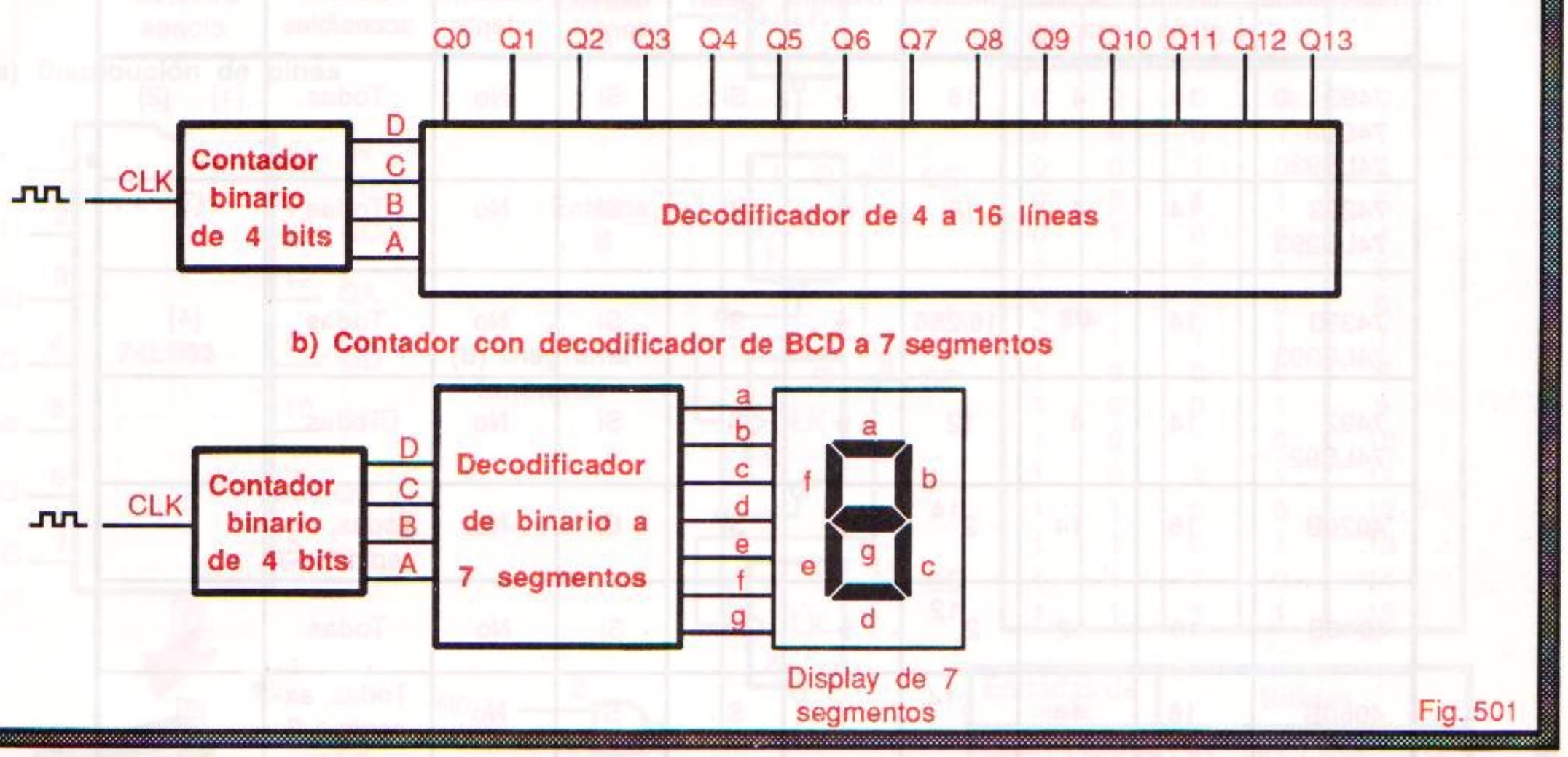


Fig. 501

Glitches en contadores asincrónicos

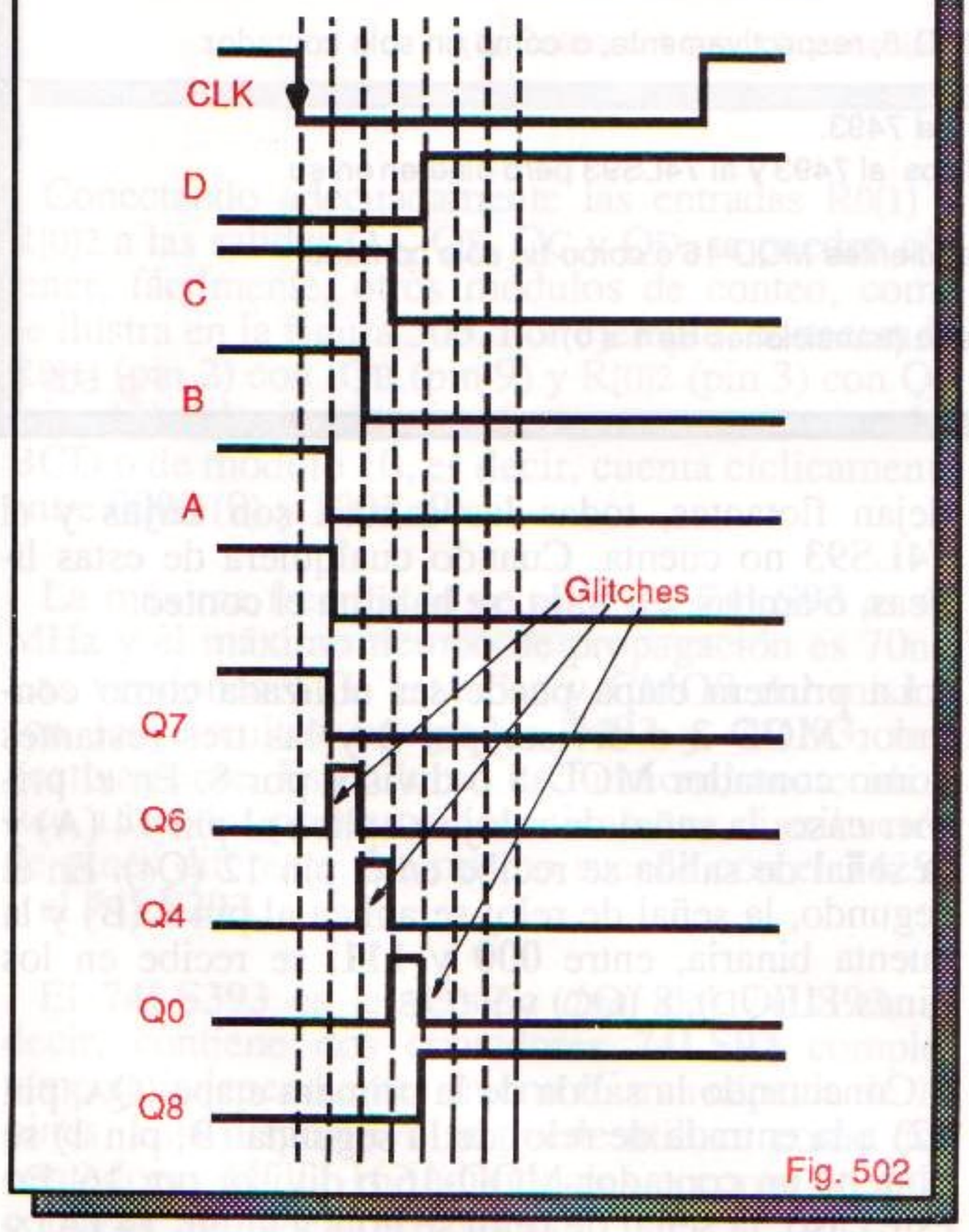


Fig. 502

En este caso, la cuenta binaria es, inicialmente, DCBA=**0111** (7) y está activada la salida Q7 del decodificador. Cuando llega el siguiente pulso, las salidas no cambian instantáneamente de estado sino que lo hacen gradualmente hasta que la nueva cuenta (**1000**) queda fijada en el contador.

Durante el tiempo que dura esta propagación del cambio, las salidas pasan, sucesivamente, por los estados **0111**, **0110**, **0100**, **0000** y el decodificador los reconoce, originándose *glitches* de decodificación en las salidas Q6, Q4 y Q0.

En algunas aplicaciones, los *glitches* son tolerables o no tienen incidencia alguna en el funcionamiento del circuito al cual va dirigida la cuenta decodificada. En otras aplicaciones, especialmente en sistemas sincrónicos, son una verdadera plaga y provocan toda clase de problemas. Además, son difíciles de observar en un osciloscopio para detectar su presencia y combatirlos.

En estos casos, deben utilizarse contadores sincrónicos, los cuales, como veremos más adelante, no generan *glitches*, por la misma naturaleza de su funcionamiento.

Contadores binarios asincrónicos TTL y CMOS

Existe una gran variedad de circuitos integrados TTL y CMOS de mediana escala diseñados especìficamente para operar como contadores binarios asincrónicos. La tabla de la figura 503 compara las características más sobresalientes de algunos de ellos. Todos los contadores relacionados son ascendentes y no siempre todas las salidas son accesibles.

Contadores binarios asincrónicos TTL y CMOS comunes

Referencia	Nº de pines	Nº de etapas	Módulo	Disparo	Clear	Ascendente	Descendente	Salidas accesibles	Observaciones
7493 74C93 74LS93	14	4	16	↓	Si	Si	No	Todas	[1] [2]
74293 74LS293	14	4	16	↓	Si	Si	No	Todas	[3]
74393 74LS393	14	4/8	16/256	↓	Si	Si	No	Todas	[4]
7492 74LS92	14	4	12	↓	Si	Si	No	Todas	
4020B	16	14	2^{14}	↓	Si	Si	No	Todas, excepto 2 y 3	
4040B	16	12	2^{12}	↓	Si	Si	No	Todas	
4060B	16	14	2^{14}	↓	Si	Si	No	Todas, excepto 1,2, 3,11	[5]
4024B	14	7	2^{7}	↓	Si	Si	No	Todas	

[1]: Puede operar como dos contadores separados MOD-2 y MOD-8, respectivamente, o como un solo contador MOD-16.
[2]: La distribución de pines del 74C93 difiere de la del 74LS93 y el 7493.
[3]: El 74293 y el 74LS293 son eléctrica y funcionalmente idénticos al 7493 y al 74LS93 pero difieren en su distribución de pines.
[4]: El 7493/74LS93 puede operar como dos contadores independientes MOD-16 o como un sólo contador MOD-256.
[5]: Con oscilador interno incorporado. ↓: Flancos de bajada (transiciones de 1 a 0)

Fig. 503

Los dispositivos de las series CMOS 40 y 74C pueden operar con tensiones de alimentación desde 3V hasta 18V mientras que los de las series TTL 74 y 74LS trabajan a 5V. Describiremos a continuación un contador binario asincrónico representativo de cada familia: el *chip* TTL **74LS93** y el *chip* CMOS **4060B**. Las hojas de datos de los fabricantes suministran mayor información al respecto.

En la figura 504 se muestran la distribución de pines, el diagrama funcional y la tabla de verdad del circuito integrado **74LS93**, un contador binario TTL de 4 etapas. Cada etapa es un *flip-flop* J-K maestro/esclavo conectado como *toggle* y disparable por flancos de bajada. La tensión de alimentación se aplica entre los pines 5 (Vcc) y 10 (GND).

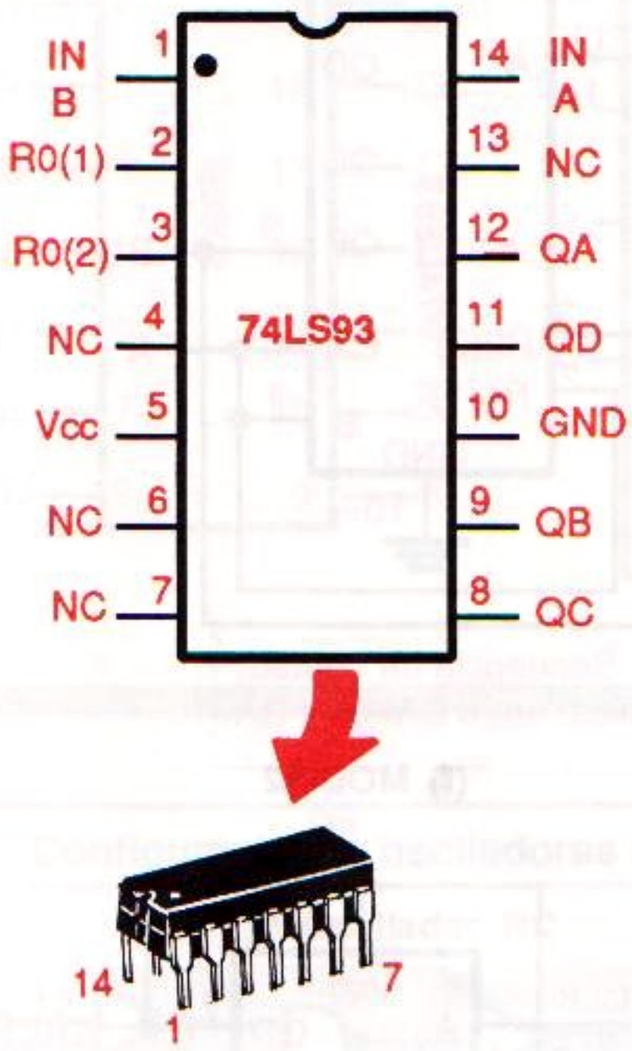
El dispositivo posee cuatro líneas de salida (Q_D, Q_C, Q_B, Q_A), dos entradas de reloj (A y B) independientes y dos entradas de *reset* comunes (R0[1] y R[0]2). Cuando R0[1] y R0[2] son ambas **altas** o se dejan flotantes, todas las salidas son **bajas** y el **74LS93** no cuenta. Cuando cualquiera de estas líneas, o ambas, es **baja**, se habilita el conteo.

La primera etapa puede ser utilizada como contador MOD-2 o divisor por 2 y las tres restantes como contador MOD-8 o divisor por 8. En el primer caso, la señal de reloj se aplica al pin 14 (A) y la señal de salida se recibe en el pin 12 (Q_4). En el segundo, la señal de reloj se aplica al pin 1 (B) y la cuenta binaria, entre **000** y **111**, se recibe en los pines 11 (Q_D), 8 (Q_C) y 9 (Q_B).

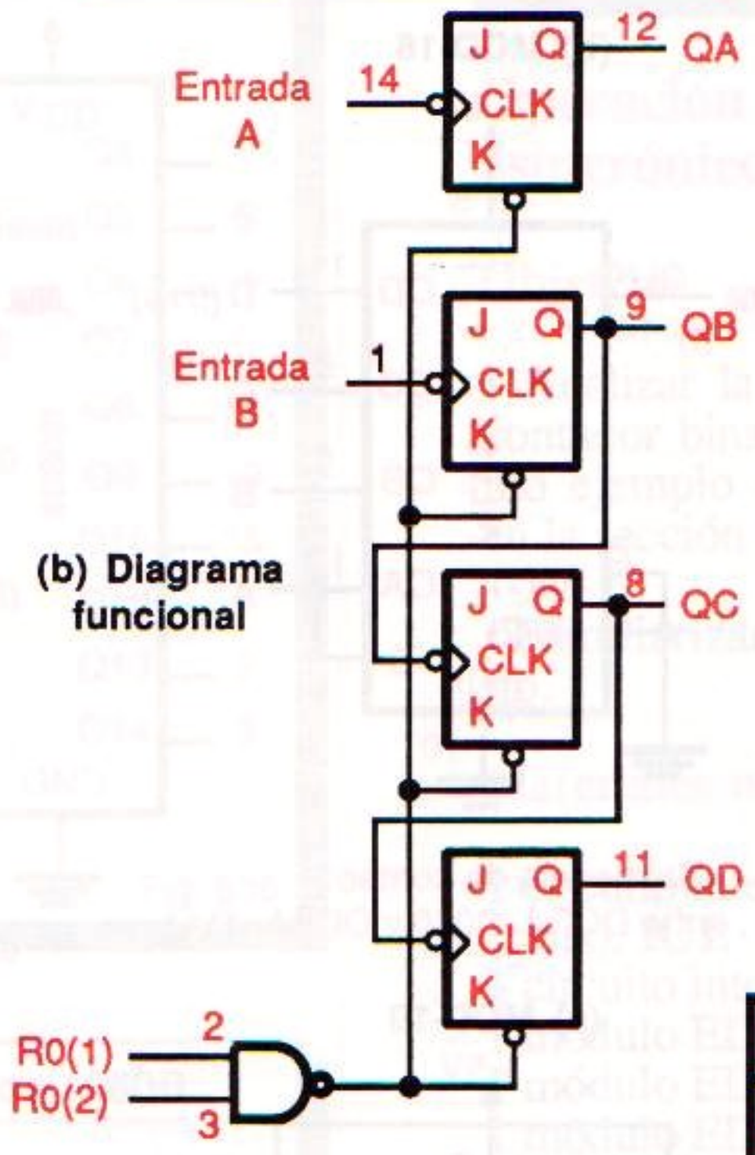
Conectando la salida de la primera etapa (Q_A, pin 12) a la entrada de reloj de la segunda (B, pin 1) se obtiene un contador MOD-16 o divisor por 16. En este caso, la señal de reloj se aplica al pin 14 (A) y la cuenta binaria es $Q_DQ_CQ_BQ_A$, correspondiendo Q_D al *bit* más significativo (MSB) y Q_A al *bit* menos significativo (LSB). El circuito cuenta cíclicamente entre **0000** (0) y **1111** (15).

Circuito integrado 74LS93

(a) Distribución de pines



(b) Diagrama funcional



(c) Tablas de verdad

Salidas (*)				Conteo
QD	QC	QB	QA	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

Entradas de reset		Salidas			
R0(1)	R0(2)	QD	QC	QB	QA
1	1	0	0	0	0
0	X	Conteo			
X	0	Conteo			

(*): Salida QA (pin 12) conectada a entrada B (pin 1)

Fig. 504

Conectando adecuadamente las entradas R0[1] y R[0]2 a las salidas QA, QB, QC y QD, se pueden obtener, fácilmente, otros módulos de conteo, como se ilustra en la figura 505. Por ejemplo, conectando R0[1] (pin 2) con QB (pin 9) y R[0]2 (pin 3) con QD (pin 11), el circuito funciona como un contador BCD o de módulo 10, es decir, cuenta cíclicamente entre **0000** (0) y **1001** (9).

La máxima frecuencia de reloj del **74LS93** es 42 MHz y el máximo tiempo de propagación es 70ns. Las versiones TTL estándar y CMOS del mismo son los circuitos integrados **7493** y **74C93**, respectivamente. Este último es funcionalmente idéntico a los dos primeros pero tiene una distribución de pines diferente. Lo mismo sucede con el **74293** y el **74LS293**.

El **74LS393** es la versión *dual* del **74LS93**, es decir, contiene dos contadores **74LS93** completamente independientes en una misma cápsula de 14 pines. Este dispositivo se puede utilizar como dos contadores MOD-16 individuales o como un sólo contador MOD-256 (16 etapas).

En la figura 506 se muestran la distribución de pines y el diagrama funcional del circuito integrado **4060B**, un contador binario CMOS de 14 etapas con oscilador interno. Observe que, externamente, no son accesibles las salidas de las tres primeras etapas de la cadena ni de la undécima. La cuenta avanza con cada transición negativa de la señal de reloj aplicada al pin 11 (Ø1) o al pin 9 (Ø0).

La tensión de alimentación (18V, máximo) se aplica entre los pines 16 (VDD) y 8 (GND o Vss). La máxima frecuencia de reloj admisible es del orden de 10 MHz@15V y disminuye con el voltaje de operación. El retardo de propagación entre etapas máximo es del orden de 330 ns@5V y disminuye a medida que aumenta el voltaje.

En la figura 507 se ilustran dos formas posibles de utilizar el oscilador interno del **4060B**. En el circuito de la figura 507(a) se utiliza una red RC externa, constituida por R1, R2 y C. La frecuencia fundamental de oscilación (F0) depende de los valores de R1 y C y se evalúa mediante la siguiente fórmula aproximada:

$$Fo = \frac{1}{2.2 \times R1 \times C}$$

Por ejemplo, si R1=56 KΩ y C=220 pF, entonces F0≈37 KHz. Puesto que el circuito es, esencial-

Contadores de módulo N con 74LS93

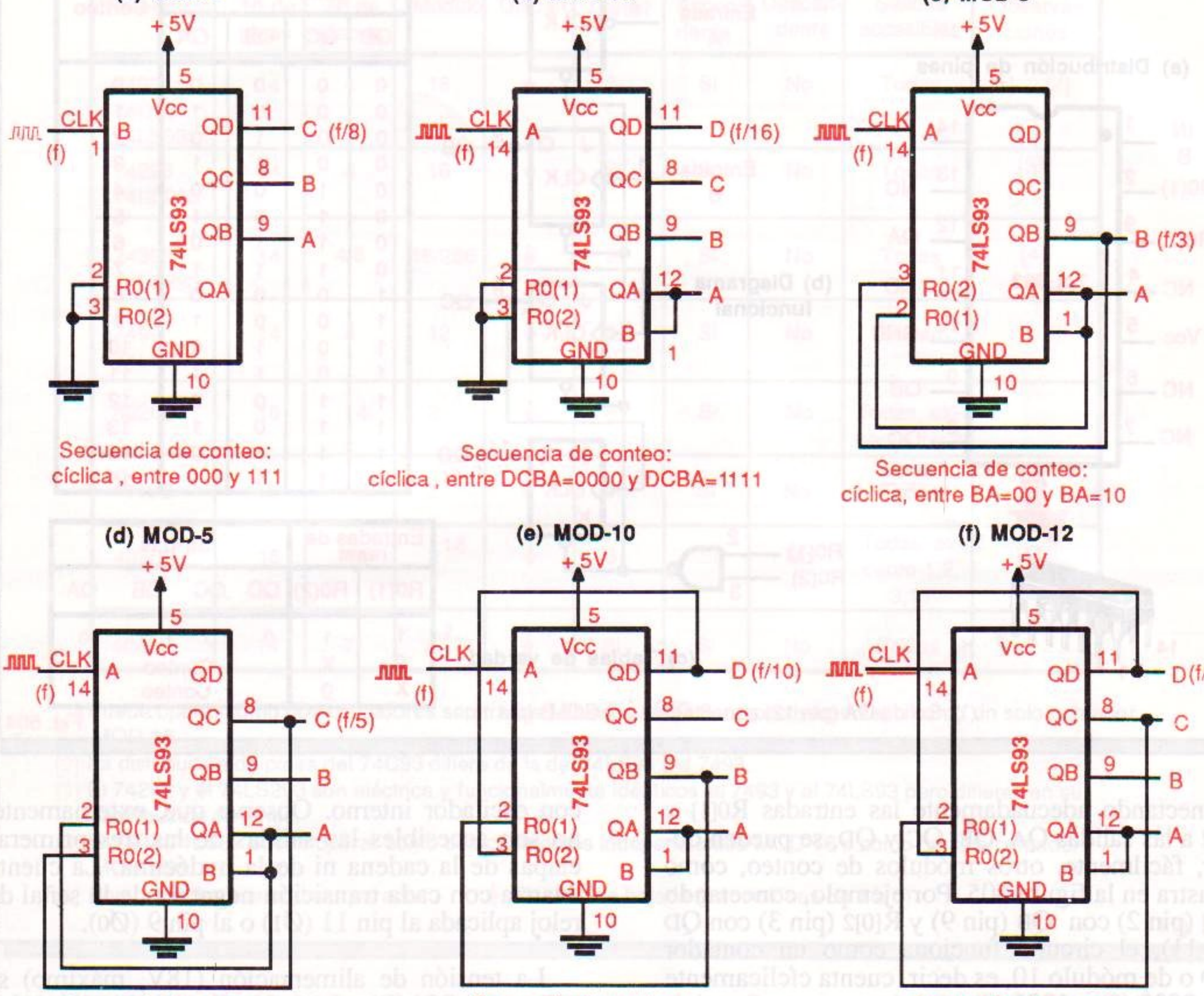


Fig. 505

mente, un divisor de frecuencia, en la salida Q14 se obtendrá una señal de 2.26 Hz, en la salida Q10 una señal de 36.13 Hz, en la salida Q4 una señal de 2.31 KHz, y así sucesivamente.

En el circuito de la figura 507(b) se utiliza un cristal de cuarzo para producir el mismo efecto. La frecuencia resultante en cada una de las salidas es muy estable y depende de la frecuencia del cristal. Por ejemplo, si se utiliza un cristal de 32.768 KHz (del tipo utilizado en los relojes de pulsera), en la salida Q14 se obtiene una señal de, exactamente, 2 Hz.

La entrada de *reset* (pin 12), cuando es **alta**, inicializa todas las etapas en ceros e inhibe la operación del oscilador. En condiciones normales de operación, esta línea debe ser **baja**. La entrada de pulsos es del tipo *Schmitt-trigger*. Esto permite utilizar señales de reloj con cualquier tiempo de subida o de bajada. Para más detalles sobre el **40 60B**, remitimos al lector a la lección 17.

Otros contadores CMOS similares al **4060B** son los circuitos integrados **4020B**, **4024B** y **4040 B**. El **4020B** es de 14 etapas, el **4024B** es de 7 etapas y el **4040B** es de 12 etapas. Todos responden a flancos de bajada y poseen una línea de *reset* activa **alta** así como una entrada de pulsos con acción Schmitt-trigger. Ninguno incluye oscilador.

En la lección 26 conoceremos otros contadores binarios asincrónicos de varias etapas especiales, los

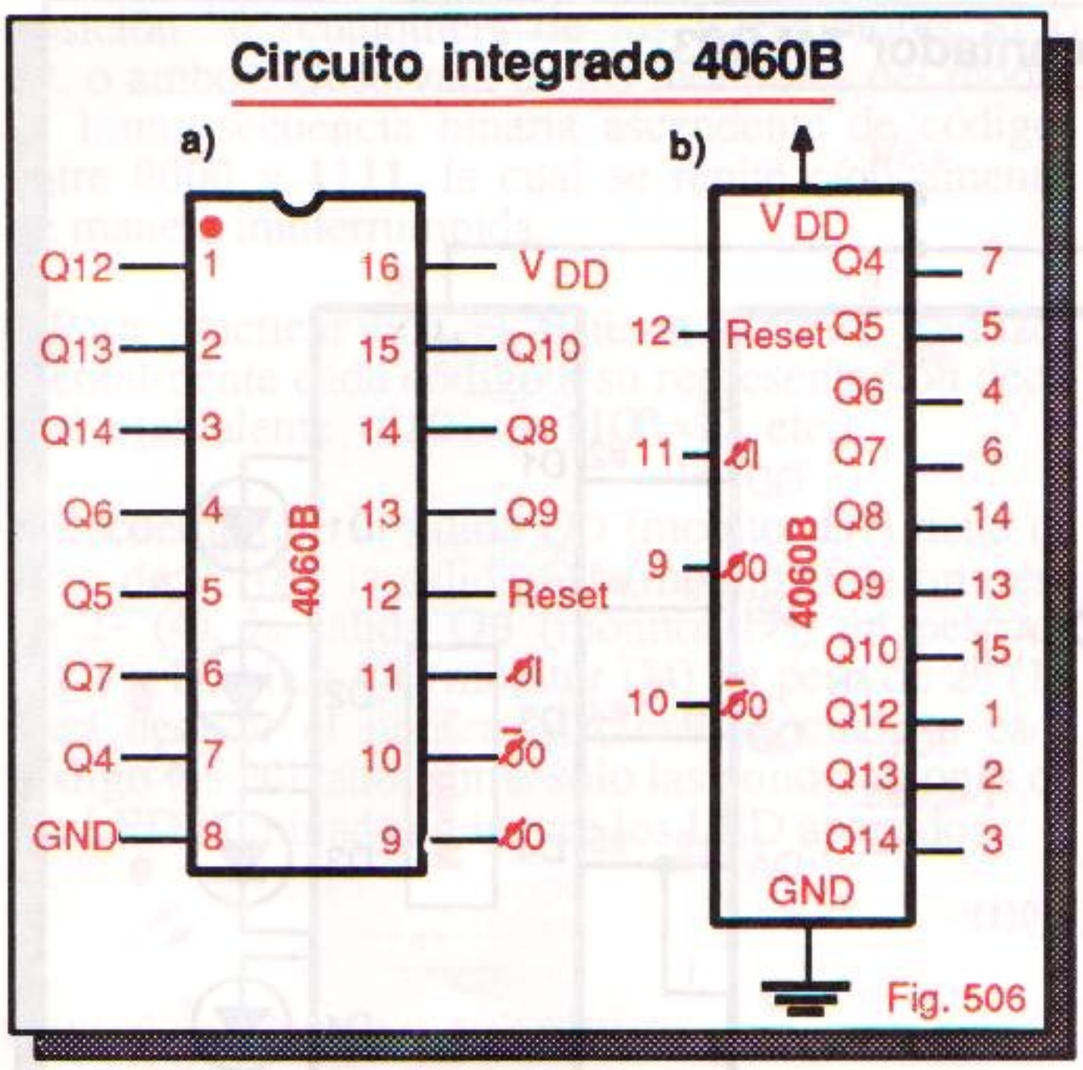


Fig. 506

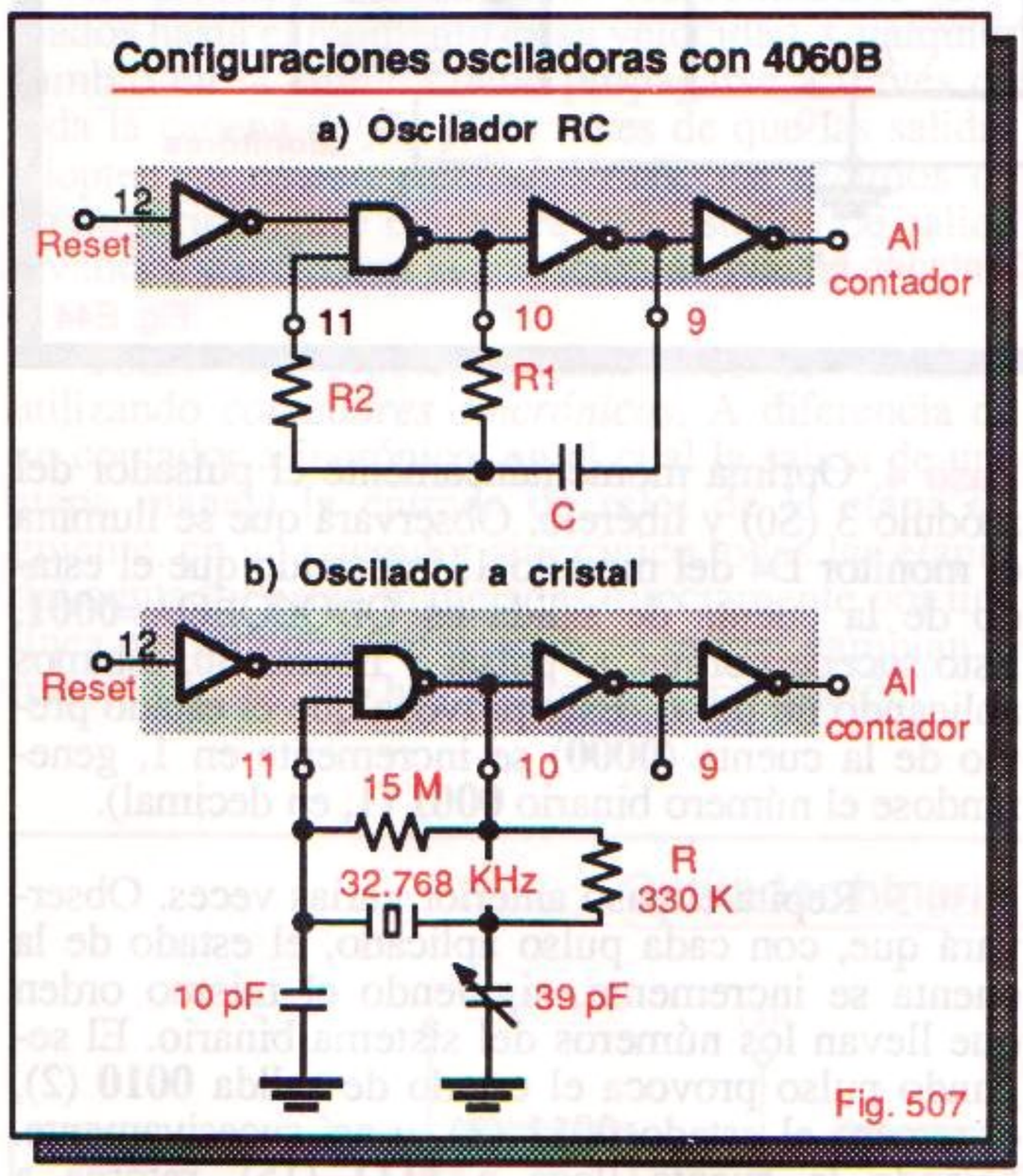


Fig. 507

cuales se utilizan, principalmente, como temporizadores programables. Ejemplos de este tipo de dispositivos son los circuitos integrados **4045B** y **45 36B**.

Para fijar de manera práctica los conceptos aprendidos, en el siguiente experimento trabajaremos con el contador binario **74LS93**. Inyectaremos la señal de reloj de dos formas: manualmente, utilizando un pulsador lógico (módulo 3), y automáticamente, utilizando un oscilador astable **555**. Visualizaremos la cuenta binaria en los cuatro LED del módulo 1.

EXPERIMENTO Nº 25

Operación de un contador binario asincrónico estándar

Objetivos

• Analizar la operación y las características de un contador binario asincrónico de 4 *bits* tomando como ejemplo el circuito integrado **74LS93** descrito en la sección anterior.

• Familiarizarse con el sistema de numeración binario.

Materiales necesarios

1 circuito integrado **74LS93** (contador binario de 4 *bits*). **IC1**.
1 circuito integrado **555** (*timer*). **IC2**.
1 módulo EDM-1 (4 monitores lógicos). **D1-D4**.
1 módulo EDM-2 (2 interruptores lógicos). **S1**.
1 módulo EDM-3 (1 pulsador lógico). **S0**.
2 resistencias de 15 K. **R1, R2**.
1 resistencia de 68 K. **R3**.
1 condensador electrolítico de 10 µF/16V. **C1**.
1 fuente de 5 V/1A (*kit* CEKIT **K11**). **Vcc**.
1 *protoboard*.
Puentes de alambre telefónico Nº 22 ó Nº 24
Herramientas: cortafríos, pinzas, pelacables, bisturí

Descripción del circuito de prueba

En la figura E44 se muestra el circuito que utilizaremos en este experimento para comprobar la operación del contador binario **74LS93**. La señal de pulsos aplicada al pin 14 (A) puede provenir de cualquiera de dos fuentes: un pulsador lógico (módulo 3) o un reloj (IC2). La cuenta binaria se visualiza en los 4 monitores (D1-D4) del módulo 1, correspondiendo D1 al MSB y D4 al LSB.

Los interruptores S1 y S2 del módulo 2 controlan el estado de las líneas de reset R0[1] y R[0]2 del contador. Cuando estos dos interruptores están en la posición "**1**", el contador ingresa al estado de *reset* y todas sus salidas se hacen **bajas**. Para que el dispositivo cuente, cualquiera de estos interruptores, o ambos, debe estar en la posición "**0**".

La frecuencia de la señal de reloj suministrada por IC2 la determinan R2, R3 y C1. Con los valores suministrados, este circuito genera pulsos de ≈ 2 Hz, es decir, la cuenta binaria cambia de estado cada medio segundo, aproximadamente. Para variar esta frecuencia, sustituya R3 por un potenciómetro. La resistencia R1 actúa como interface entre la salida CMOS del módulo 3 y la entrada TTL del contador.

Circuito de prueba del contador 74LS93

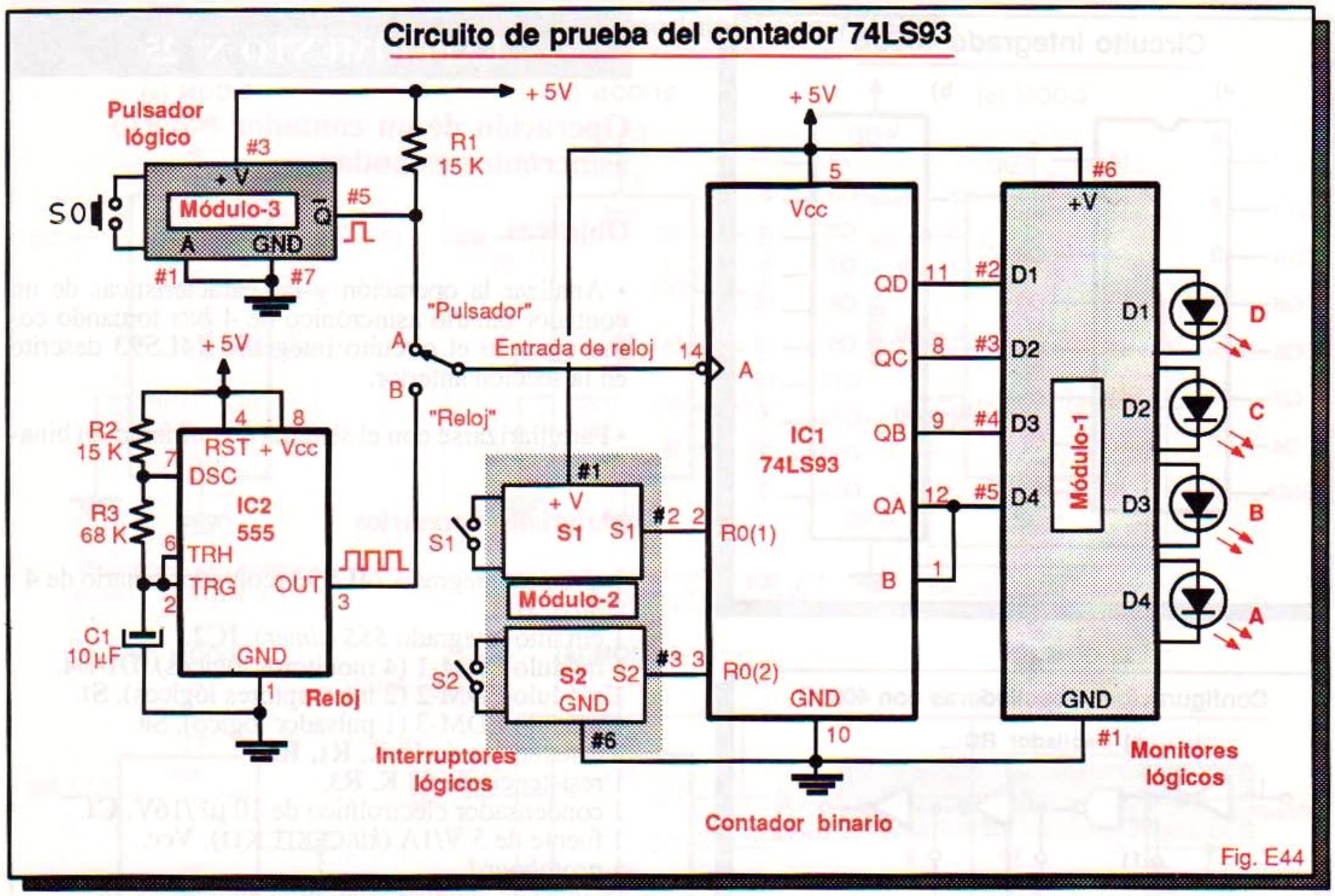


Fig. E44

Procedimiento

Paso 1. Arme sobre su *protoboard* el circuito de la figura E44. Observe que la tensión de alimentación del **74LS93** se aplica entre los pines 5 (+5V) y 10 (tierra). No olvide alimentar los tres módulos y el reloj 555, como se indica. Conecte, inicialmente, la entrada A (pin 14) del **74LS93** a la salida $\overline{Q}$ (pin #5) del módulo 3 y sitúe los interruptores S1 y S2 del módulo 2 en la posición 1.

Paso 2. Encienda la fuente de alimentación. Observará que ninguno de los monitores lógicos se ilumina, indicando que las salidas del contador son todas **bajas**. Esto sucede porque, con S1 y S2 en la posición "**1**", el **74LS93** está en la condición de *reset* y no cuenta. Accione varias veces el pulsador S0. Notará que la situación no cambia y el estado de salida sigue siendo $Q_DQ_CQ_BQ_A$=**0000**.

Paso 3. Para habilitar la función de conteo, situé cualquiera de los interruptores S1 ó S2, o ambos, en la posición "**0**". De esta manera, cualquiera de las entradas de *reset* del contador, o ambas, recibirán un nivel **bajo** y el **74LS93** quedará habilitado como contador binario. Puesto que aún no hemos aplicado pulsos, los monitores deben permanecer apagados, indicando que la cuenta arranca en ceros.

Paso 4. Oprima momentáneamente el pulsador del módulo 3 (S0) y libérelo. Observará que se ilumina el monitor D4 del módulo 1, indicando que el estado de la cuenta de salida es $Q_DQ_CQ_BQ_A$=**0001**. Esto sucede porque, al pulsar y liberar S0, estamos aplicando un pulso. Esto provoca que el estado previo de la cuenta (**0000**) se incremente en 1, generándose el número binario **0001** (1, en decimal).

Paso 5. Repita el paso anterior varias veces. Observará que, con cada pulso aplicado, el estado de la cuenta se incrementa, siguiendo el mismo orden que llevan los números del sistema binario. El segundo pulso provoca el estado de salida **0010** (2), el tercero el estado **0011** (3), y así sucesivamente. Cuando la cuenta llega a **1111** (15), retorna a **0000** con el siguiente pulso y la secuencia se repite

Paso 6. Sitúe nuevamente los interruptores S1 y S2 en la posición "**1**" para borrar el contador e inicializar las salidas en el estado $Q_DQ_CQ_BQ_A$=**0000**. A continuación, desconecte la entrada A (pin 14) del **74LS93** de la salida $\overline{Q}$ del módulo 3 y conéctela a la salida de pulsos (pin 3) del reloj 555.

Puesto que el contador está inhibido, la cuenta binaria debe continuar siendo igual a **0000**. Proceda, entonces, a habilitar el conteo, situando en la

posición "**0**" cualquiera de los interruptores S1 ó S2, o ambos. Observará en los monitores del módulo 1 una secuencia binaria ascendente de códigos entre **0000** y **1111**, la cual se repite cíclicamente, de manera ininterrumpida.

Para practicar con el sistema binario, traduzca mentalmente cada código a su representación decimal equivalente (0101=5, 1100=12, etc.).

Recuerde que la salida QD (monitor D1) tiene un peso de 2^3 (8), la salida QC (monitor D2) un peso de 2^2 (4), la salida QB (monitor D3) un peso de 2^1(2) y la salida Q4 (monitor D4) un peso de 2^0 (1). Para deducir el número decimal asociado a cada código visualizado, sume sólo las ponderaciones de los LED iluminados e ignore los LED apagados.

* * *

Contadores binarios sincrónicos

La principal desventaja de los contadores estudiados hasta el momento es su velocidad. Cualquier cambio en la entrada debe propagarse a través de toda la cadena de *flip-flops* antes de que las salidas adopten su estado final. Además, los retardos de propagación entre etapas causan estados de salida inválidos y provocan la aparición de *glitches*.

Todos los problemas anteriores se eliminan utilizando *contadores sincrónicos*. A diferencia de un contador asincrónico, en el cual la salida de una etapa maneja la entrada de reloj de la etapa siguiente, en un contador sincrónico todas las etapas del contador están manejadas directamente por una línea maestra de reloj y todas las salidas cambian al mismo tiempo. No hay efectos de propagación.

En la figura 508 se muestra el circuito de un contador sincrónico binario de 4 etapas construido con *flip-flops* J-K maestro/esclavo. Observe que todas las líneas de reloj de los *flip-flops* están conectadas entre sí, formando una línea maestra de entrada de pulsos. Note la presencia de las compuertas AND G1 y G2.

La compuerta G1 garantiza que el *flip-flop* FF3 cambie de estado sólo cuando las salidas QA y QB sean ambas **altas**. Del mismo modo, la compuerta G2 garantiza que el *flip-flop* FF4 cambie de estado únicamente cuando las salidas QA, QB y QC sean **altas**. Cuando se aplica un pulso de reloj (CLK), todos los *flip-flops* que deben cambiar de estado lo hacen simultáneamente.

Para comprender cómo opera este circuito, recuerde que, en un *flip-flop* J-K, la salida no cambia de estado cuando las entradas J y K son **altas** y cambia de estado cuando estas entradas son **bajas**. Suponiendo que, inicialmente, el estado de las salidas es QDQCQBQA=**0000** (condición de *reset*), las entradas J y K de los *flip-flops* FF2, FF3 y FF4 serán todas **bajas**.

Por tanto, la aplicación de un pulso de reloj en ese instante no cambiará el estado de sus salidas. Sin embargo, puesto que las entradas J y K del *flip-flop* FF1 están conectadas a un nivel **alto** permanente, el primer pulso de reloj cambiará el estado de la salida QA de **0** a **1**. Así, la cuenta binaria registrada por el contador es **0001** (1, en decimal).

Puesto que las entradas J y K del *flip-flop* FF2 son ahora **altas**, el siguiente pulso de reloj cambiará el estado de la salida QB de **0** a **1** y la salida QA retornará a **0**, configurándose la cuenta binaria de

Contador binario sincrónico ascendente

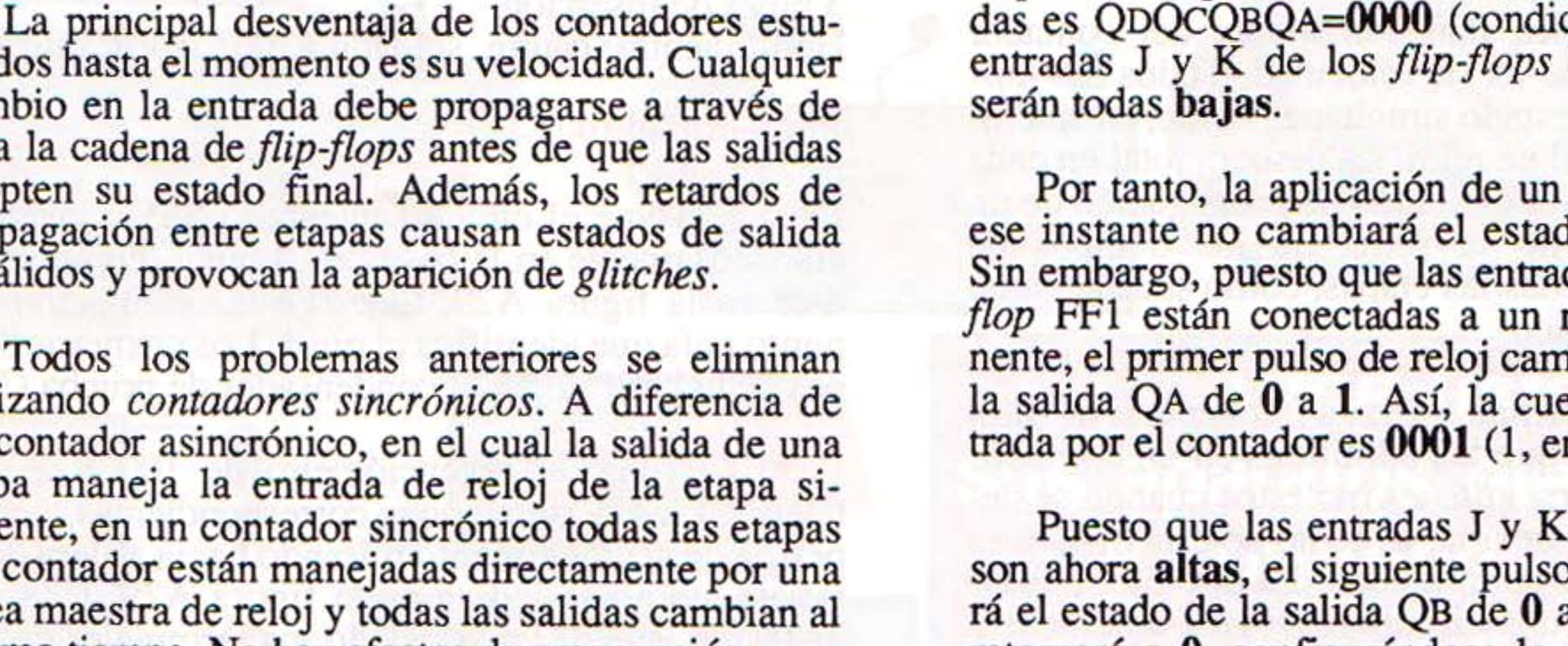


Fig. 508

salida QDQCQBQA=**0010** (2). Con la salida QA **baja**, únicamente el *flip-flop* FF1 puede cambiar de estado con el siguiente pulso de reloj. Esto provoca que la cuenta de salida sea **0011** (3).

Puesto que, ahora, QA y QB son ambas **altas**, la compuerta G1 situará un **alto** en las entradas J y K del *flip-flop* FF3. De este modo, la salida QC cambiará de **0** a **1** en el siguiente pulso de reloj y la cuenta binaria resultante será **0100** (4). El resto de la secuencia sigue un patrón de comportamiento similar.

Cuando la cuenta llega al estado QDQCQBQA= **0111** (7), las compuertas G1 y G2 habilitan el *flip-flop* FF4 para cambiar de estado cuando arribe el siguiente pulso. La nueva cuenta será, entonces, QDQCQBQA=**1000**. Cuando la cuenta llega a **11 11** (15), todos los *flip-flops* quedan habilitados para cambiar de estado y sus salidas serán todas iguales a **0** cuando llegue el próximo pulso.

La característica más importante del contador sincrónico descrito es su velocidad. Todos los *flip-flops* cambian de estado simultáneamente, en sincronismo con la señal de reloj. La demora total en cada cambio de estado es el tiempo de propagación de un solo *flip-flop* y no la suma de los tiempos de propagación de todas las etapas, como sucede en un contador asincrónico.

Lo anterior permite operar a frecuencias de reloj mucho más altas que las admitidas en un contador de rizo y no origina *glitches* molestos cuando se decodifica la cuenta binaria. El costo de esta mejora es un aumento en la complejidad del circuito, puesto que se requieren una circuitería lógica adicional y un mayor número de conexiones.

En general, los contadores sincrónicos son más rápidos, más costosos, más complejos y consumen más potencia que las versiones asincrónicas correspondientes pero son una mejor elección cuando se trabaja a altas frecuencias. Afortunadamente, usted no necesita diseñar un contador sincrónico cada vez que lo necesite puesto que, en su gran mayoría, están disponibles como circuitos integrados.

El contador sincrónico mostrado en la figura 508 es ascendente. El conteo descendente se puede implementar controlando las entradas J y K con las salidas complementarias, como se muestra en la figura 509. Observe que cuando el estado de salida es QDQBQCQA=**0000**, todos los *flip-flops* quedan habilitados para cambiar de **0** a **1** con el siguiente pulso de reloj.

Ejemplos de contadores binarios sincrónicos son los circuitos integrados **74193**, **74C193**, **40 193** y **74161**. Los tres primeros son ascendentes/

ACTIVIDAD PRACTICA Nº 20

Construcción del módulo 4: Generador de pulsos de reloj. Parte 4

En esta actividad finalizaremos el ensamble del módulo 4 instalando en la tarjeta de circuito impreso del mismo el circuito integrado IC1 (555) y el potenciómetro R2 (100 K). El primer componente (IC1) contiene toda la circuitería análoga y lógica necesaria para la generación de pulsos y el segundo (R2) es el control de frecuencia del módulo. Realizaremos también la prueba del circuito

Componentes y materiales necesarios

1 circuito integrado 555. **IC1**.
1 potenciómetro miniatura de 100 KΩ. **R2**.
1 condensador de 10 µF. **Cx**.
1 circuito impreso CEKIT EDM-4.
3 pines de inserción.
Herramientas: cautín, soldadura, cortafríos, pinzas.

Procedimiento

Paso 1. Tome el circuito integrado 555 e insértelo cuidadosamente en la base de 14 pines, como se indica en la figura A29. Observe la orientación del punto guía que identifica el pin 1. Los primeros 6 pines de la base alojan el condensador de prueba Cx.

Paso 2. Tome el potenciómetro de 100 K e instálelo en las perforaciones correspondientes, con la perilla de accionamiento mirando hacia afuera de la tarjeta, como se indica en la figura A29. Una vez instalado, suelde con cuidado los terminales de conexión por el lado del cobre.

Paso 3. Suelde a los agujeros de acceso del módulo, por el lado del cobre, 3 terminales sobrantes de LED o resistencias y córtelos todos a una misma longitud, por ejemplo, 8 cm. Proceda de la misma forma como lo ha hecho en los módulos anteriores.

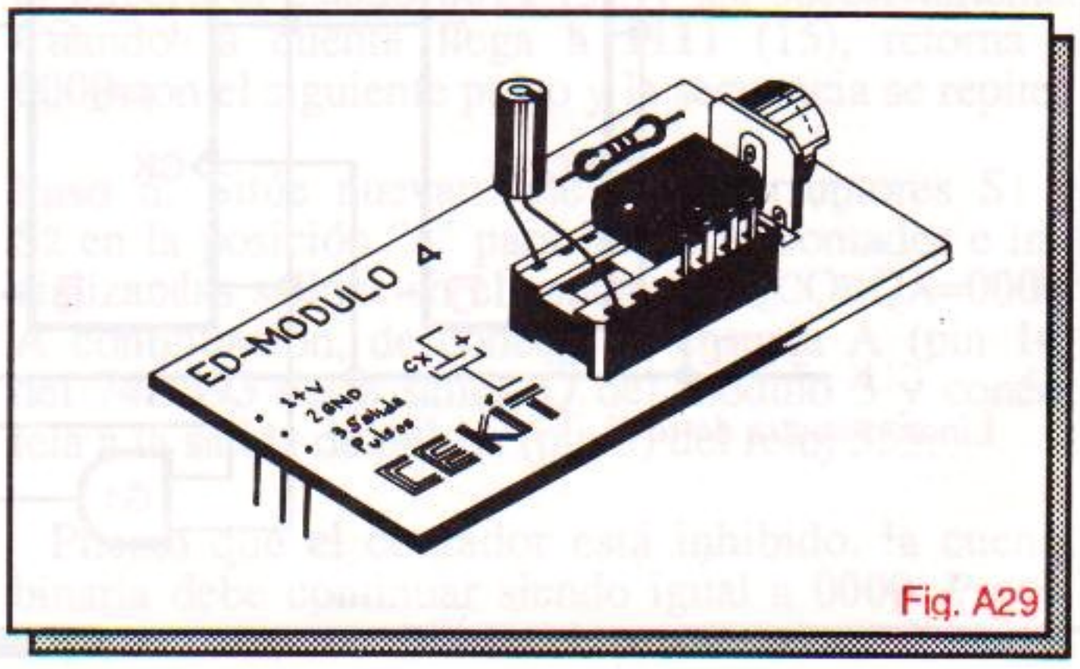


Fig. A29

ÍNDICE

Lección 15: Detectores de flancos

Lección 16: Monoestables y temporizadores

Lección 17: Relojes o multivibradores astables

Lección 18: El PLL digital

Lección 19: Lógica secuencial y cerrojos biestables

Lección 20: Multivibradores biestables (flip-flops)

Lección 21: Diseño de circuitos secuenciales con flip-flops

Lección 22: Registros de almacenamiento

Lección 23: Registros de desplazamiento

Lección 24: Contadores binarios