

TECLADO DIGIPONTO

DESCRIÇÃO DE FUNCIONAMENTO

TECLAS

Cada tecla é composta por uma chave normalmente aberta, formada por um " REED SWITCH ", que quando a tecla é pressionada o envolve com um ímã que faz com que o contato se feche.

Esses mecanismos estão montados em conjuntos de até quatro teclas.

CIRCUITO

O teclado possui um circuito gerador de clock, formado por U5 (7400) e C6 (0.1 F).

Esse clock alimenta dois contadores: U2 e U4 (74393).

As teclas estão dispostas de maneira a formar uma matriz X Y (X_0 a X_7 e Y_0 a Y_9).

Essa matriz é controlada por dois contadores (7493), um decodificador BCD-DECIMAL (74145) e um DATA SELECTOR/MULTIPLEXER (74151).

Cada tecla da matriz corresponde a um " X_n " (entrada do 74151) e um " Y_n " (saída do 74145). Quando não há nenhuma tecla acionada X_n está em nível alto e Y_n está alto, com pulsos na frequência do decodificador 74145.

Quando uma determinada tecla é pressionada, a saída Y_n correspondente alimentará uma das entradas X_n de U3 (74151). Quando as entradas de seleção do U3 estiverem selecionando esse dado de entrada, ele estará presente na saída "Y" (U3 pino 5): Com U3 pino 5 baixo o clock para de entrar em U4 e conseqüentemente em U2. Portanto, com os contadores "parados", suas saídas estão estáveis com valores fixos de a, b, c, A, B, C e D que servirão de endereço para os PROM's U7, U8 e U9 que colocarão na saída o código ASCII correspondente à tecla pressionada.

O pulso de STROBE é gerado por U6 (74123) que contém dois monoestáveis.

Vimos que a saída " Y " de U3 pino 5, provoca a parada clock. Além disso alimenta a entrada " 2B " de U6 que faz com que a sua saída (U6 pino 5) também vá a nível baixo enquanto haja tecla pressionada. A entrada 1B do outro monoestável está normalmente com um nível alto; portanto quando houver uma transição de nível alto para baixo (sinal de alguma tecla pressionada), na entrada 1A (U6 pino 1) será habilitado, fornecendo um pulso para cada tecla pressionada em sua saída 1Q (U6 pino 13).

As constantes de tempo desses monoestáveis são dadas por R1 , C1 e R2, C2.

A tecla de REPEAT faz com que T1.(BRY 56) forneça pulsos na entrada 1B de U6. Isso faz com que sejam gerados pulsos de strobe seguidamente, fazendo a operação de repetição.

O controle de SHIFT e SHIFT LOCK é feito por U10 (7400) que através da sua saída no pino 11 (SHIFT) faz com que a PROM U1 mascare o bit 6.

Quando o teclado está sem SHIFT LOCK acionado, o LED está apagado, pois seu catodo está em nível lógico alto (U10 pino 3), assim como o pino 4. O pino 5 também está alto, portanto o pino 6 está baixo com pino 2 também baixo. O pino 1 está alto ,

assim como os pinos 12 e 13. Assim o sinal SHIFT está baixo e portanto inativo.

Se uma das teclas de SHIFT (57 ou 58) for acionada entrará um baixo no pino 13, fazendo com que o sinal SHIFT fique em nível alto, enquanto estiver apertada.

Se a tecla SHIFT LOCK for pressionada o flip-flop formado por U10, pinos 1, 2, 3, 4, 5 e 6 será "setado" e o pino 3 irá a nível baixo, acendendo o LED e formando o sinal SHIFT alto. A única maneira de destravarmos o SHIFT LOCK é "resetando" o flip-flop. Para isso basta ter um nível baixo no pino 1. Para isso basta pressionar uma das duas teclas de SHIFT.

OBS.: Pelo fato de o NCRT usar um pulso de STROBE negativo e o ACT-IV strobe positivo foi colocado um jump, selecionando a saída Q ou \bar{Q} de U6 para o pino 15 do conector.

Posição A = NCRT

Posição B = ACT-IV

PONTOS DE TESTE

U5 pino 3 - Pulsos de clock

U2 pino 14 - Pulsos de clock divididos

U3 pino 5 - Normalmente alto. Quando alguma tecla \bar{e} pressionada vai a baixo.

U6 pino 5 - Idem

U6 pino 13 - Pulso positivo de strobe para cada tecla acionada.

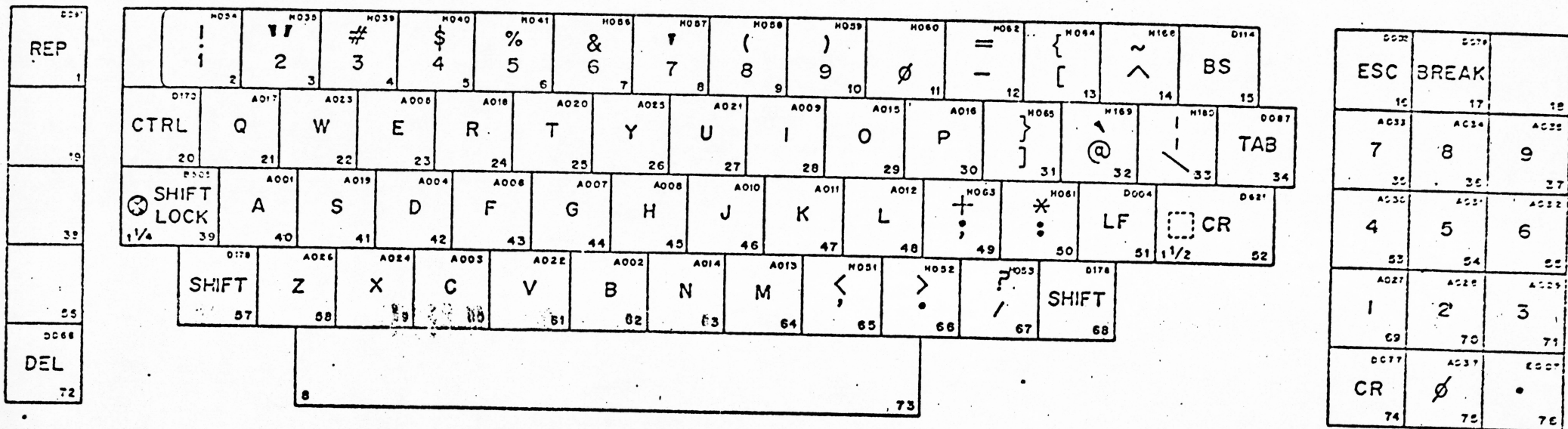
U6 pino 4 - Pulso negativo de strobe para cada tecla acionada.

U6 pino 2 - Normalmente alto. Quando a tecla REPEAT for pressionada deverão aparecer pulsos.

U10 pino 3 - Controle do LED da tecla SHIFT LOCK.

Com tecla acionada - nível baixo

Se pressionar SHIFT com LED aceso deve ir para nível alto.



BUM PARA INFORMAÇÕES

EMPREGADO

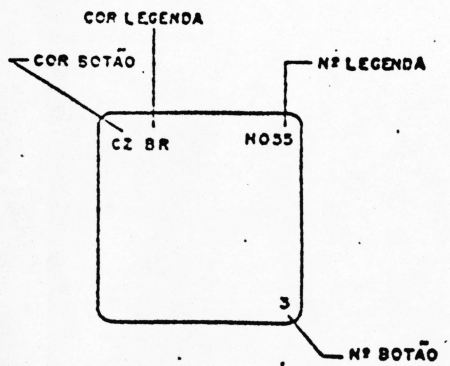
VALIDA

DATA DE

DATA DE

OBSERVAÇÃO:
 COBRIR FUROS CORRESPONDENTES DOS BOTÕES Nº 18-19-36-56.
 TODOS OS BOTÕES SÃO CINZA - CLARO COM LEGENDAS PRETAS

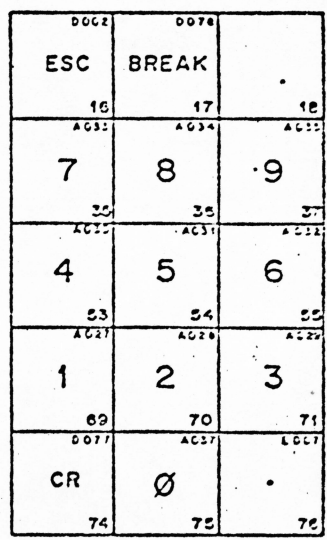
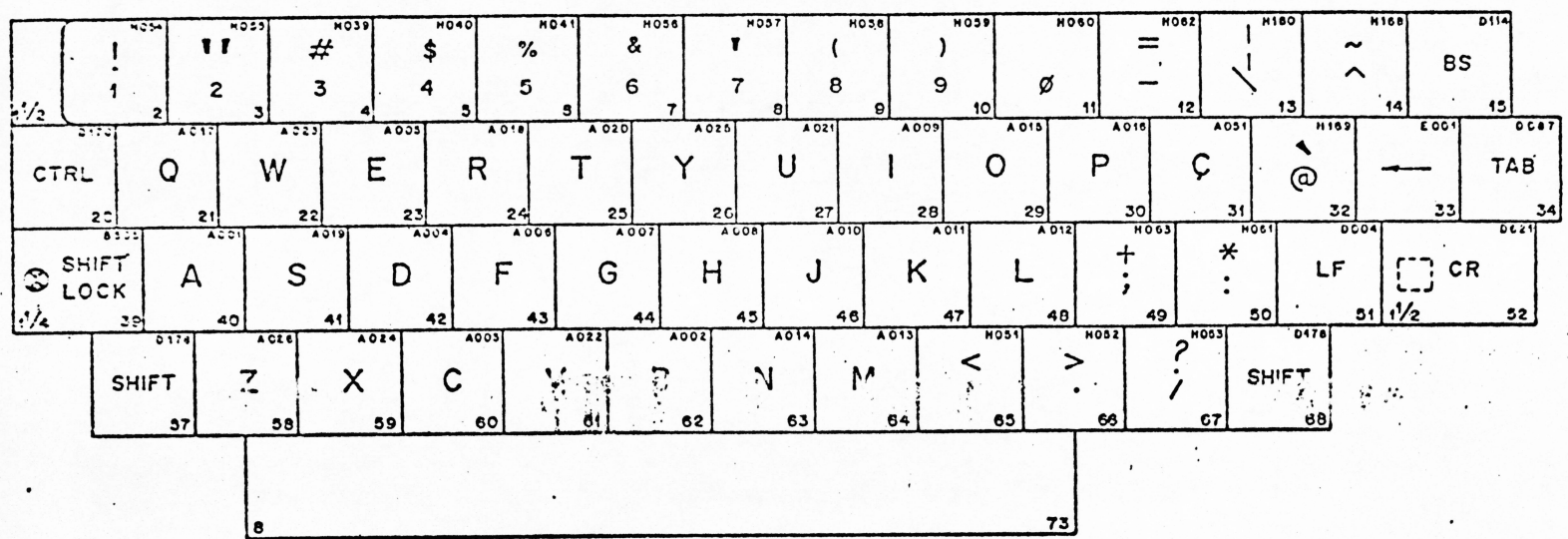
05-10-81	9	<i>LF</i>	Modificado o título do teclado
08-06-81	8		Atualizar botões 2, 13 e 31
22-04-81	7	<i>LCP</i>	Atualizar código e formato das legendas
09-03-81	6	<i>LF</i>	Legenda dos botões 11 e 20
18-11-80	5	<i>LF</i>	Cor de botões e legendas
18-09-80	4	<i>LF</i>	Verificar código de Legenda 11, 13, 31 e 37
11-09-80	3	<i>LF</i>	INSERIDO OBSERVAÇÕES
31-07-80	2	<i>LF</i>	Código de Legenda nº 27 e 2
02-07-80	1	<i>LF</i>	Mudar todo 2 de 1 1/2 para 1 1/4
Data	Rev	Visão	Observações



BOTÕES NECESSÁRIOS POR TECLADO

COR	TAMANHO	REFER.	QUANT.
CZ	1x1	11-100CZ	72
CZ	1x1 1/4	11-125CZ	1
CZ	1x1 1/2	11-150CZ	1
CZ	1x8	11-800CZ	1
CZ	1x1 1/2	11-150RCZ	1
TOTAL			78

Data 29-01-80	Desenhado Por <i>Sergio Macina</i>	Título JOGO DE BOTÕES COD C9 - 176 DO TECLADO TC - 06 VERSÃO 00 POLYMAX - SS ENTRADA DE DADOS
Data 11-09-80	Aprovado Por <i>LF</i>	
DIGIPONTO		Des. A3 Nº 9-176
		Versão Folha 001



BOV PARA FABRICAÇÃO

EMPREGADO

MANUTENÇÃO

CATALISTA

TODOS OS BOTÕES SÃO CINZA COM LEGENDAS PRETAS

05-10-81	1	<i>[Signature]</i>	Modificado o título do teclado
Data	Rev.	Visão	Observações
DIGIPONTO		Des. N.º 9-604	
TITULO: JOGO DE BOTÕES COD. 09 - 604 DO TECLADO TC-06 VERSÃO 02 POLYMAX-HS TEXTO			
Desenhado Por: <i>[Signature]</i>		Verificado Por: <i>[Signature]</i>	
Data: 28-09-81		Data: 15/11/81	
Esc.		FL. 024	

PROJETO

Des. A4
Nº 168

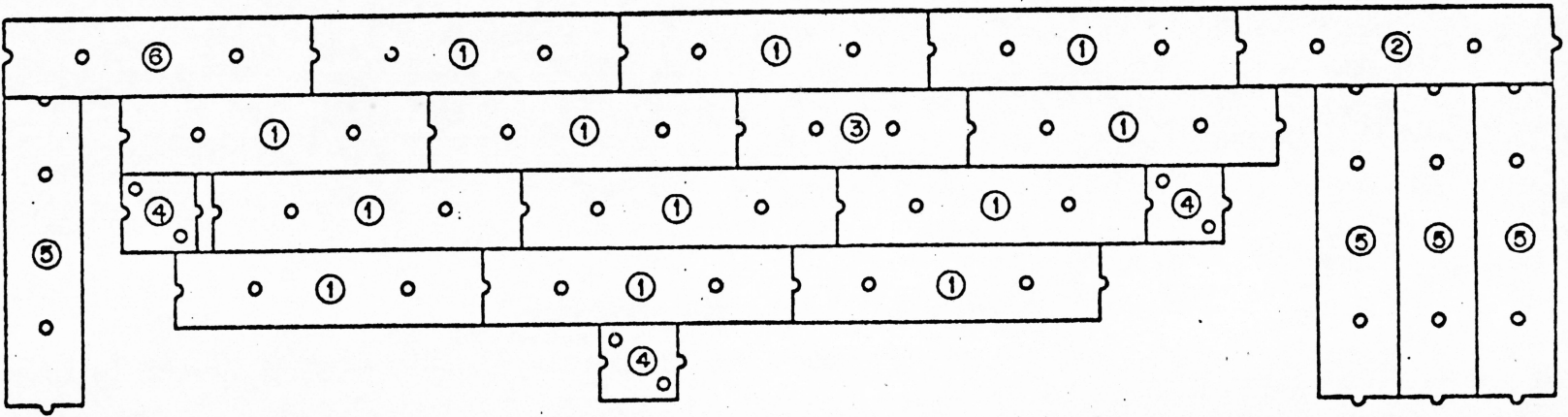
Versão

Folha
098

Data 30-11-79
Desenhado Por *Carlos Silva*
Aprovado Por *LFZ*
Rev. 1 04-06-80

Título
DISPOSIÇÃO DOS MÓDULOS
TECLADO TC - 06

05-09-80	1	<i>LFZ</i>	INSERIDO OBSERVAÇÃO.
Data	Rev.	Visão	OBSERVAÇÕES

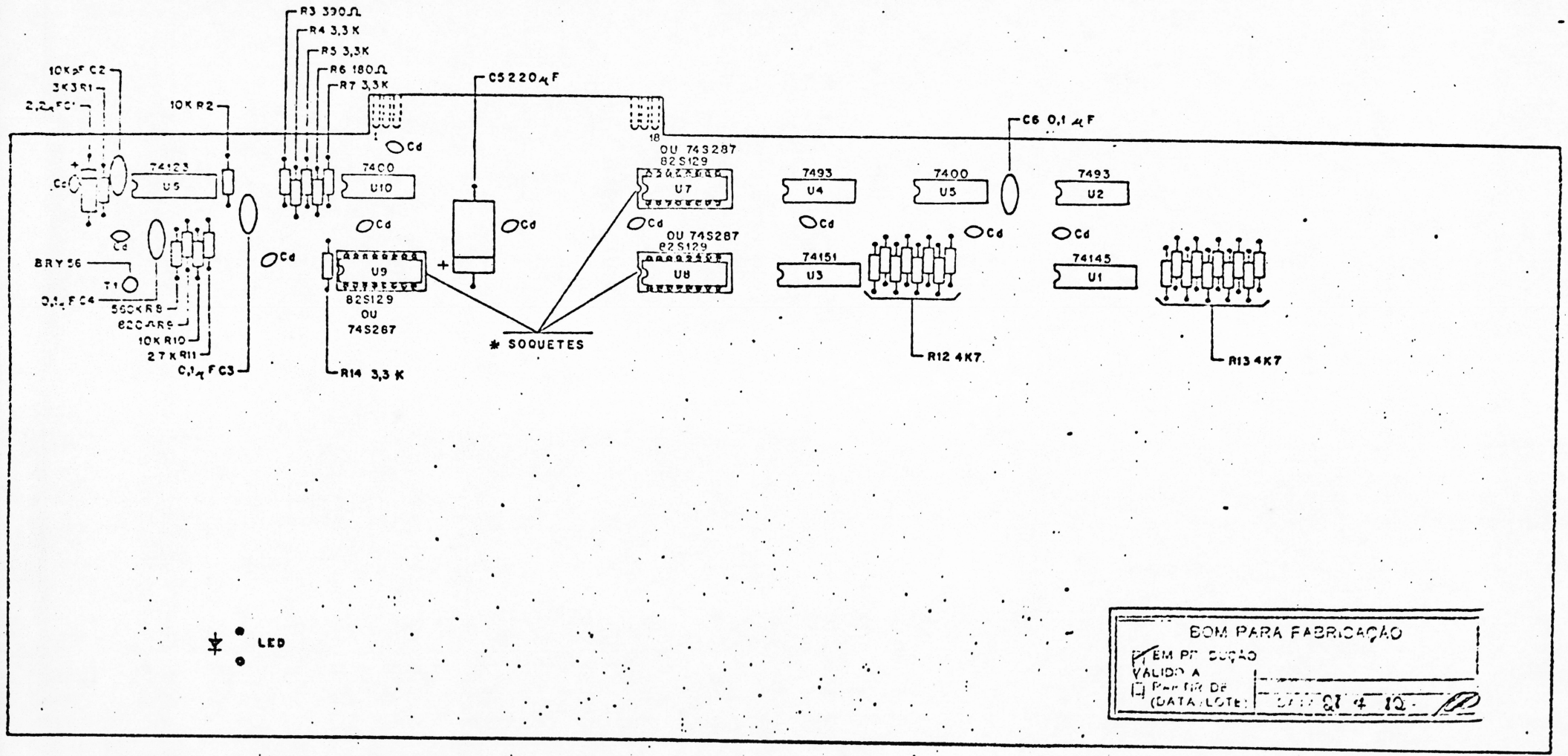


- QUANTIDADE
- ① 16-004/H, Módulo 4 Horizontal 12
Com 2 parafusos
 - ② 16-004/H, Módulo 4 Horizontal 1
3 Embolos (2º, 3º e 4º) Com 2 parafusos
 - ③ 16-003/H, Módulo 3 Horizontal 1
3 Embolos e 2 parafusos
 - ④ 16-001/H, Módulo 1 Horizontal 3
Com 2 parafusos
 - ⑤ 16-004/V, Módulo 4 Vertical 4
Com 2 parafusos
 - ⑥ 16-004/H (1+2) Módulo 4 Horizontal 1
3 Embolos (1º, 3º e 4º) Com 2 parafusos

OBSERVAÇÃO
COBRIR FUROS CORRESPONDENTES AOS BOTÕES DE N.ºS.
18, 19, 38, 56.

Colocação dos módulos das chaves.

BOM PARA FABRICAÇÃO	
<input checked="" type="checkbox"/> EM PRODUÇÃO	
VALIDA	
<input type="checkbox"/> PARTIR DE	
(DATA/LOTE)	DATA: 23/7/82 <i>LFZ</i>



BOM PARA FABRICAÇÃO

EM PRODUÇÃO

VALIDA

PARA FIM DE

(DATA LOTE: 27/04/80)

* OS SOQUETES APOIAM PROMS ESPECÍFICOS E DEVERÃO SER ELIMINADOS. NA PRODUÇÃO

6/08/80	2	LF	VALOR DE VI R.9
2/6/80	1	LF	
Data	Rev	Apex	Observação

DIGIPONTO Des. N° 246 B

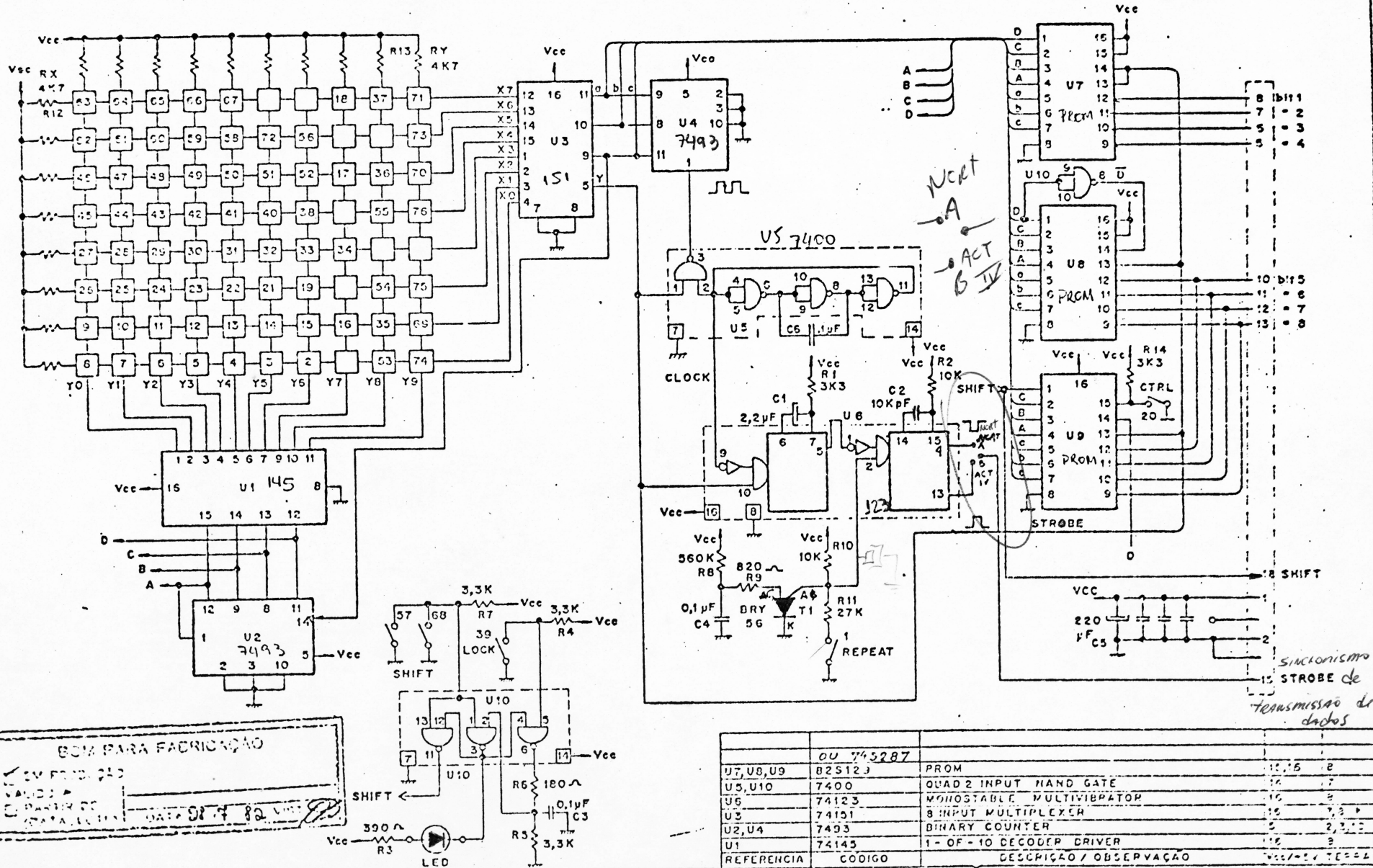
TÍTULO: DISPOSIÇÃO DOS COMPONENTES E VALORES DO TECLADO TC-06

Desenhado Por: Sérgio Henrique
Data: 15/04/80

Aprovado Por: LF
Data: 27/05/80

Esc: 1x1

FL. 011



BOA PARA FABRICAÇÃO

✓ EM PRONTO
 VALORES
 BASE DE DADOS
 DATA 01/07/80

REFERENCIA	CODIGO	DESCRIÇÃO / OBSERVAÇÃO	QUANTIDADE
	OU 745287		
U7, U8, U9	825123	PROM	12, 15, 2
U5, U10	7400	QUAD 2 INPUT NAND GATE	12, 7
U6	74123	MONOSTABLE MULTIVIBRATOR	16, 5
U3	74151	8 INPUT MULTIPLEXER	15, 7, 3
U2, U4	7493	BINARY COUNTER	5, 2, 3, 2
U1	74145	1- OF-10 DECODER DRIVER	12, 3

Data	Rev	Visto	Observação
06/01/80	4	LFF	LIGAÇÃO INTERNA DE U5 e U6
27/05/80	3	LFF	
30/05/80	2	LFF	

Data 16-01-80	Desenhado Por <i>Sandro Silva</i>	Título ESQUEMA ELETRICO COM VALORES DO TECLADO TC-06
Data Rev.1 17-04-80	Aprovado Por <i>LFF</i>	
DIAGNOSTICO		Des. A3 Nº 172
		Versão Folha c26

4-BIT BINARY COUNTER

54/7493

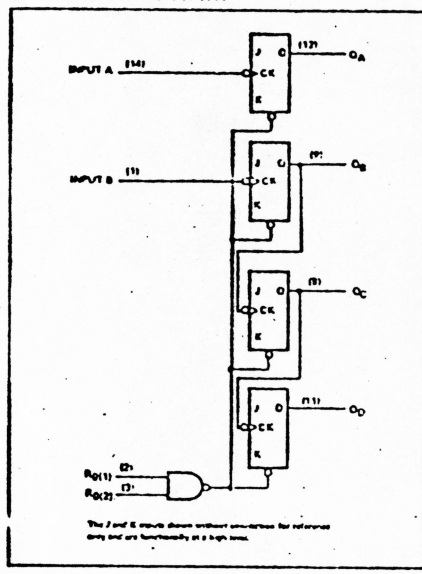
SPEED/PACKAGE AVAILABILITY BLOCK DIAGRAM

54 A.F.W 74 A.F
54LS F.W 74LS A.F

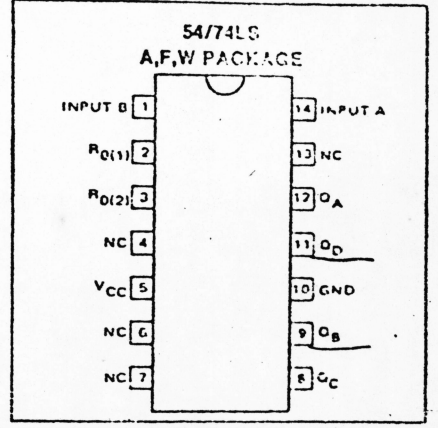
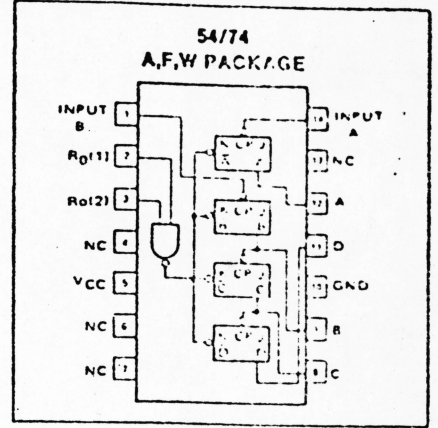
DESCRIPTION

This monolithic counter contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three stage binary counter for which the count cycle length is divide-by-eight.

To use its maximum count length of this counter, the B Input is connected to the Q_A output. The input count pulses are applied to input A and the outputs are as described in the function table.



PIN CONFIGURATION



SWITCHING CHARACTERISTICS V_{CC} = 5V, T_A = 25°C

TEST CONDITIONS			54/74			54/74LS			UNIT
			C _L = 15pF R _L = 400Ω			C _L = 15pF R _L = 2kΩ			
PARAMETER	FROM INPUT	TO OUTPUT	MIN	TYP	MAX	MIN	TYP	MAX	
t _{Count} Count frequency	A B	Q _A Q _B	10	18		32 16	42		MHz
t _w Width of pulse	A	Q	50			15			ns
	B	Q				30			
	Reset	Q				15			
t _{Setup} Input setup time						25			ns
Propagation delay time									
t _{PLH} Low-to-high	Input Count Pulse	Q _D	75	135					ns
t _{PHL} High-to-low									
t _{PLH} Low-to-high	A	Q _A				10	16		
t _{PHL} High-to-low	A	Q _D				12	18		
t _{PLH} Low-to-high	B	Q _B				46	70		
t _{PHL} High-to-low	B	Q _B				46	70		
t _{PLH} Low-to-high	B	Q _C				10	16		
t _{PHL} High-to-low	B	Q _C				14	21		
t _{PLH} Low-to-high	B	Q _D				21	32		
t _{PHL} High-to-low	B	Q _D				23	35		
t _{PLH} Low-to-high	Set-to-0	Any				34	51		
t _{PHL} High-to-low	Set-to-0	Any				34	51		
t _{PHL} High-to-low	Set-to-0	Any				28	40		

COUNT SEQUENCE

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

Output Q_A is connected to input B

RESET/COUNT FUNCTION TABLE

RESET INPUTS		OUTPUT			
R ₀ (1)	R ₀ (2)	Q _D	Q _C	Q _B	Q _A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

RETRIGGERABLE MONOSTABLE MULTIVIBRATOR WITH CLEAR

54/74123
54/74123A

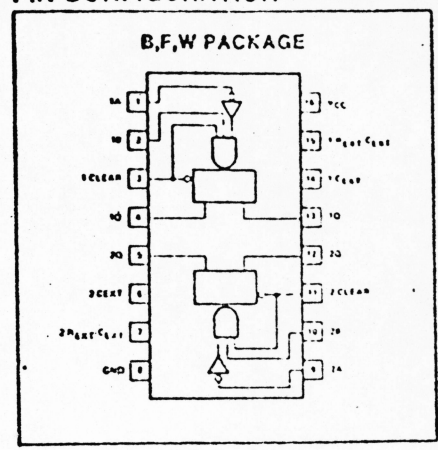
SPEED/PACKAGE AVAILABILITY
54 F.W 74 B.F

DESCRIPTION

These monolithic TTL retriggerable monostable multivibrators feature dc triggering from gated low-level-active (A) and high-level-active (B) inputs, and also provide overriding direct clear inputs. Complementary outputs are provided. A full fan-out to 10 normalized Series 54/74 loads is available from each of the outputs at the low logic level, and in the high-level state, a fan-out of 20 is available. The retrigger capability simplifies the generation of output pulses of extremely long duration. By triggering the input before the output pulse is terminated, the output pulse may be extended. The overriding clear capability permits any output pulse to be terminated at a predetermined time independently of the timing components R and C.

Figure A illustrates triggering the one-shot with the high-level-active (B) inputs.

PIN CONFIGURATION



RETRIGGERABLE MONOSTABLE MULTIVIBRATOR WITH CLEAR

54/74123
54/74123A

TRUTH TABLE

INPUTS		OUTPUTS	
A	B	Q	Q̄
H	X	L	H
X	L	L	H
L	↑	—	—
↓	H	—	—

- NOTES:**
- A. H = high level (steady-state) ↓ = low level (steady state), ↑ = transition from low to high level, ↓ = transition from high to low level, X = irrelevant (any input, including transitions)
 - B. NC = no internal connection.
 - C. To use the internal timing resistor of N74122 (10kΩ nominal), connect R_{int} to VCC.
 - D. An external timing capacitor may be connected between C_{ext} and R_{ext}/C_{ext} (positive).

TYPICAL CHARACTERISTICS

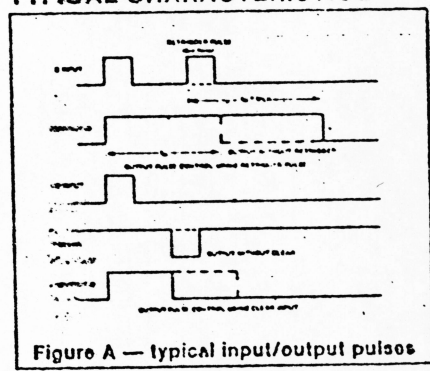


Figure A — typical input/output pulses

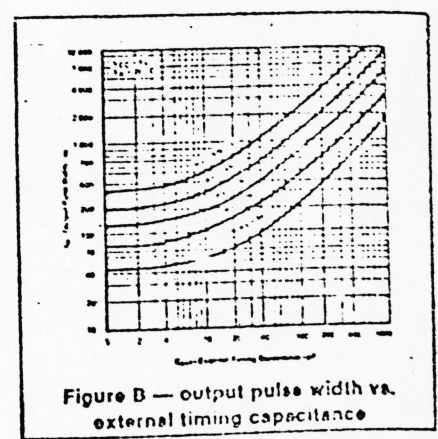


Figure B — output pulse width vs. external timing capacitance

† These values of resistance exceed the maximum recommended for use over the full temperature range of the 54122 and 54123.

NOTE:
When using electrolytic capacitor, insure that minimum rating is 20 volts so that 5% reverse voltage rating is 10 volt or greater.

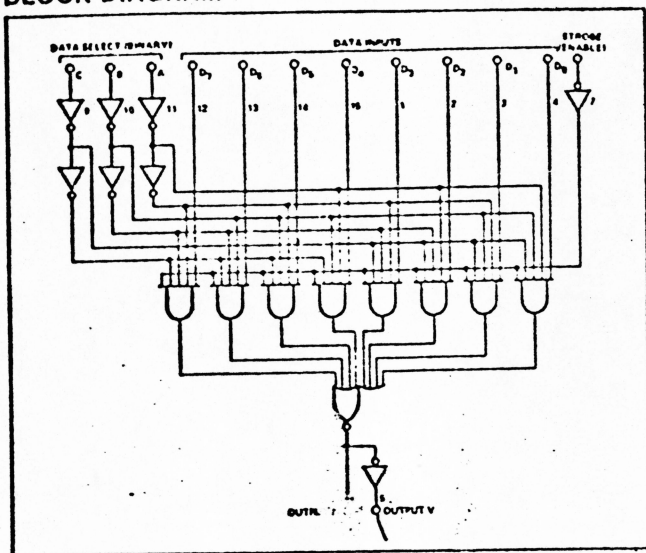
8-LINE TO 1-LINE DATA SELECTOR/MULTIPLEXER

54/74151

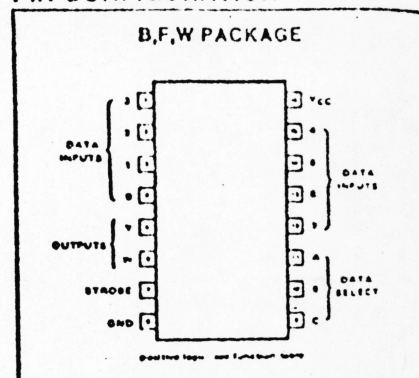
SPEED/PACKAGE AVAILABILITY

54 F.W 74 B.F
 54LS F.W 74LS B.F
 54S F.W 74S B.F

BLOCK DIAGRAM



PIN CONFIGURATION



TRUTH TABLE

INPUTS				OUTPUTS	
SELECT			STROBE S	Y	W
C	B	A			
X	X	X	H	L	H
L	L	L	L	D0	D0
L	L	H	L	D1	D1
L	H	L	L	D2	D2
L	H	H	L	D3	D3
H	L	L	L	D4	D4
H	L	H	L	D5	D5
H	H	L	L	D6	D6
H	H	H	L	D7	D7

H = high level, L = low level, X = irrelevant
 D0, D1, ..., D7 = the level of the D respective input

BCD-TO-DECIMAL DECODER/DRIVER

54/74145

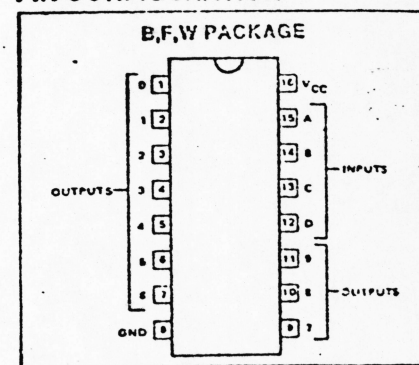
SPEED/PACKAGE AVAILABILITY

54 F.W 74 B.F
 54LS F.W 74LS B.F

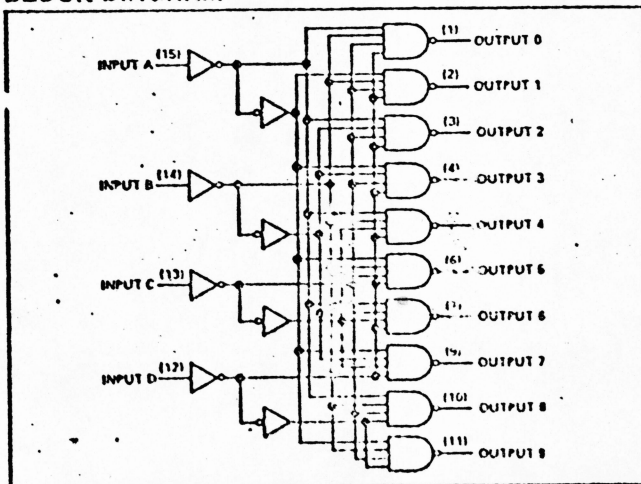
DESCRIPTION

This monolithic BCD-to-decimal decoder/driver consists of eight inverters and ten four-input NAND gates. The inverters are connected in pairs to make BCD input data available for decoding by the NAND gates. Full decoding circuit BCD input logic ensures that all outputs remain off for all invalid binary input conditions. This decoder features high-performance, n-p-n output transistors designed for use as indicator/relay drivers or as open-collector logic-circuit drivers. Each of the high-breakdown output transistors (15 volts) will sink up to 80 milliamperes of current. Each input is one standard load. Inputs and outputs are entirely compatible for use with TTL or DTL logic circuits, and the outputs are compatible for interfacing with many MOS Integrated circuits. Power dissipation is typically 35 milliwatts.

PIN CONFIGURATION



BLOCK DIAGRAM



FUNCTION TABLE

NO.	INPUTS				OUTPUTS										
	D	C	B	A	0	1	2	3	4	5	6	7	8	9	
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H
	H	L	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = high level (off), L = low level (on)

TECLADO ITW

TECLADO ITW

As teclas empregadas neste teclado usam um processo diferente dos teclados convencionais por "SWITCH". Este é composto por um transformador com um primário, um secundário e um núcleo saturado. O seu funcionamento consiste em transferir ou não um pulso do primário para o secundário. Esta transferência do pulso depende somente de o núcleo saturado (imã) estar ou não presente no transformador, ou seja, quando uma tecla está desativada o imã está presente, impedindo a transferência de um pulso. Quando se aciona esta tecla está se retirando este núcleo de saturação, o que permite a transferência de um pulso do primário para o secundário.

A disposição das teclas neste teclado forma uma matriz (linha X coluna), permitindo que se selecione uma tecla de cada vez. Esta seleção é feita por contadores e decodificadores que vão varrendo as colunas e linhas da matriz, e gerando um pulso no primário de cada elemento selecionado da matriz. Quando todas as teclas estão desativadas, os núcleos de cada tecla estarão saturados, impedindo a transferência deste pulso ao secundário.

Para uma sincronização no circuito existem quatro pulsos chamados $\emptyset 1$, $\emptyset 2$, $\emptyset 3$ e $\emptyset 4$ estes estão defasados entre si de 90° .

DESCRIÇÃO DOS PULSOS DE SINCRONIZAÇÃO

Durante o pulso $\emptyset 1$ é feito uma reset no status da tecla anterior (KEY). Durante o pulso $\emptyset 2$ é gerado o pulso no primário da tecla selecionada, da matriz, e gera o status da tecla (KEY). Durante o pulso $\emptyset 3$ será armazenado o status da tecla atual que controlará a varredura da matriz (HYS). Durante o pulso $\emptyset 4$ muda-se o elemento da matriz a ser selecionado (somente se o sinal "HYS" estiver habilitando).

VARREDURA

Durante a varredura matricial existem quatro estados de decisões para cada elemento desta. Estes estados são determinados pelos sinais de sincronização ($\emptyset 1$, $\emptyset 2$, $\emptyset 3$ e $\emptyset 4$).

VARREDURA QUANDO NÃO TEM TECLA ACIONADA

Durante $\emptyset 1$ o sinal "KEY" é resetado. Este é o sinal que indica se tinha ou não tecla acionada no estado anterior. Durante $\emptyset 2$ é gerado um pulso no primário do transformador da tecla selecionada na matriz, como a tecla não está acionada, não haverá transferência de um pulso para o secundário, e não afetará o sinal "KEY", ou seja, continuará resetado. Durante $\emptyset 3$ um flip-flop copia o sinal "KEY", o armazena e passa a se chamar "HYS". Este sinal como está desativado devido a não ter tecla acionada, habilita o CI-18 (através de CI-17) a continuar contando. Durante $\emptyset 4$ aparece um clock no contador CI-18 que passa a selecionar um outro elemento na matriz. O ciclo se repete daí para a frente.

VARREDURA QUANDO TEM TECLA ACIONADA

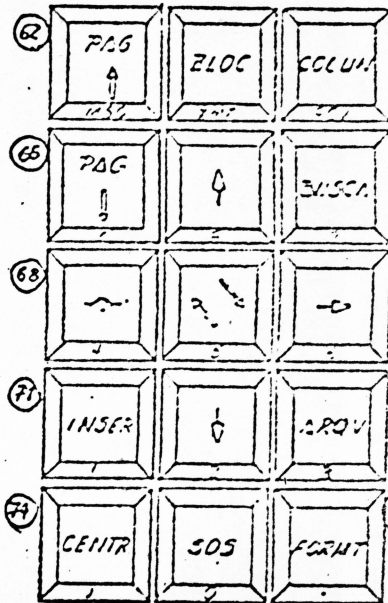
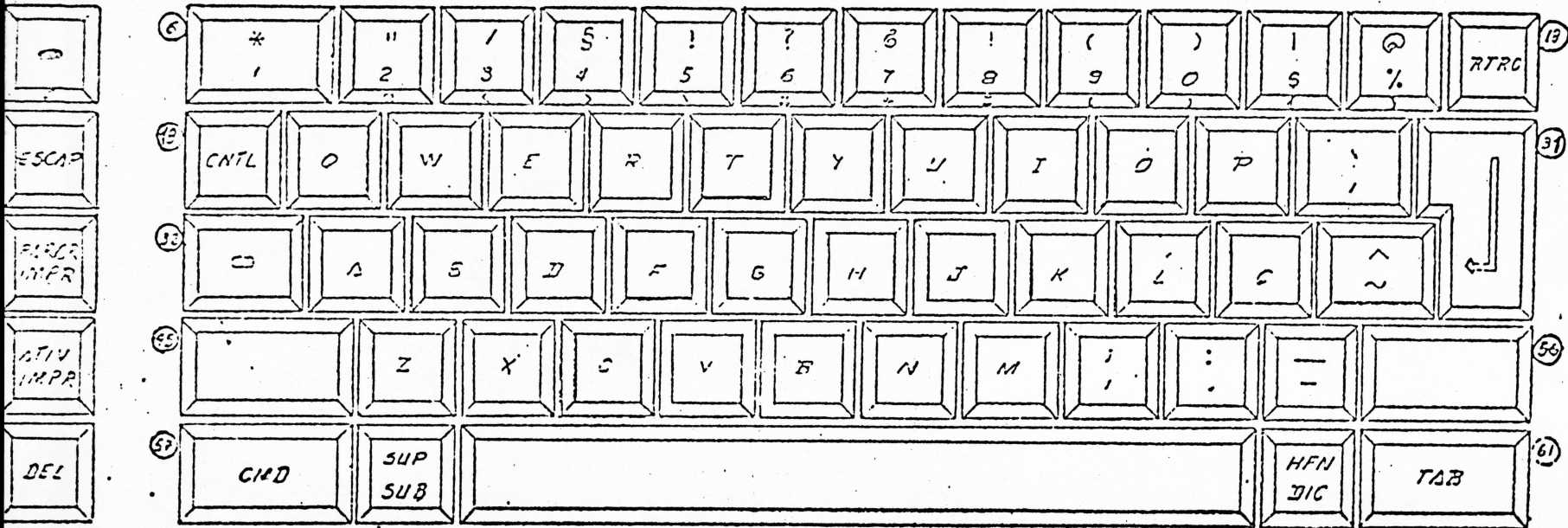
Durante $\emptyset 1$ o sinal "KEY" é resetado para apagar o status da varredura anterior. Durante $\emptyset 2$ é gerado um pulso no primário do transformador da tecla selecionada na matriz. Como esta tecla está acionada o núcleo não está mais saturado e aparecerá um pulso no secundário da tecla (TPB). Este pulso é detectado por CI-4 que o amplifica e o torna-o compatível TTL (TPA). Este pulso entra no clock do CI-5, como a entrada "D" está em alto o sinal "KEY" passará para nível alto indicando presença de tecla acionada. Durante o sinal $\emptyset 3$ "KEY" é copiado no outro flip-flop do CI-5 e passa a se chamar "HYS". Como o sinal "HYS" foi setado (devido ao "KEY" que estava indicando presença da tecla acionada) este impede que o contador CI-18 continue contando, forçando assim com que a matriz fique constantemente nesta mesma tecla. Também com a presença do sinal "HYS" é gerado o sinal "STROB" e "FLAG" que são sinais indicativos

da presença de tecla acionada. As saídas do CI-18 (contador) são ligados no CI-7. Como estes sinais estão "parados" em um estado fixo se obtem portanto um conteúdo constante nas saídas do CI-7 que é o código ASCII da tecla detetada. Este ciclo ficará se repetindo enquanto a tecla se mantiver acionada. Quando a tecla for desativada não haverá mais transferência de pulso no transformador da tecla, portanto não existirá os sinais "TPB" e "TPA", o $\emptyset 1$ quando resetar o sinal "KEY" não será mais setado por "TPA" como descrito anteriormente, durante $\emptyset 3$ o sinal "KEY" é copiado para o sinal "HYS" que passa a ser desativado, e que liberará o contador CI-18 para contar sincronismo com $\emptyset 4$, e a varredura prosseguirá até que se encontre outra tecla acionada.

DESCRIÇÃO DA FUNÇÃO DE CADA CI

- CI-18 - está detetando as teclas de funções da matriz.
- CI-9 - é para sincronizar com o sinal $\emptyset 2$.
- CI-10 e CI-11 - são para armazenar as teclas de função.
- CI-12 - é para o controle LOCK (SHIFT LOCK e FUNC LOCK). Os pinos 1, 2, 3, do CI-13, 1, 2, 13, 12 do CI-17, 1, 2, 3, 4, 5, 6, do CI-14 são para detetar as teclas de função e não deixar a varredura parar nestas posições.
- CI-15 - gera a frequência de repetição.
- CI-6 - são dois monoestáveis. Um serve para gerar o pulso "STROBE" e outro para determinar o tempo em que se deve esperar para começar a liberar os pulsos de repetição.
- CI-13 - pinos 4, 5, 6, 13, 12, 11, 9, 10, 8 são para detetar as teclas de função e alterar os address da Eprom geradora de código das teclas.
- CI-7 - Eprom geradora de códigos das teclas.
- CI-19 - Oscilador.
- CI-18 - Controlador para varredura.
- CI-1 - CI-2, CI-3 - Decodificação da matriz.
- CI-16 - Geração dos pulsos de sincronismo.
- CI-20 é 1/2 CI-21 - Gerar o flag.

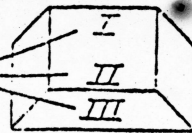
OBS.: QUANDO A EPROM FOR 2716 O JUMP F DEVERÁ SER INSTALADO.



Lay out - teclado I-TW WP

NÚMERO DA TECLA
 TECLAS Nº 6 A Nº 61, Nº 66, Nº 69 A Nº 70, Nº 72
 COR CREME LEGENDA MARROM
 TECLAS Nº 1 A Nº 5, Nº 62 A Nº 65, Nº 67, Nº 71, Nº 73,
 Nº 74, Nº 76 COR MARROM LEGENDA BRANCA
 TECLA Nº 75 COR VERMELHA LEGENDA BRANCA
 TECLAS Nº 1 A Nº 5, Nº 7 A Nº 22, Nº 33 A Nº 42, Nº 44, Nº 46 A Nº 55,
 Nº 58, Nº 60, Nº 62 A Nº 76 TERÇO O TAMANHO EQUIVALENTE A 1/4
 TECLAS Nº 30 A Nº 32 Nº 43 " " " " " 1,25 un
 TECLA Nº 6 " " " " " 1,5 un
 TECLA Nº 45, Nº 50, Nº 57, Nº 61 " " " " " 1,75 un
 TECLA Nº 31 É UNIDA A TECLA Nº 44

LEGENZAS

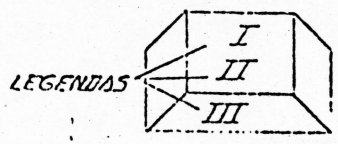


TODOS DOCUMENTOS E PROPRIEDADE DA
 POLYMAX SISTEMAS E PERIFERICOS E S.A.
 CRIADA EM 1978 POR GONCALVES GONCALVES
 LADO A 11 - 111 - 111 - 111 - 111 - 111 - 111 - 111
 TX, SEM AUTORIZACAO PREVIA ESP001

NÚMERO DA TECLA	I	II	III
1			F
2		ESCAP	
3		INSER	
4		DEL	
5		DEL	
6	*	1	
7	"	2	II
8	/	3	<
9	8	4	>
10	!	5	\
11	7	6	II
12	8	7	+
13	'	0	=
14	(0	!
15)	0	!
16	!	5	(
17	⊙	%)
18		RTPO	
19		CNTL	
20		0	
21		V	
22		E	
23		R	
24		T	
25		Y	
26		U	
27		J	
28		O	
29		P	
30	'	>	
31		C	
32			
33		A	
34		S	
35		D	
36		F	
37		G	
38		H	

39		J	
40		K	
41		L	
42		C	
43	^	~	
44	UNIDA A TECLA Nº 31		
45			
46		Z	
47		X	
48		C	
49		V	
50		B	
51		N	
52		M	
53	j	j	
54	:	.	
55			
56			
57		CMJ	
58	SUP	SUB	
59			
60	MIN	MAX	
61		TAB	
62	PAG		MSG
63		BILOC	XMT
64		COLUN	RCV
65	PAG		7
66		↓	8
67		BUSCA	4
68		←	4
69		↖	5
70		→	6
71		INSER	1
72		↓	2
73		APOV	3
74		CENTR	1
75		505	0
76		FORMT	.

NR. 110	11	POLYMAX SIST. E PERIF.
Desenho	02/11/81	CAPAS E LEGENDAS
CO-REVISOR	11	DO TECLADO ITN "41"
APROVADO	02/12/81	DIATEC-10
		0 2/10



VER NOTA 1

NÚMERO DA TECLA	I	II
1		
2		PRT
3		ESC
4		FRK
5		ECL
6		
7	"	3
8	#	3
9	\$	4
10	%	5
11	&	6
12	'	7
13	(8
14)	9
15	\	0
16	~	
17	[
18]	-
19		CTRL
20		0
21		W
22		E
23		R
24		T
25		Y
26		U
27		I
28		O
29		P
30	-	=
31		TAB
32		CR
33		A
34		S
35		M
36		F
37		G
38		H

39		J
40		K
41		L
42		*
43		+
44		PAUSE
45		SHIFT
46		Z
47		X
48		C
49		V
50		N
51		M
52		M
53	<	
54	>	
55	?	
56		SHIFT
57		BS
58		~
59		
60	^	:
61		CR
62		RET
63		LN
64		LN
65		LN
66		LN
67		LN
68		LN
69		LN
70		LN
71		LN
72		LN
73		LN
74		LN
75		LN
76		LN

NOTA:
 I-TECLA Nº1 NA POSIÇÃO III
 TERÁ A SIMBOLOGIA "I"

RECIBO DE ENTREGA

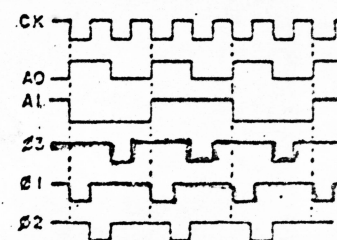
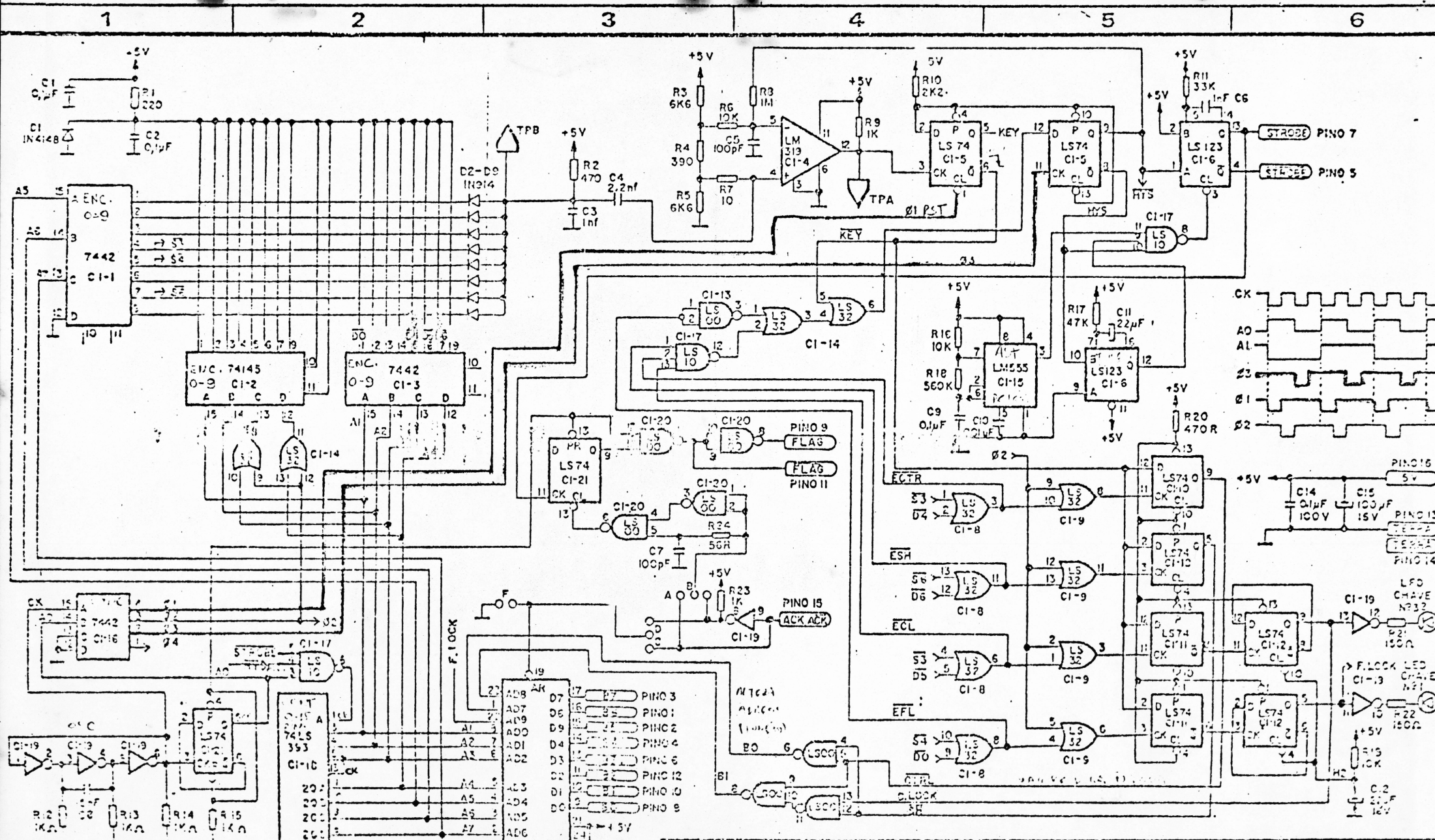
EMPRESA: POLIVOX SISE. E SERV.

DATA: 1/12/61

VALOR: CAPAS E LEGENDAS DO TECLADO ITW/UP

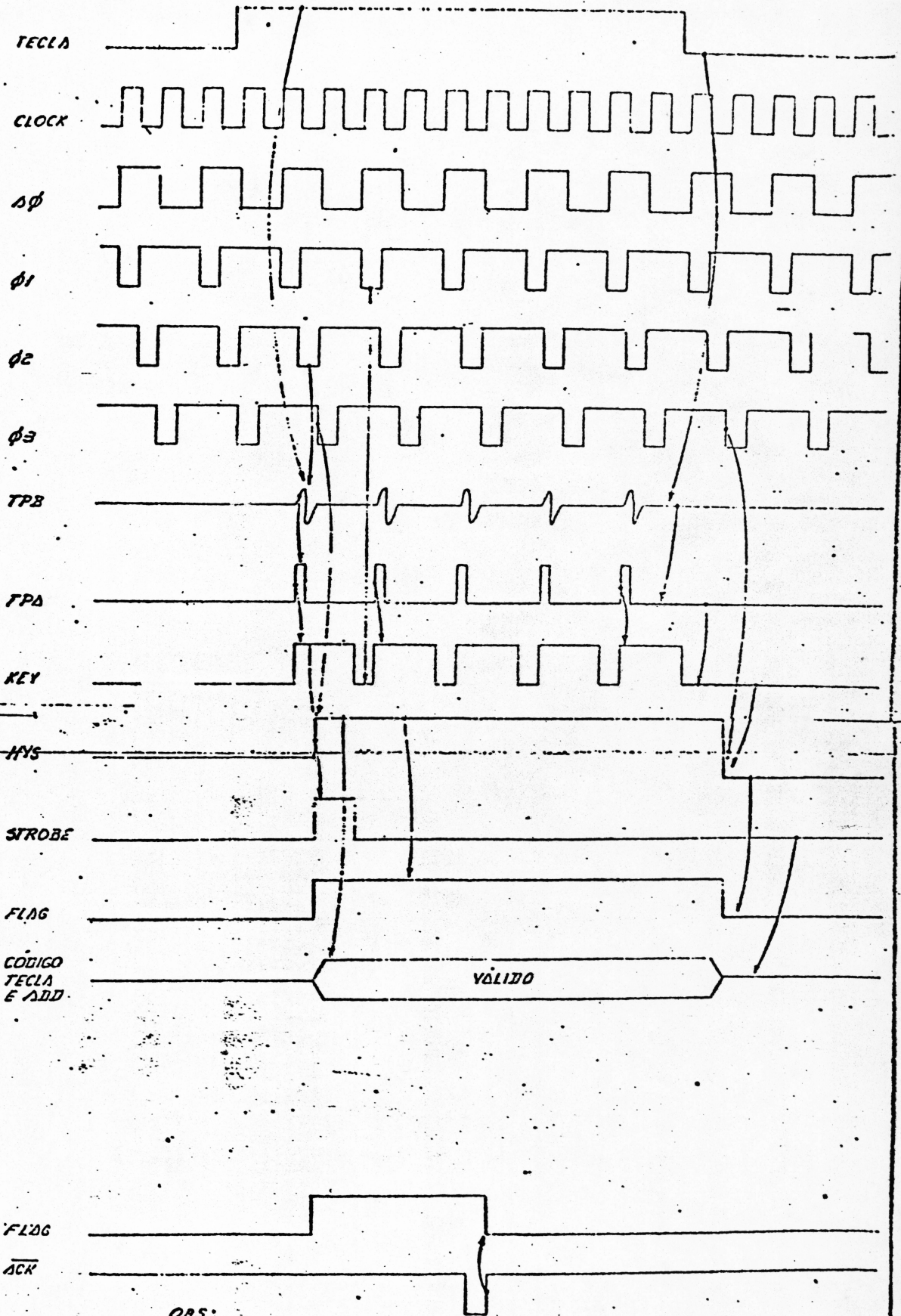
ASSINATURA: [Signature]

EMPRESA: [Signature]



SUBSTITUI:		TITULO:		
VISTO	DATA	DIAGRAMA ESQUEMATICO		
DES. NILTON	30-9-82	TECLADO ITW		
PROJ.				
ENG.				A4 NUMERO 82-19-B 1073-B

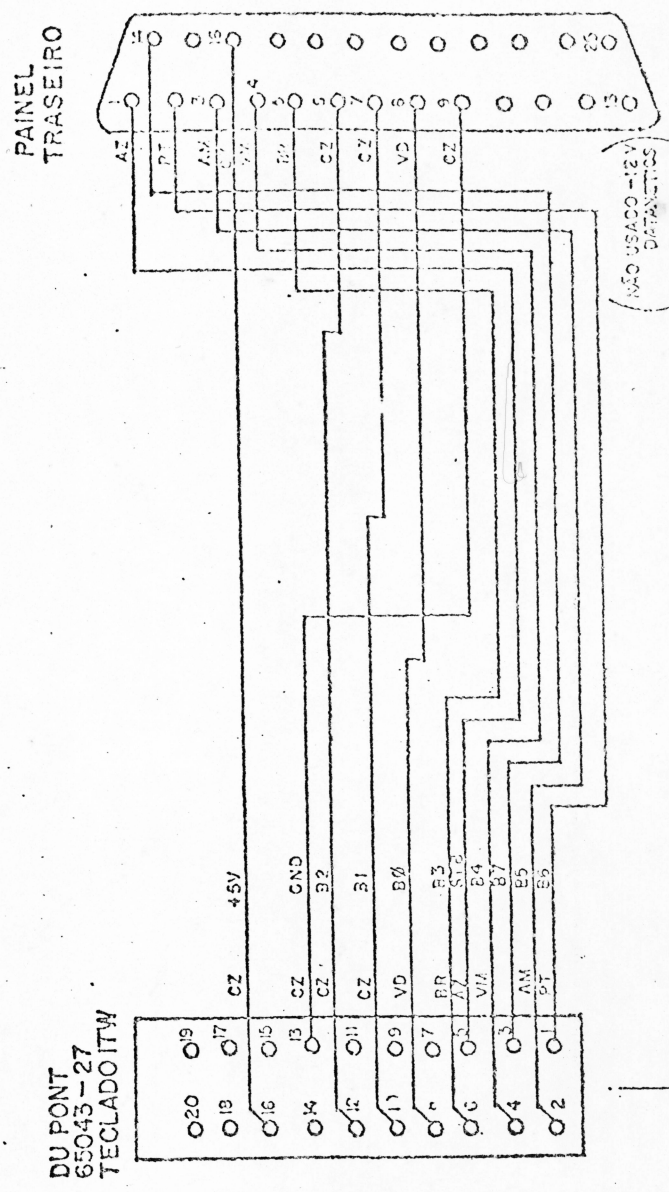
REV	DESCRICO	DATA	APROV.
	REVISOES		



111 PONTA DE SINAL E PERNA
 22/12/81
 DIAGRAMA DE TEMPO
 23 12 81
 III TEC-10
 0 / / /

OBS:
 O SINAL "FLAG" TAMBEM DESAPARECE
 USANDO O SINAL "ACK"

- 1
- 2
- 3
- 4
- 5
- 6
- 8
- 10
- 12
- 13
- 15



06	TERMO CONTRACT Ø 1,6 mm	100mm	100452 001-5
05	PINOS P/ CONECTOR DU PONT FÊMEA 47715	11PÇ	220141 011-3
04	CONECTOR DU PONT 20 PINOS FÊMEA 65043-27	01PÇ	205133 015-2
03	CABO 6 PARES FLEXIVEL	2100mm	220151 002-9
02	CAPA P/ CONECTOR	01 PÇ	220130 001-6
01	CONECTOR DB 25 - 25 PINOS MACHO S/ CAPA	01PC	220132 018
item	descrição	quant.	COD POLYMAX

SUBSTITUI O DESENHO Nº _____ MODIFICAÇÃO Nº _____

DATA 12-7-82

DESENHO NILTON

PROJETO _____

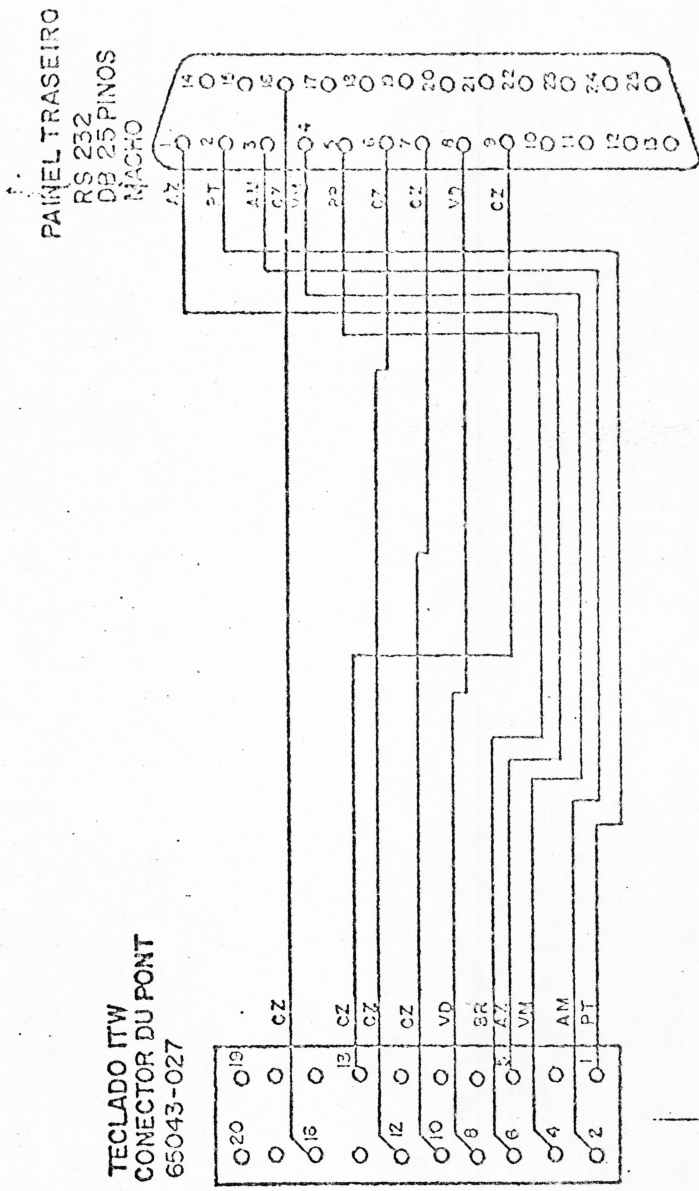
título

CABO TECLADO (EXTERNO) WP/ITW

WORLDWIDE
SISTEMAS E PERIFÉRICOS LTDA

69C. Nº 02.29.C.1155 B

- 1 PT
- 2 AV
- 3 VM
- 4 VM
- 5 AZ
- 6 VD
- 7 CZ
- 8 CZ
- 9 CZ
- 10 CZ
- 11 PT
- 12 PT
- 13 PT
- 14 PT



2100

item	discriminação	quant.	COD. POLYMAX
06	TERMO CONTRACT Ø 1,6 mm	100mm	100 452 001 - 5
05	PINOS P/ CONECTOR DU PONT FÊMEA 47715	10PÇ	220 141 011 - 3
04	CONECTOR DU PONT 20 PINOS FEMEA 65043-27	01PÇ	205 133 015 - 2
03	CABO 5 PARES FLEXÍVEL	2100mm	220 151 002 - 9
02	CAPA P/ CONECTOR	01PÇ	220 130 001 - 6
01	CONECTOR DB25 - 25 PINOS MACHO S/CAPA	01PÇ	220 132 018 - 1

SUBSTITUI O DESENHO Nº _____ MODIFICAÇÃO Nº _____

DATA 27-5-82

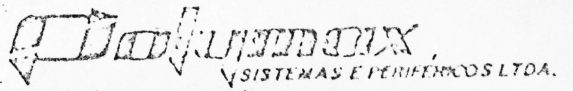
DESIGNO JOSEFINA

PROJETO

APROVADO

título

CABO TECLADO (EXTERNO) DP/ITW
(3.20.750.500-9)



OSC. Nº 82.20.C.1018.A

LM119/LM219/LM319

National Semiconductor

Voltage Comparators

LM119/LM219/LM319 High Speed Dual Comparator

General Description

The LM119 series are precision high speed dual comparators fabricated on a single monolithic chip. They are designed to operate over a wide range of supply voltages down to a single 5V logic supply and ground. Further, they have higher gain and lower input currents than devices like the LM710. The uncommitted collector of the output stage makes the LM119 compatible with RTL, DTL and TTL as well as capable of driving lamps and relays at currents up to 25 mA. Outstanding features include:

- Maximum input current of 1 μ A over temperature
- Inputs and outputs can be isolated from system ground
- High common mode slow rate

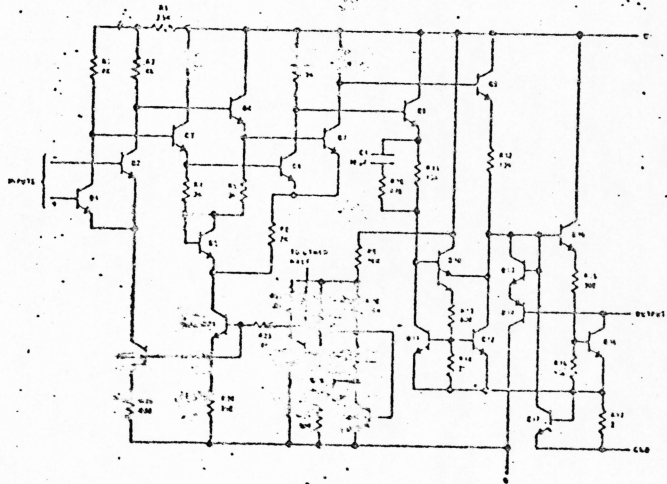
Although designed primarily for applications requiring operation from digital logic supplies, the LM119 series are fully specified for power supplies up to $\pm 15V$. It features faster response than the LM111 at the expense of higher power dissipation. However, the high speed, wide operating voltage range and low package count make the LM119 much more versatile than older devices like the LM711.

The LM119 is specified from $-55^{\circ}C$ to $+125^{\circ}C$, the LM219 is specified from $-25^{\circ}C$ to $+85^{\circ}C$, and the LM319 is specified from $0^{\circ}C$ to $+70^{\circ}C$.

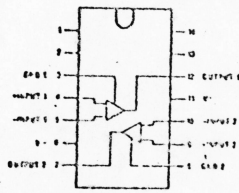
Features

- Two independent comparators
- Operates from a single 5V supply
- Typically 80 ns response time at $\pm 15V$
- Minimum fan-out of 2 each side

Schematic and Connection Diagrams



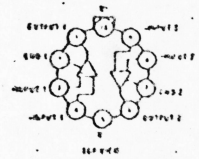
Dual-In-Line Package



Order Number LM319N
See NS Package N14A

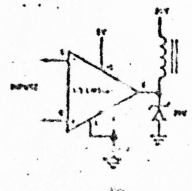
Order Number LM119J, LM219J
or LM319J
See NS Package J14A

Metal Can Package

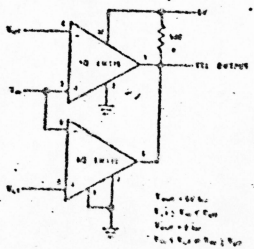


Order Number LM119H, LM219H
or LM319H
See NS Package H10C

Typical Applications



Relay Driver



Window Detector

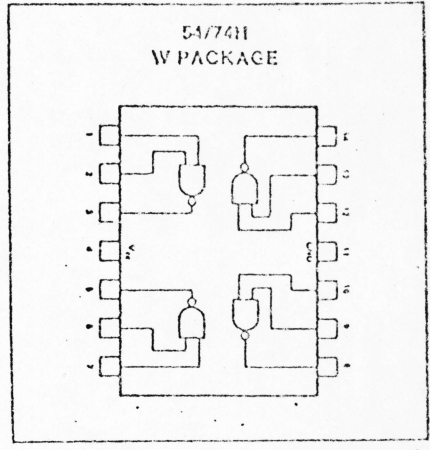
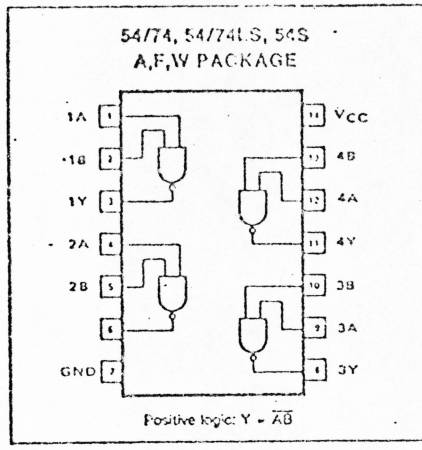
QUAD 2-INPUT NAND GATE

54/7400

SPEED/PACKAGE AVAILABILITY

54	F,W	74	A,F
54H	F,W	74H	A,F
54LS	F,W	74LS	A,F
54S	F,W	74S	A,F

PIN CONFIGURATION



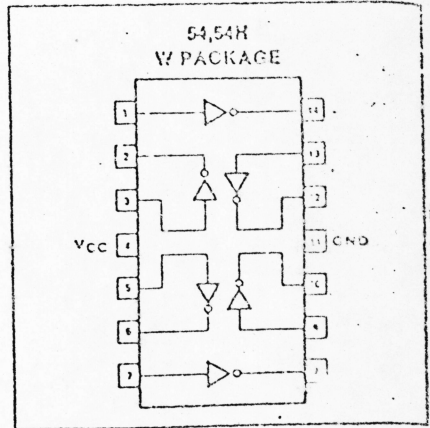
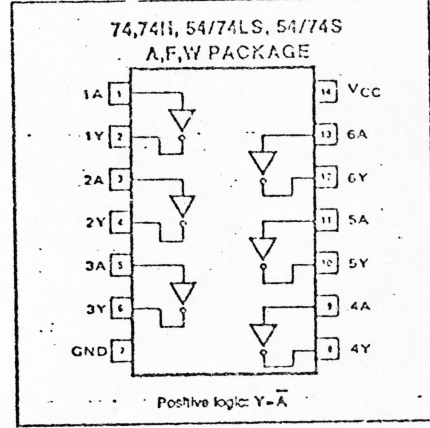
HEX INVERTER W/OPEN COLLECTOR OUTPUTS

54/7405

SPEED/PACKAGE AVAILABILITY

54	F,W	74	A,F
54H	F,W	74H	A,F
54LS	F,W	74LS	A,F
54S	F,W	74S	A,F

PIN CONFIGURATION



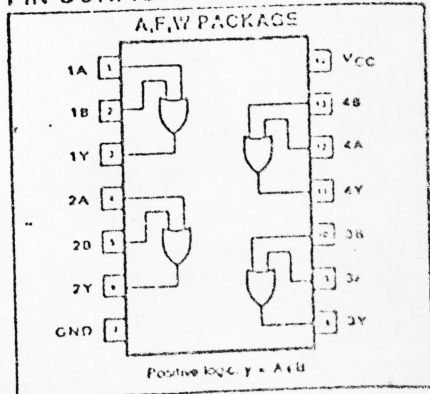
QUAD 2-INPUT OR GATE

54/7402

SPEED/PACKAGE AVAILABILITY

54	F,W	74	A,F
54LS	F,W	74LS	A,F

PIN CONFIGURATION



SWITCHING CHARACTERISTICS $V_{CC} = 5V, T_A = 25^\circ C$

TEST CONDITIONS	54/74			54/74LS			UNIT
	MIN	TYP	MAX	MIN	TYP	MAX	
Propagation delay time							
t_{PHL} Low-to-high		10	15		9	22	ns
t_{PHL} High-to-low		14	22		9	22	ns

Load circuit and typical waveforms are shown at the front of section.