

PROLOGIC

microcomputación

PROLOGICA

MANUAL TECNICO

SISTEMA 700

SUMÁRIO

1.	APRESENTAÇÃO	1-1
2.	ESPECIFICAÇÕES TÉCNICAS	2-1
3.	CONDIÇÕES AMBIENTAIS E ELÊTRICAS	3-1
3.1	Rede elétrica	3-1
3.2	Estabilizador	3-2
3.3	Piso	3-2
3.4	Climatização	3-2
4.	DIAGRAMA EM BLOCO	4-1
4.1	Módulo da CPU	4-1
4.2	Módulo do teclado	4-3
4.3	Módulo de vídeo	4-3
5.	CONEXÕES	5-1
6.	TEORIA DE FUNCIONAMENTO	6-1
6.1	Placa P21	6-1
6.2	Fonte de alimentação FT-36	6-6
6.3	Vídeo VT-03	6-7
6.4	Controlador de Winchester - Control 11	6-11
6.5	Teclado - PTL 15	6-13
7.	DESCRIÇÃO DOS PRINCIPAIS CIs	7-1
7.1	Z80 CPU	7-1
7.2	8251 USART	7-7
7.3	WD 1010 - Controlador de disco Winchester	7-10
7.4	8460	7-14
7.5	CRT 8002	7-19
7.6	DP 8350	7-24
7.7	MM 5035	7-29
7.8	BR 1941	7-30
7.9	FDC 1793	7-32
7.10	PPI 8255	7-38
8.	TESTES	8-1
9.	CONFIGURAÇÃO E AJUSTES	9-1
10.	LISTAGEM DE COMPONENTES	10-1
11.	ESQUEMAS	11-1



1. APRESENTAÇÃO

O Sistema 700 é basicamente compatível com o equipamento atual, tendo em seu circuito elétrico componentes já usuais de microcomputadores de 8 bits. Modificações estratégicas e melhorias de produto foram introduzidas, visando aumentar a área de armazenamento físico de dados, teclado de controle capacitivo e com gerenciamento independente e atualizar a fonte reguladora chaveada.

É composto de três módulos básicos interligados:

- CPU
- VÍDEO
- TECLADO

Sua composição modular permite maior versatilidade quanto à disposição dos módulos pelo usuário, além de representar uma tendência de produto.

ESQUEMA DE PAGINAÇÃO

A paginação deste manual é feita tendo por base a numeração dos capítulos existentes. Assim, o número de página compõe-se de algarismos separados por um traço.

Aqueles situados à esquerda do traço representam o capítulo, enquanto aqueles à direita indicam a seqüência de páginas deste capítulo.

Exemplo: 3 - 10

Representa a décima página do capítulo 3.

EDIÇÃO

O algarismo romano que segue o nome do manual no rodapé de cada folha identifica o número de edição deste manual.



2. ESPECIFICAÇÕES TÉCNICAS

Teclado

- 91 teclas, sendo:
 - . 61 teclas alfanuméricas e de controle
 - . 16 teclas numéricas para o teclado reduzido
 - . 10 teclas de função (PF'S)
 - . 04 teclas para controle do cursor
- Microprocessador 8035

Processador

- Dois microprocessadores Z80A, CPU principal e auxiliar
- Clock: 4MHz

Membria

- 64 Kbytes de RAM dinâmica para área de trabalho
- 04 Kbytes de EPROM para inicialização do sistema
- 01 Kbyte de RAM estática para buffer de disco

Vídeo

- Resolução de 1920 caracteres
- Modo texto: 24 linhas x 80 colunas



Armazenamento

- Uma ou duas unidades de disco flexível de 5 1/4", dupla densidade, sendo:
 - . 179 Kbytes em face única por disco formatado
 - . 358 Kbytes em face dupla por disco formatado ou
 - . Uma unidade de disco flexível e uma unidade de disco rígido no drive B, com capacidade de 5, 10 ou 15 MBytes

Portas E/S

- Conector de quarenta pinos, com extensão do bus de dados e endereços
- Duas portas seriais compatíveis com RS 232 C

Slot de expansão

- Dois slots, sendo um deles destinado à conexão da placa controladora de Winchester.

Fonte

- Tipo reguladora chaveada
- 105,5 Watts
- Saída DC: +5V/3,5A, +5V/2,5A, +12V/4A, +12V/1,5A e -12V/250mA
- Entrada AC: 90 a 130V ou 180 a 260V

3. CONDIÇÕES AMBIENTAIS E ELÉTRICAS

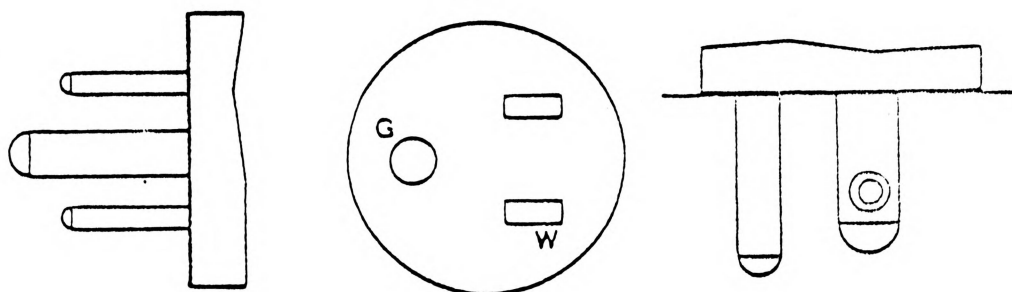
3.1 Rede elétrica

Como o Sistema 700 possui uma fonte reguladora chaveada, de tolerância de tensão de entrada mais ampla, da ordem de 20%, o uso de estabilizador pode não ser necessário em lugares com pequenas variações de rede elétrica.

No entanto, um sistema tem como periférico no mínimo uma impressora, que não possui ainda esta mesma característica quanto à variação na tensão de entrada.

Uma obrigatoriedade na instalação do sistema continua sendo a polaridade dos terminais da tomada, seguindo norma da ABNT NBR 6147, que determina:

- Rede monofásica e terra:



W = FASE
G = TERRA

- Tensão entre fase e neutro: 115V +-3%
- Tensão entre fase e terra: 115V +-3%
- Tensão entre neutro e terra: <4V

3.2 Estabilizador

O uso de um estabilizador pode ou não ser necessário, dependendo da análise da rede. O estabilizador deverá ser um modelo homologado pela PROLOGICA.

As características do estabilizador são as seguintes:

- Eletrônico
- Entrada de 220V ou 110V (+-10%)
- Saída de 115V (+-3%)
- Monofásico
- Blindagem eletrostática
- Tempo de resposta menor que dois ciclos
- Distorção harmônica menor que 3%
- Regulação: +-3% (máxima)

Obs.: O estabilizador deverá estar equipado com três tomadas para saída.

3.3 Piso

O piso onde será instalado o equipamento poderá ser de cerâmica, paviflex ou borracha antiestática. Se for carpetado, a mesa do sistema deverá estar sobre uma base de borracha antiestática.

3.4 Climatização

- Máxima: 35°C
- Mínima: 10°C
- Umidade relativa do ar: 20% a 80%

4. DIAGRAMA EM BLOCO

O Sistema 700 segue uma família de microcomputadores de 8 bits. Nele foi incorporada basicamente maior capacidade de armazenamento físico de dados usando o disco Winchester como uma das unidades de disco. Possui características de montagem modular separadas em módulo de vídeo, CPU e teclado capacitivo.

4.1 Módulo da CPU

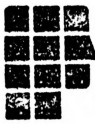
Neste módulo encontram-se a placa principal de processamento P21, a fonte chaveada (FT36) e o slot para conexão da controladora de disco rígido (CTRL 11).

Este sistema é composto por dois microprocessadores Z80A, operando em 4MHz, tendo uma CPU1 como principal gerenciando um banco de memórias RAM dinâmicas de 64Kb; os dispositivos de entrada/saída como portas seriais; controlador de interface e controlador de vídeo; e uma EPROM de 4Kb destinada à inicialização do sistema.

O outro microprocessador auxiliar, CPU2, é usado para controle das unidades de disco e, conseqüentemente, também acessa a EPROM e a RAM estática do buffer de disco (1Kbyte).

- Controlador de vídeo

É composto por três dispositivos principais: o controlador de CRT, que gera todos os sinais de temporização para o display de dados; o gerador de vídeo, que produz o conjunto de caracteres; e o shift register, que armazena uma linha de dados (oitenta caracteres). O controlador de vídeo gera toda a temporização necessária para exibir 24 linhas de oitenta caracteres cada uma, com os seguintes atributos: campo piscante, campo protegido e cursor com imagem reversa. A matriz de caracteres é de 5 X 7 pontos, dentro de um campo de 7 x 10 pontos. Os que sobram têm como função o espaçamento entre os caracteres e a entrelinha.



- Controlador de discos flexíveis

Circuito composto por um controlador de disco flexível (FDC) que executa todas as rotinas de formatação, gravação, leitura, etc. Permite a conexão de até quatro unidades de disco flexível de 5 1/4", face simples ou dupla, em FM ou MFM.

- Interface de comunicação

Duas unidades de comunicação para transmissão/recepção síncrona/assíncrona, padrão RS 232 C. São divididas em: porta principal, destinada a conexões com modems, etc.; e porta auxiliar, para conexão com impressoras, plotters, etc.

A velocidade de transmissão no modo assíncrono é de 75 a 19.200 baud/s e no modo síncrono é de 1.200, 2.400, 4.800 e 9.600 baud/s.

- Unidade de disco

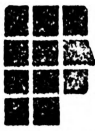
Podem ser utilizadas até duas unidades de disco flexível de 5 1/4" de 48 TPI (trilha/polegada), 128 bytes por setor, quarenta setores por trilha, 35/70 (FS/FD) trilhas por disco, totalizando:

- . 179 Kbytes em face única
- . 358 Kbytes em face dupla
- . Taxa de transferência: 250 Kbits/s, em dupla densidade

Na posição da unidade de disco B pode ser instalada uma unidade de disco Winchester de 5, 10 ou 15MB, com taxa de transferência de 5Mbits/s.

- Conector de quarenta pinos, expansão

Trata-se de uma expansão da via de dados e de endereços da CPU para conexão de equipamentos periféricos, como a rede local Pronet.



- Fonte de alimentação

- . Tipo: reguladora chaveada
- . Tensões de entrada: 90 a 130 VAC ou 130 a 260 VAC
- . Tensões e correntes de saída: +5V/3,5A, +5V/2,5A, +12V/4A, +12V/1,5A e -12V/250mA
- . Potência de saída: 105,5 watts

4.2 Módulo do teclado

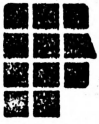
Este módulo possui um microprocessador 8035 que gerencia a varredura e decodificação de 91 teclas dentro do set de caracteres da tabela ASCII, armazenando em EPROM de 2KB. A transmissão dos sinais da tecla digitada para a placa de processamento (P21) é serial assíncrona com um start bit e 8 bits de dados.

4.3 Módulo de vídeo

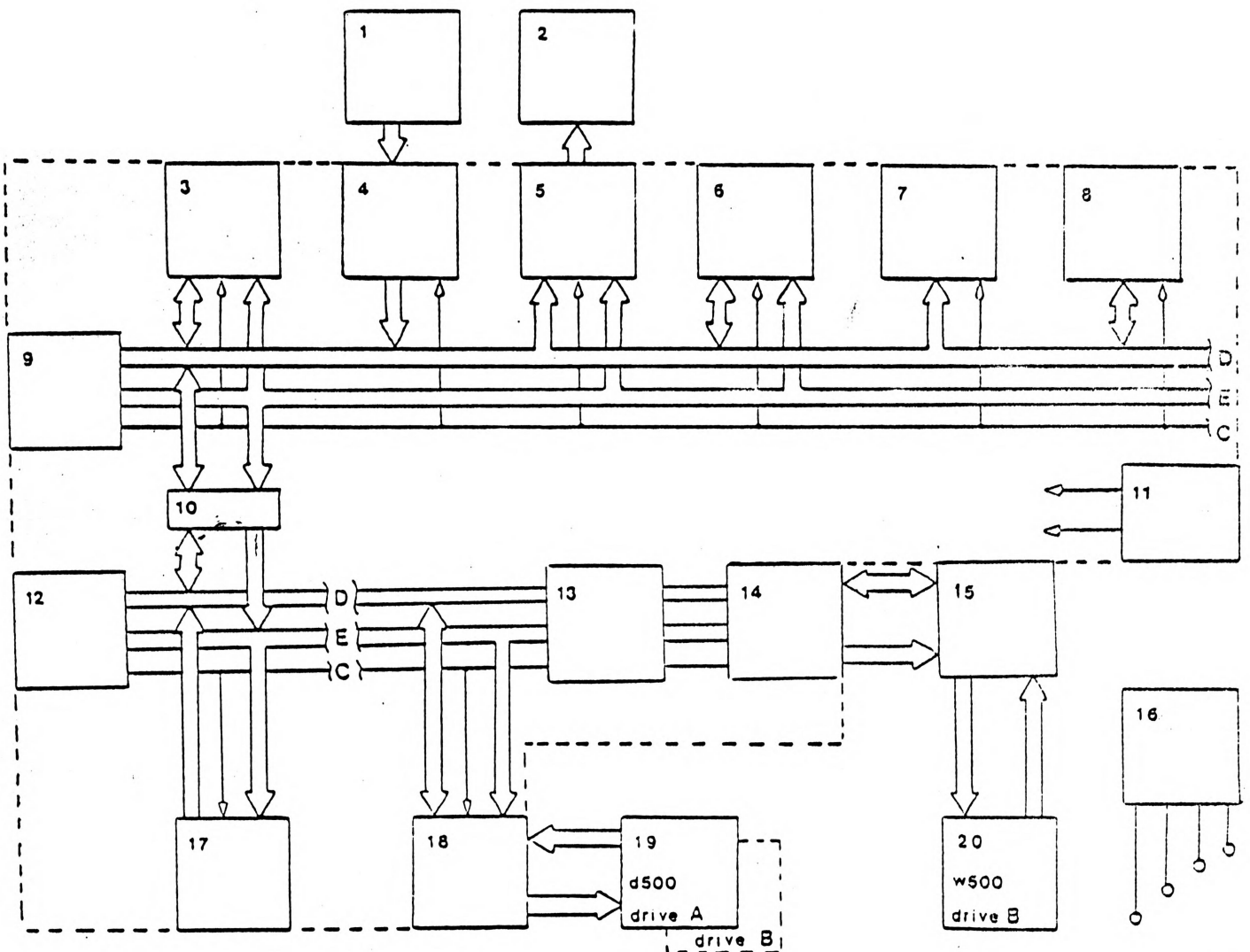
Possui uma resolução de 1920 caracteres (24 linhas x oitenta colunas) numa frequência de varredura vertical de 60Hz e horizontal de 15,6KHz.

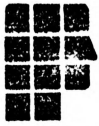
DIAGRAMA DE BLOCOS

1. Placa do teclado, PTL15
2. Placa de vídeo, VT03
3. Área de memória 64K x 8 bytes
4. Buffer de teclado
5. Controlador de vídeo
6. Conector de expansão
7. Porta serial auxiliar
8. Porta principal
9. CPU1, principal
10. Buffer de dados e endereços



11. Gerador de clock e baud rate
12. CPU2, auxiliar
13. Slot de expansão 1
14. Slot de expansão 2
15. Controlador de disco rígido, Control 11
16. Fonte reguladora chaveada, FT36
17. EPROM
18. Controlador de floppy disk
19. Unidades de disco flexível A e B
20. Unidade de Winchester B





5. CONEXÕES

Descrevemos nesta seção os conectores do painel traseiro e a ligação do vídeo e do teclado na unidade central, bem como suas dimensões mecânicas.

- Dimensões mecânicas, em milímetros (L x A x P):

- . Módulo da CPU: 450 x 150 x 475
- . Módulo do vídeo: 317,5 x 263 x 332,5
- . Módulo do teclado: 317,5 x 036 x 208

- Saída para vídeo:

- . Conector de nove pinos, tipo "D".

PINO	FUNÇÃO
1,2,3,5	GND, sinal de referência terra
4	VÍDEO, sinal composto de vídeo
8	HSYNC, sincronismo horizontal
9	VSNC, sincronismo vertical

- Entrada para teclado:

- . Conector de cinco pinos tipo "D".

PINO	FUNÇÃO
1	CK, pulso de clock
2	RST, sinal de Reset
3,7	GND, sinal de referência terra
6	DADOS, sinal serial de dados
4	+12V
8,9	+5V



- Conector paralelo de quarenta pinos (expansão):

Destinado à expansão das vias de dados, endereços e controle da CPU principal, interligando equipamentos periféricos.

PINO	FUNÇÃO
14,16,39	VCC
33	N.C.
2	RST
3	WAIT
4	A10
5	A12
6	A13
7	A15
1,8,29,37	GND
9	A11
10	A14
11	A8
12	OUT
13	MWR
15	MRD
17	A9
18	D4
19	IN
20	D7
21	INT
22	D1
23	MREQ
24	D6
25	A0
26	D3
27	A1
28	D5
30	D0
31	A4
32	D2
34	A3
35	A5
36	A7
38	A6
40	A2

- Porta serial principal

. Conector de 25 pinos tipo "D" destinado a comunicação.

PINO	FUNÇÃO
2	T x D, dados a transmitir. Sinal serial gerado pelo Sistema 700.
3	R x D, dados recebidos. Sinal serial recebido pelo Sistema 700.
4	RTS, solicitação para transmitir. Indica que o Sistema 700 pede ao periférico a transmissão de dados.
5	CTS, pronto para transmitir. Sinal enviado ao Sistema 700 indicando que a transmissão pode ser iniciada.
6	DSR, periférico pronto. Indica que o periférico está apto a receber e transmitir dados.
1,7	GND, terra.
15	T x CK, clock de transmissão. Fornece a informação do clock utilizado na transmissão. Tem sua origem no periférico.
17	R x CK, clock de recepção. Fornece a informação do clock e tem sua origem no periférico.
20	DTR, o Sistema 700 está pronto. Indica ao periférico se o microcomputador está apto a receber ou transmitir dados.
22	RI, indicação de Ring. Indica ao Sistema 700 que o periférico está sendo chamado.
24	CK, clock externo. Fornece o clock para transmissão proveniente do microcomputador.

- Conector serial da porta auxiliar:

- . Conector de 25 pinos tipo "D" usado para comunicação serial.

PINO	FUNÇÃO
2	R x D, dados recebidos. Sinal binário serial enviado pelo periférico.
3	T x D, dados a transmitir. Sinal binário serial gerado pelo Sistema 700.
1,7	GND, sinal de referência. Terra.
20	DSR, periférico pronto. Indica que o periférico (impressora) está pronto e apto a receber dados.

6. TEORIA DE FUNCIONAMENTO

6.1 PLACA P21

A placa processadora P21 usa dois microprocessadores Z80A configurados de tal modo que uma CPU principal se incumba do gerenciamento da memória, teclado, vídeo, portas de comunicação serial e expansão paralela; a outra CPU, auxiliar, monitora o acesso às unidades de discos flexíveis e disco rígido através da placa controladora de Winchester.

As vias de endereçamento, dados e controles da CPU1, principal, são separadas das vias de CPU2, auxiliar, através dos buffers compostos pelos CIs 41, 19 e 20. Sobre os barramentos da CPU1 há os oito chips de memória de 64K x 1bit, 4164 (CI 32 a 39), endereçados através dos multiplexadores 74LS157, que multiplexam os sinais oriundos da combinação lógica de Refresh, M1, MREQ, além do sinal de escrita WR e endereços da CPU1 (CI 43).

Nesta mesma via de dados são recebidos os dados do teclado que chegam à placa P21 através do conector CN-10, onde os dados vindos serialmente do teclado passam pelo shift register 74LS164, que irá transpô-los paralelamente para a via de dados por intermédio do buffer 74LS244, CI 46, que por sua vez é selecionado pelo CI 71. Este CI 71, 74LS138, tem a função de selecionar os chips de entrada e saída endereçados pela CPU1, principal, através das linhas de endereços de A3 a A7.

No conector CN-11 os sinais de vídeo e sincronismo destinados ao monitor de vídeo são resultantes da composição do sinal de vídeo do 8002, CI 76, e WG EN do 8350, CI.44. O sinal oriundo do gerador de vídeo CI 76 tem sua formação na passagem de toda a linha de vídeo montada no CI 45 para o CI 76, que serializa este sinal e o compõe, enviando-o à placa VT03 no módulo de vídeo.

Os sinais de sincronismo vertical e horizontal do CI 44 e do temporizador formado pelo circuito RC do CI 80 servem para o chaveamento de sincronismo da placa de vídeo.



Para controle e acesso a esses periféricos a CPU principal programa o CI 47, PPI 8255, que tem suas três portas (PA - saída, PB - entrada e PC - saída) voltadas para a programação dos periféricos, como o gerador de caracteres para vídeo 8002 (CI 76), controlador de vídeo 8350 (CI 44), teclado através do CI 50, porta de comunicação principal, sinal de bip, sinais de BUSREQ e BUSAK da CPU2 (CI 1).

A comunicação serial está dividida em dois blocos:

- . Porta auxiliar para impressora
- . Porta principal para comunicação

O conector CN-8, porta auxiliar, possui uma USART 8251 (CI 56) para seu controle e um gerador de baud rate (CI 58), que são selecionados através do CI 71, decodificador de entrada e saída interno. Os CIs 64 e 66 são responsáveis pela conversão de níveis TTL para padrão RS 232 C durante a transmissão dos dados.

O circuito de geração de clock é distribuído pelos CIs 50, 51, 52 e 53, além dos transistores T1 e T2 e cristais XTAL1, 2 e 3, formando os divisores de clock para CPU1, CPU2 e linhas de clock para transmissão.

A porta principal tem seu funcionamento análogo à porta auxiliar, diferenciando apenas no número de sinais de controle, na formação do padrão RS 232 C, conector CN-7. Uma lógica de seleção de clock interno e externo pelos CIs 54 e 57 da programação via software permite o chaveamento entre o modo síncrono ou assíncrono de comunicação.

O sistema de Reset automático é formado pelo CI 4, 74LS123, de constante RC de aproximadamente 100ms.

No conector CN-9 temos um barramento de dados, endereços e controles destinados à conexão de periféricos. Estes sinais de dados passam por um buffer bidirecional CI 72, que tem sua direção de entrada ou saída determinada através da combinação lógica de acesso externo. Os buffers responsáveis pelas linhas de endereço são os CIs 73 e 74. Os três buffers possuem a função de isolar as vias de dados e endereços da placa P21 da via de comunicação do periférico interligado e direcioná-las.

Pelo fato de haver duas CPUs, existem dois barramentos de dados, endereços e controle para gerenciamento de periféricos, os quais deverão estar isolados, evitando assim a interferência simultânea em seus ciclos de máquinas.



Para tanto, os CIs 41, 19 e 20 representam os buffers de isolamento das vias de dados, endereços mais significativos e endereços menos significativos e controle, respectivamente, sendo que os buffers de endereços direcionam a passagem dos bits de endereçamento da CPU1 para a CPU2 devido ao nível lógico baixo nos pinos dos CIs 19 e 20, 74LS245.

No CI 41, buffer de dados, o direcionamento das informações é acionado através do sinal RD, gerado pela CPU1, principal. A habilitação dos buffers é decorrente da lógica de acesso que envolve os sinais Refresh, M1, MREQ e a seleção da porta PC (saída) da PPI 8255.

Com isso o acesso à CPU2, CI 1 (que gerencia as unidades de disco e os slots de expansão ou o acesso à EPROM 2732, CI 16, que possui o programa de inicialização do sistema), pode ser monitorado pela CPU1.

Para os dois slots de expansão CN-4 e CN-5 temos o envio dos sinais de endereço, dados, controle e clock. Nestas expansões poderá ser acoplada a placa controladora de disco rígido, Control 11, por exemplo. Quanto ao armazenamento temporário das informações de disco, a CPU2 conta com um banco de memória RAM 2114, CI 14 e CI 15 de 1K x 8 bits, que pode ser acessado tanto pela CPU auxiliar como pela principal, no caso de transferência dos dados armazenados.

O controlador de disco flexível FDC 1791, CI 18, pode selecionar e controlar até quatro unidades de disco, utilizando para isso a lógica de seleção que envolve o latch 74LS273, CI 17. A lógica de pré-compensação de escrita é formada pelo CI 74LS161, CI 5, que atua no atraso do sinal de dados. A lógica de separação de dados de leitura é formada pelo CI 3, 9216. Observe-se que o FDC 1791 está sob controle das vias de dados da CPU2, CI 1, que mantém o endereçamento da memória de 1K x 8 bits ou buffer de disco de 1Kbyte.

Um dip-switch SW1 configura da seguinte forma o número de unidades de disco acopladas à CPU:

CHAVES	POSIÇÃO	
	ON	OFF
1 - Indica o tipo de floppy disk.	F/S	F/D
2 - Indica a capacidade do Winchester.		10MB
3 - Indica modo terminal.		T
4 - Indica a capacidade do Winchester.		5MB
5 - Indica a capacidade do Winchester.		15MB



Obs.: Quando o sistema possuir apenas floppy disk, as chaves de 2 até 5, deverão estar na posição ON.

Ao ligar o equipamento ou ao sair de uma condição de Reset, a CPU1 inicia, num primeiro instante, seu funcionamento; a PPI, no entanto, fica com as três portas com todos os pinos em three-state, e o pull-up RP-9 mantém a CPU2 e o controlador de disco em Reset.

As linhas de endereço de A11 a A15 estão com um resistor de pull-up, RP-6, que condiciona a lógica das portas do CI 26. Este efetua a habilitação da EPROM juntamente com os sinais de busca e acesso da CPU1 (M1, MREQ e Refresh), que acionam a segunda parte da lógica de porta do CI 27 habilitando os buffers de dados e endereços que isolam a EPROM da CPU1.

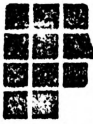
Como já citamos, o ciclo de busca e acesso da CPU1 envolve o sinal \overline{RD} , que direciona o buffer de dados, CI 41, de forma que os dados da EPROM sejam lidos pela CPU1.

Uma vez que a lógica que habilita a EPROM, CI 16, recebe os sinais A15 e \overline{MREQ} , esta será selecionada, ocasionando a leitura e execução dos primeiros passos do programa, transferindo este conteúdo para a área de memória principal, de onde irá executá-lo passo a passo.

A mensagem de "Inserir Disquete" que aparece na tela já compõe as primeiras informações para o vídeo, que para tanto deverá habilitar o circuito composto da PPI e de todo o bloco de CRT e CRTC (de controle de vídeo).

Para a seleção e o endereçamento da área de memória, os sinais RAS e CAS gerados a partir da lógica do CI 27, envolvendo Refresh, M1 e MREQ e resultando um nível alto, via porta 1A do CI 9, irão tirar de Reset o CI 10, permitindo a excitação da entrada 1D do CI 10, que acionará a saída 1Q do mesmo CI 10, gerando assim o sinal RAS para a memória.

Num primeiro pulso de clock no CI 10, após a saída do estado de Reset, será gerado o sinal de RAS. No segundo pulso de clock a saída 2Q do CI 10 irá gerar o sinal de MUX e, num terceiro pulso, a saída 3Q se encarregará do sinal CAS.



Quando é enviada à tela a mensagem "Inserir Disquete", a PPI programa primeiramente os CIs 4 e 76 através de suas portas A, B e C preparando-os para efetuar a leitura dos dados a serem enviados ao vídeo. Esses dados são lidos da memória principal por intermédio de um DMA efetuado pelo CI 44.

O CI 76 serializa os dados, enquanto o CRTC, CI 44, compõe os atributos de vídeo e sinais de sincronismo. Juntos, o sinal de vídeo e os sinais de sincronismo irão para a placa de deflexão varrendo na tela a frase "Inserir Disquete".

Em seguida, a CPU1 executa o próximo passo do programa situado na sua área de memória, que é habilitar a unidade de disco A, ler o disco a partir da trilha 0, setor 0, levar estes dados até a área de memória e compará-los.

A habilitação do FDC, CI 18, se for necessária, e a retirada da CPU2 de three-state tornam-se um primeiro ponto, através da porta PC3 e do sincronismo do FDC via PB5, ambos sob controle do CI 47. Feito o ciclo de trilha 0 e leitura a partir desta, os dados serão armazenados temporariamente na RAM estática até que a CPU1 faça sua leitura e leve os dados para a área de memória. Este procedimento efetua a carga do sistema operacional.

Caso venha algum dado do teclado, este será "sentido" através de um pulso na porta PB0 da PPI fornecido pelo CI 60. A PPI informará à CPU1 que deverá ser lido o conteúdo do CI 46, buffer do teclado. Para isso, a CPU1 habilitará o buffer via CI 71, decodificador de I/O, fazendo a leitura e armazenando os dados na memória para compará-los e interpretá-los.

Caso seja necessária uma comunicação com a impressora, a CPU1 selecionará por intermédio do CI 71 a porta auxiliar, USART, CI 56, e seu gerador de baud rate correspondente, CI 58, via saída selecionadora do CI 71, Y0 e Y4, respectivamente, permitindo assim a passagem dos dados do teclado (CI 46) para a impressora, via CI 56, ficando a cargo da CPU1 o gerenciamento destas portas de comunicação e da via de transferência dos dados.

6.2 Fonte de alimentação FT-36

O circuito da fonte de alimentação baseia-se num regulador chaveado de alta corrente, que se resume no CI 296, o qual possibilita a monitoração cíclica da tensão fornecida.

A frequência de sincronismo de todos os quatro CIs é feita por R1 e C37, que sincronizarão os demais em 66KHz, excitando a entrada do pino 7 do 296.

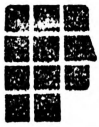
Ligada ao pino 9 temos a compensação de frequência dada pela malha R3, C11 e C15, que garante o retorno à frequência regulada. No pino 5 um capacitor de desacoplamento define a constante para reacionamento do ciclo (soft start), ou seja, somente após a carga total deste capacitor, o nível da tensão de saída se estabilizará; caso contrário, a tensão de saída no pino 2 será inibida.

Como todas as outras configurações são similares, tomamos o CI 1 para exemplificar o funcionamento. No pino 2, o indutor L3 e o nível de tensão de saída podem ser ajustados dependendo do consumo da carga, variável através do divisor resistivo formado por TP1 e R4, os quais fornecem a amostragem de tensão para realimentação nos pinos 1, 10 e 12.

O diodo D3 acopla a descarga do capacitor revertendo-a através de L1. Isto ocorre durante o período de não-chaveamento do CI. Pela necessidade de consumo mínimo de operação, os resistores R2 e R5 formam a carga mínima de consumo de corrente de 100mA.

Em caso de curto-circuito na saída da fonte, o pino 6 tem por função inibir a saída de tensão do pino 2, caso o potencial de referência, terra, exceda a 2 volts, e reativar a tensão de saída, se a tensão de referência estiver menor que 0,8 volt. Com isto garante-se uma compatibilidade a nível TTL de alimentação.

Outra proteção existente no circuito, caso a tensão de saída exceda a tensão nominal em 20%, excitará o pino 1 do CI 2296, disparando o gate do SCR através do pino 15 (saída crowbar), forçando assim uma diferença de potencial sobre o fusível FUL, levando a seu rompimento e conseqüente corte da tensão retificada do circuito chaveador.



A tensão alternada de entrada pode ser selecionada em 110V ou 220V, que o trafo toroidal transforma para 24 volts, os quais serão retificados. O diodo D1 impede a condução reversa da tensão caso o circuito seja alimentado por uma bateria de 24 volts (No-Break).

Todas as tensões de saída derivam de circuito similar a este descrito, com uma observação quanto à tensão de -12 volts. Devido a necessidade de consumo de +5 volts/6A, e o regulador 2296 poder fornecer até 4A, utilizam-se dois CIs 2296 para fornecimento da corrente necessária e reaproveita-se um dos CIs para a formação da tensão de -12 volts.

No caso do CI 4, que além de fornecer +5V/2,5A na configuração padrão fornece -12V/250mA, esta tensão é oriunda do transformador L4 por relação de número de espiras, onde o resistor R14 atua como amortecimento das oscilações do secundário.

Como foi visto, devido a limitações no fornecimento de corrente foram acoplados dois circuitos de +5 volts para o fornecimento da corrente necessária à carga.

6.3 Video VT-03

A placa VT-03 do monitor de vídeo foi projetada inicialmente para converter quatro sinais de cor (R, G, B e Intenso) em um único sinal de vídeo. Assim, uma placa controladora de vídeo colorido poderia ser conectada a um monitor monocromático.

No nosso caso, a placa P21 gera apenas o sinal de vídeo, além do sincronismo vertical e horizontal. Esse sinal é conectado à entrada do canal G (verde) da VT-03. Os trimpots de controle de brilho dos sinais R (vermelho), B (azul) e I (intenso) ficam sem função e não influenciam a operação do circuito.



O CI 2, TDA 1170, controla todo o processo de geração de rampa e sincronização da varredura vertical. Este CI é alimentado com +12V (pino 2). O sinal de sincronismo vertical gerado na P21 é amplificado por T14 e aplicado na entrada de trigger (pino 8) do TDA 1170. Este sinal vai sincronizar o oscilador vertical da VT-03 juntamente com os sinais gerados pela P21. Através do pino 6 temos uma amostra do sinal do oscilador, realimentado em sua entrada (pino 9) pelo trimpot TP2. Este é usado para ajuste da frequência vertical, que deve ser setada em 60Hz. O pino 1 é uma saída onde se tem uma amostra da rampa utilizada para efetuar a varredura no cinescópio. Esta amostra é realimentada para o pino 12, que é a entrada do gerador de rampa interno, por intermédio do trimpot TP1. Este TP1 será usado para ajuste da linearidade vertical. O pino 7 é a entrada de polarização do circuito interno gerador da rampa e está ligado ao TP3. Este trimpot é usado no ajuste da altura vertical da imagem. A rampa amplificada sai pelo pino 4 e é aplicada ao YOKE nas bobinas de deflexão vertical para realizarem a varredura da tela.

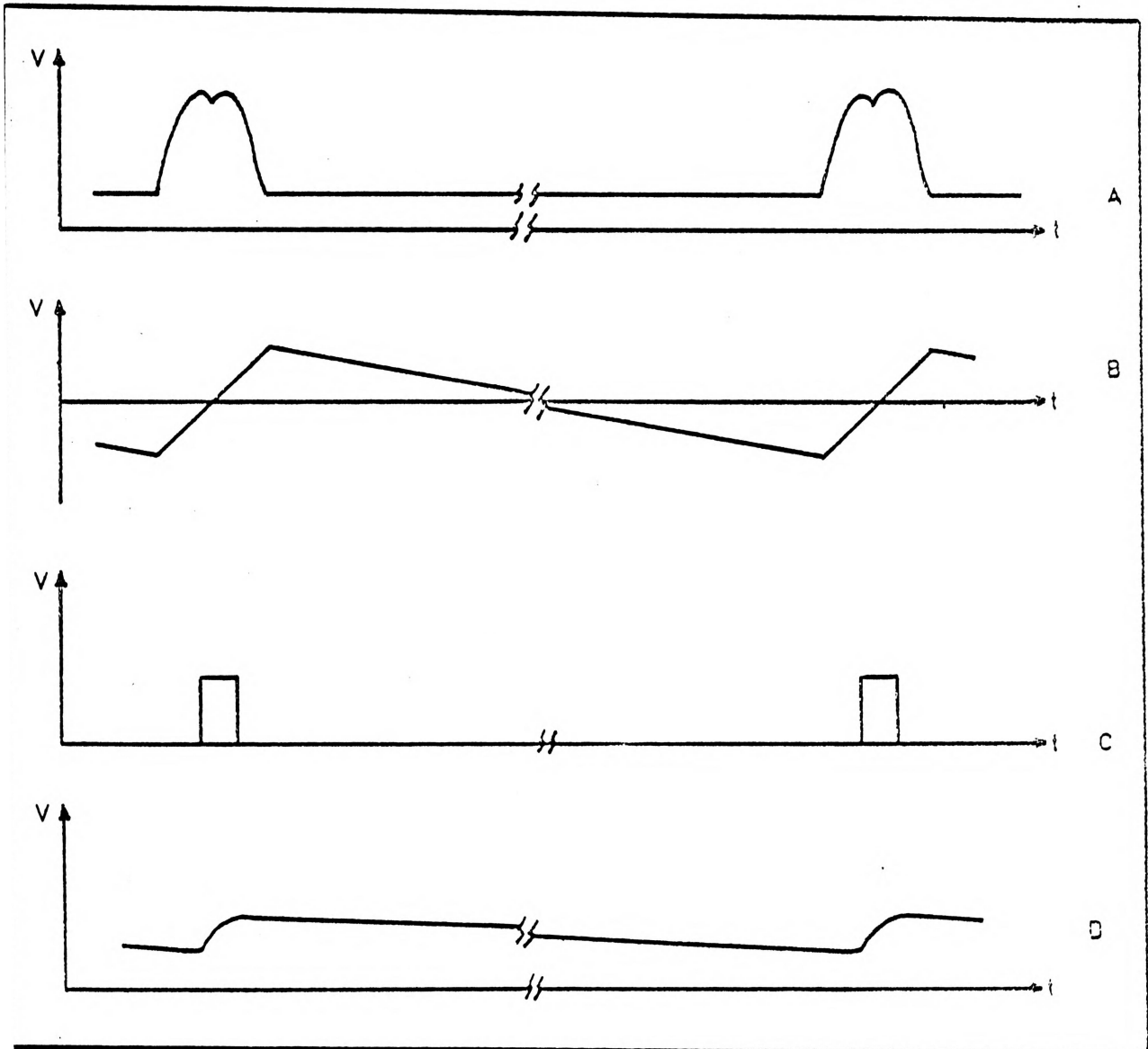
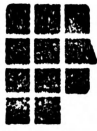
O oscilador horizontal, assim como o vertical, funciona independentemente dos pulsos de sincronismo vindos da unidade central. Para operar, basta que o circuito tenha alimentação. O sinal de sincronismo horizontal, vindo da P21, entra no circuito de correção de fase, formado por T13 (C). No emissor deste transistor há um sinal de amostra do secundário do Fly-Back (A), cujo nível DC foi desacoplado e integrado (B). Um novo nível DC pode ser somado a este dente de serra através de TP10. Este trimpot ajusta a posição horizontal da imagem na tela porque varia o nível de condução de T13, ou seja, no coletor de T13 haverá um dente de serra integrado, com nível DC, que vai polarizar a base de T12 (D). No emissor de T12 temos um nível DC que depende do sinal na sua base e que vai polarizar o transistor oscilador T11, via trimpot TP11. O T11 e o T10 formam o oscilador horizontal que funciona com a alternância dos estados dos transistores: T11 saturado e T10 cortado e vice-versa. Esta alternância muda constantemente o sentido da carga e descarga de C2, permitindo que o sistema continue trabalhando em modo astável.



Através de TP11 podemos mudar o ponto quiescente de T11 e, portanto, mudamos também o tempo de carga e descarga de C20, ou seja, a frequência do oscilador. Este oscilador deve funcionar com 15600Hz. O T9 casa a baixa impedância do oscilador com a alta impedância do trafo TF1 que, por sua vez, isola o estágio de baixa voltagem do de alta voltagem. O T7 realiza a última amplificação do sinal de varredura horizontal, que é aplicado nas bobinas de deflexão horizontal por intermédio de L1 e L2, que são indutores ajustáveis para controlar a largura horizontal e a linearidade da varredura no cinescópio.

O coletor de T7 está ligado ao primário do Fly-Back e de seu secundário retiram-se as tensões de polarização do cinescópio: alta tensão de 12,8KV, grade 4 com 400V e grade 2 com 300V (valores típicos). A tensão da grade 2 é ajustável. Do secundário do Fly-Back é amostrado também o sinal para o circuito de correção de fase. O controle interno do brilho atua na polarização da grade 1, variando sua tensão entre 0V e 150V.

O sinal de vídeo gerado na P21 é conectado à entrada G do amplificador de vídeo, invertida e aplicada ao emissor de T3 (somador do sinal G). A polarização da base de T3 é alterável pelo trimpot TP5 e, com ele, pode-se ter mais um ajuste de brilho para o sinal de vídeo. A alimentação para T3, assim como para os outros três transistores somadores (que no Sistema 700 não são usados), é fornecida por T1, que por sua vez é controlado através do potenciômetro externo. Este é o ajuste de intensidade de imagem acessível externamente. A malha no emissor de T3 permite uma rápida comutação para a saturação enquanto T6 é usado quando os transistores somadores comutam para o corte. Do emissor de T6, o sinal de vídeo é aplicado no cátodo do cinescópio.





6.4 Controlador de Winchester - Control 11

A placa Control 11 é uma expansão que pode ser conectada à máquina num dos slots livres da P21 para controlar um Winchester de 5, 10 ou 15 Mbytes.

Seu funcionamento baseia-se na operação do HDC (Hard Disk Controller) WD-1010, que realiza as funções de leitura, gravação, formatação, gerador e verificador de CRC, além de controlar as funções de posicionamento do Winchester. Durante a leitura, ele é auxiliado pelo DP 8460, que é o separador de dados para disco rígido. A transferência de dados entre a memória e o controlador de Winchester é feita por DMA (acesso direto à memória), ou seja, a CPU2 da P21 fica com seu barramento em three-state. Esta transferência ocorre a 512 bytes (1 setor) de cada vez. A transferência de dados do WD 1010 para o Winchester é feita a 5Mbits/seg.

Quando uma transferência de dados vai se processar, a P21 envia IORQ para a Control 11, que será usada como CS no WD 1010. Em seguida, a CPU2 da P21 ativa RD e comanda A0, A1 e A2 para selecionar o registrador de status do WD 1010 e verificar se o drive está pronto e se não há condição de erro. Se tudo estiver correto, a CPU2 da P21 carrega os registradores do WD 1010 com a posição do Winchester onde vai se processar a operação. Neste momento o WD 1010 ativa BCS e coloca o Z80 da P21 em three-state (BUSRQ), que responde com um BUSAK. Ai começa a transferência por DMA. O WD 1010 inicializa os três contadores, C15, C16 e C17 (74LS393, 74LS93 e 74LS191, respectivamente) em cujas saídas tem-se o endereçamento para o buffer de 1Kbyte da P21. O endereço sofre um incremento de 1 a cada byte transferido da memória para o WD 1010. Quando o conteúdo de um setor inteiro é transferido, o WD 1010 desativa o (BCS) e devolve à CPU2 sua autonomia. O clock para os contadores é gerado pelo WD 1010 chaveando WE e RE (o primeiro durante uma leitura e o segundo durante gravação do Winchester).

Os dados entram ou saem da placa pelo buffer bidirecional 74LS245 (CI 4), habilitado pelo BCS e direcionado por WE e RE (três sinais do WD 1010) através do MUX CI 18 (74LS157). O byte paralelo que entra no WD 1010 (D0-D7) é serializado e sai pelo pino 21 (WD). O trem de pulso passa pelo latch CI 21 (74LS175), que tem 10MHz de clock. Por este latch passam também os sinais EARLY (adiantar) e LATE (atrasar), gerados pelo WD 1010, que serão usados na pré-compensação da gravação, adiantando ou atrasando o trem de pulsos com relação ao campo de dados no disco rígido.

As três fases dos dados serializados (atrasada, normal e adiantada) são geradas pela linha de atraso 5025 e selecionadas no CI 22 (MUX 74LS151). Daí o sinal é entregue ao 26LS31 (diferenciador), que fornece sinais diferenciais para quatro conectores dos quatro Winchester possíveis. Se uma leitura está sendo feita, os dados seriais e diferenciados passam pelo 26LS32 (CI 9), que os converte em níveis TTL. A seleção entre as quatro possíveis fontes de dados é feita pelo MUX CI 7 (74LS151), controlado pelo barramento de dados da CPU2, através do CI 28 (latch 74LS174). Do CI 7 os dados passam para o separador de dados DP-8460 (CI 8). Inicialmente, a linha de dados contém um preâmbulo composto de 2 bytes de zeros e uns (2 bytes de cada), detectados pelo CI 6 (one shot 74LS123), que envia ao pino 34 (DRUN) do WD 1010 um pulso do tamanho do preâmbulo avisando que os dados seriais estão chegando. O WD 1010 ativa RG (pino 38), informando ao DP 8460 que ele está ciente da chegada dos dados. Durante o preâmbulo, o DP 8460 sincronizou-se na frequência e na fase do trem de pulsos e agora separa os dados dos pulsos de clock, que vêm juntos do Winchester, e os envia ao WD 1010: dados do SYND (pino 13) para o RD do WD 1010 (pino 37) e clock do RC (pino 19) para o RC do WD 1010 (pino 39). O WD 1010 vai transformar esta informação serial num byte paralelo. A informação lida é então enviada à memória da P21 byte a byte, saindo do barramento do WD 1010 (D0-D7) e passando pelo buffer bidirecional CI 4 (74LS245). Durante esta transferência, a memória da P21 é novamente endereçada pelos contadores da Control 11 (CIs 12, 16 e 10).

Os sinais de controle são comuns a todos os Winchester conectados, sendo que apenas um de cada vez é selecionado (sinal DS0, DS1, DS2, ou DS3) pelos sinais gerados através do CI 29 (74LS138), comandado pelo barramento de dados da P21. O barramento de dados da CPU2 da P21 gera também os sinais para seleção das cabeças do drive (HS0, HS1 ou HS2), através do latch CI 28 (74LS174). Os outros sinais de controle são gerados ou recebidos pelo WD 1010. Ele gera: RWC (redução da corrente de gravação), um pulso gerado a cada quatro cilindros fazendo com que o Winchester diminua o fluxo de corrente na cabeça de leitura/gravação; WG (habilita gravação), quando em 1, avisa ao Winchester que a operação corrente é uma gravação e em 0 informa que é uma leitura; STP (passo) comanda a cabeça do drive ao avançar uma trilha; DIR (direção) indica ao Winchester em que direção a cabeça deve movimentar-se, sendo que em nível 0 faz com que o movimento seja das trilhas exteriores para as interiores.



O WD 1010 recebe os seguintes sinais de controle: SC (posicionamento completo) indica que a cabeça já atingiu a trilha requerida; TR0 (trilha zero) indica que a cabeça está posicionada sobre a trilha zero; WF (falha na gravação) indica que o drive apresentou erro durante a gravação; INDX (índice) está ativo em nível 1 sempre que o pulso de índice é enviado pelo disco rígido; DRDY (drive pronto) avisa ao WD 1010 que o Winchester está pronto para operar normalmente.

6.5 Teclado - PTL 15

O teclado do Sistema 700 é do tipo capacitivo e compõe um módulo separado da unidade central. Sua concepção e seu funcionamento são semelhantes aos dos teclados capacitivos usados nos outros equipamentos PROLOGICA.

Seu funcionamento é controlado por um processador 8035 que gera a varredura das linhas do teclado; lê, na matriz do teclado, as teclas pressionadas; serializa o byte (de 8 bits) correspondente à tecla apertada e envia este trem de pulsos, juntamente com pulsos de clock, para a unidade central.

As instruções necessárias ao funcionamento da placa estão contidas na EPROM CI 9 (2716) de 2K x 8. Nesta EPROM está armazenada também a tabela de caracteres do teclado (código de posição para código ASCII).

Quando o 8035 vai ler instruções na EPROM, ele gera endereçamento através do barramento de dados (DB0-DB7) e por P20, P21 e P22 (pseudoporta 2), ao mesmo tempo que ativa ALE (pino 11). Este sinal habilita o latch CI 10 (LS373) e o endereçamento é gravado em suas saídas. Em seguida, a EPROM é selecionada pelo 8035 por intermédio de PSEN (pino 9) e o seu conteúdo é lido pelo processador. Quando não há varredura na matriz, as linhas estão em +12V e as colunas em +5V. Na varredura, a linha selecionada fica em 0V e este nível é induzido para a coluna da matriz, caso alguma tecla daquela linha seja acionada.



Para a leitura da matriz de teclado, o 8035 usa a porta quase bidirecional 1 (P10-P17). Os bits P16 e P17 selecionam um dos dois conjuntos de seis portas Nands das linhas da matriz, enquanto os outros bits (P10-P15) selecionam uma das seis Nands do conjunto.

O bit ativado estará em nível 1. Durante a geração da varredura, PROG (pino 25) está em nível 0 habilitando o latch CI 4 (LS373). Ao mesmo tempo, PROG também está habilitando os dois conjuntos de portas Nands. A linha selecionada fica em nível 0 e, se alguma tecla desta linha estiver ativada, este nível é induzido para a coluna correspondente. Esta coluna, normalmente com +5V, vai para nível 0V, que é aplicado na entrada inversora do A.O. (LM339) daquela coluna. Na sua entrada não inversora existe +4V conseguidos num divisor de tensão. Quando não há varredura, a entrada inversora é mais positiva (+5V) que a entrada não inversora (+4V) e na saída temos 0V. Quando uma das colunas possui nível 0V (tecla pressionada), a saída do respectivo A.O. fica em nível 1 (+5V) e esta condição é gravada no CI 10. Durante a leitura da matriz, PROG vai para nível 1, desabilitando as Nands e lendo o conteúdo do CI 10. O byte lido, juntamente com o gerado para varrer as linhas, fornece, para o 8035, o código de posição da tecla pressionada.

Agora este código de posição vai ser convertido para código ASCII. À exceção das teclas de função, todas as outras têm um código correspondente em ASCII gravado na EPROM (CI 9). O código de posição lido pelo 8035 vai ser usado por este CI como endereço da EPROM, pelo barramento de dados (DB0-DB7) e pela porta 2 (P20-P22). Neste endereço estará contido o caractere ASCII correspondente à tecla pressionada, que será serializado pelo processador 8035 e enviado à unidade central juntamente com pulsos de clock (através de P26 e P27, respectivamente). As teclas de função têm seu código de posição serializado pelo 8035 e enviado à unidade central, já que este código será interpretado pelo S.O.

O led indicador do Caps Lock é ativado por intermédio do bit P25 da pseudoporta 2. O cristal fornece um clock de 6MHz para funcionamento da placa. O Reset, gerado na unidade central, é um sinal de entrada na PTL 15. Esta placa recebe alimentação de +5V e +12V.

7. DESCRIÇÃO DOS PRINCIPAIS CIs

7.1 Z80 CPU

O Z80 CPU é um microprocessador de 8 bits que contém 208 bits de memória interna acessíveis ao programador. Essa memória RAM estática é dividida em oito registradores de 8 bits e quatro registradores de 16 bits.

Os registradores de 8 bits são os seguintes:

- A - acumulador
- B - registrador
- C - registrador
- D - registrador
- E - registrador
- F - flag
- H - registrador
- L - registrador

O acumulador e o flag são usados para fins quase específicos, enquanto os demais ficam expostos a toda sorte de processamento de dados.

Os quatro registradores de 16 bits ou de uso especial, isto é, específico, obedecem a certas rotinas de processamento intrínsecas à lógica do Z80. São eles:

- Contador de programa (PC):

Este registrador contém os 16 bits de endereçamento da instrução que está sendo procurada. Todas as vezes que o Z80 busca uma instrução este registrador é automaticamente incrementado em 1. Em essência, significa que quando o Z80 está executando um ciclo de busca de instrução as dezesseis vias de barramento de endereço (A0-A15) apresentam o valor corrente do registrador PC (Program Counter).



- Ponteiro de topo da memória (SP):

Este registrador difere do registrador PC no seguinte tópico: tem seus 16 bits de endereçamento colocados nas vias de endereço do Z80 (A0-A15) quando o processador está transferindo dados de um de seus registradores internos para o banco de memória externa (RAM) ou quando transfere dados da memória externa (RAM) para um de seus registradores internos.

As duas instruções que fazem com que o Z80 coloque o conteúdo do registrador SP (Stack Pointer) nas vias de endereçamento (A0-A15) são POP e PUSH.

POP - Transfere da memória externa (RAM) para a memória interna do microprocessador.

PUSH - Transfere da memória interna do microprocessador para a memória externa (RAM).

- Registrador IX e Registrador IY:

Estes dois registradores são usados para realizar endereçamento indexado, isto é, apontar em qual região da memória externa (RAM) está contido o byte a ser transferido. Quando o Z80 endereça alguma região intermediária de memória externa, é apresentado nas vias de endereçamento (A0-A15) o corrente valor do registrador PC e os registradores IX e IY. É que o registrador SP apresenta sempre e somente o endereço do último byte locado na memória externa (RAM), enquanto os registradores IX e IY apresentam endereços de qualquer região da memória externa.

PINAGEM

(1-5/30-40) - A0-A15

Barramento de endereços unidirecional por onde são enviados todos os endereços tanto para memória quanto para os dispositivos periféricos. Esse barramento é formado por dezesseis vias que totalizam 65.536 endereços $(2)^{16}$ para a memória; uma vez que utiliza apenas de A0 a A7 para selecionar periféricos, têm-se 256 seleções $(2)^8$ possíveis.



Para o ciclo de Refresh são utilizadas as vias de A0 a A6. Quando a CPU responde a algum pedido de barramento (BUSRQ) ou está resetada, esse barramento fica em three-state.

(6) - CLOCK

Entrada de clock responsável pelas articulações lógicas dos contadores e flip-flops internos, além de proporcionar frequência de referência para sincronismo de execuções dos ciclos de máquina.

(7-10/12-15) - D0-D7

Barramento de dados por onde circulam todas as transferências de dados entre o microprocessador e os dispositivos externos. Todas as vias são bidirecionais e seu direcionamento depende do nível lógico dos pinos RD e WR. Assim como o barramento de endereços, este barramento também fica em three-state mediante as mesmas condições.

(11) - VCC

Pino de alimentação 5V.

(16) - INT

Esta entrada, ativa em nível lógico 0, é usada por dispositivos periféricos a fim de que a CPU aceite uma requisição de interrupção.

Para que a CPU aceite o pedido de interrupção é necessário que os flip-flops de interrupção (IFF) estejam setados em nível lógico 1 (via software). Satisfeita essa condição, o microprocessador, ao final do atual ciclo de máquina, responde à aceitação da interrupção ativando as saídas IORQ e M1 em nível lógico 0; caso contrário, a CPU continuará seu processamento normalmente. Mesmo que o flip-flop de interrupção esteja setado, a CPU não aceita requisição de interrupção caso a entrada de requisição de barramento (BUSRQ) esteja ativada em 0.



(17) - NMI

A entrada de requisição de interrupção NMI tem prioridade sobre a entrada INT. Dá-se a ela a denominação "Não-mascarável", uma vez que para a CPU aceitar esse pedido de interrupção não importa o estado lógico em que se encontra o flip-flop de interrupção. A CPU não aceita o pedido de interrupção não-mascarável caso a entrada de pedido de barramento (BUSRQ) esteja ativada em 0. Se a entrada BUSRQ não estiver ativada e um pedido de NMI ocorrer, a CPU atenderá a esse pedido ao final do corrente ciclo de máquina, carregando o registrador PC com 0066H e depositando esse endereço nas vias de endereçamento (A0-A15) a fim de ler a instrução contida nesse endereço da memória externa. Para tal processamento são ativadas as saídas de controle M1, MRQ e RD.

(18) - HALT

Esta saída fica ativada em nível lógico 0 sempre que a CPU efetuar uma instrução de software conhecida como HALT. A instrução HALT faz com que o Z80 pare o processamento e execute NOPs (No Operation) a fim de que sejam realizados os Refresh nas memórias RAMs dinâmicas. Para que a CPU saia do estado de HALT e continue seu processamento é necessário que receba uma requisição de interrupção através da entrada INT ou NMI.

(19) - MRQ

Esta saída, ativa em nível lógico 0, indica para os dispositivos externos que o barramento de endereços contém um endereço para varredura de memória, seja o ciclo de leitura (MRQ e RD), gravação (MRQ e WR) ou ciclo de busca de instrução (M1, MRQ e RD). O que vale dizer que esta saída é ativada sempre que a CPU faz busca de instrução ou transfere dados com a memória externa.

(20) - IORQ

Esta saída, ativa em nível lógico 0, indica que a CPU está nesse atual ciclo de máquina selecionando um dos dispositivos periféricos, através das vias de endereços A0-A7, para transferência de dados. Se o Z80 estiver emitindo dado ao dispositivo selecionado, as saídas de controle IORQ e WR são ativadas; caso contrário, isto é, se a CPU estiver buscando dado no periférico, então são acionadas as saídas de controle IORQ e RD. Há uma outra ocasião em que o Z80 ativa a saída IORQ. É quando a CPU aceita uma requisição de interrupção: como resposta ao pedido, são acionadas as vias de controle M1, IORQ e RD.

(21) - RD

Esta saída, ativa em nível lógico 0, indica que no corrente ciclo de máquina a CPU está lendo dado da memória (ROM e RAM) ou de algum dispositivo periférico. Se for leitura de memória, são ativadas as vias de controle MRQ e RD; se for leitura de dado em algum periférico, são ativadas as vias de controle IORQ e RD.

(22) - WR

Esta saída, ativa em nível lógico 0, indica que no corrente ciclo de máquina o Z80 está gravando dado na memória (MRQ e WR) ou em algum dispositivo periférico (IORQ e WR) selecionado pelas vias de endereçamento A0-A7, dentro de um ciclo de requisição de periférico.

(23) - BUSAK

Esta saída, ativa em nível lógico 0, é usada pelo Z80 como resposta ao pedido de barramento da CPU por algum dispositivo qualquer, isto é, quando algum periférico requisita os barramentos de endereços, dados e algumas vias de controle, através da entrada BUSRQ. O Z80, ao final do atual ciclo de máquina, coloca essas vias e barramentos em three-state (durante um ciclo de máquina) e indica ao dispositivo requerente que o mesmo pode processar nos barramentos, uma vez ativada a saída BUSAK.

(24) - WAIT

Esta entrada, ativa em nível lógico 0, indica para a CPU que a memória ou o periférico endereçado não estão prontos para a transferência de dados. Quando a entrada WAIT está ativada, todos os níveis lógicos dos barramentos permanecem sem qualquer alteração. Durante o tempo em que essa entrada permanecer ativada, a CPU ficará paralisada. O que vale dizer que se a CPU continuar por muito tempo em estado de WAIT, as memórias RAMs dinâmicas perderão seus dados, pois o Z80 não pode realizar ciclos do Refresh. Esta entrada é geralmente usada para sincronizar a CPU com periféricos ou memórias lentas.

(25) - BUSRQ

Esta entrada, ativa em nível lógico 0, é usada pelos dispositivos periféricos externos para requisição dos barramentos de endereço, dados e algumas vias de controle. Ao final do corrente ciclo de máquina o Z80 responde ao dispositivo requerente que o mesmo pode usar os barramentos (pois já se encontram em three-state), ativando a via de controle BUSAK.

(26) - RESET

Esta entrada, ativa em nível lógico 0, zera todos os registradores e flip-flops internos. Quando a CPU sai do estado de Reset, o primeiro processamento a ser realizado é um ciclo de busca de instrução no endereço 0000H.

(27) - M1

Esta saída, ativa em nível lógico 0, indica que a CPU está realizando um ciclo de busca de instrução (M1, MRQ e RD) ou respondendo a algum pedido de interrupção (M1, IORQ e RD).



(28) - RFSH

Esta saída, ativa em nível lógico 0, indica que a CPU está realizando um ciclo de Refresh; por isso, o barramento de endereços tem em suas vias A0-A6 um endereço válido para varredura das linhas das memórias RAMs dinâmicas.

7.2 8251 USART

O 8251 é um receptor/transmissor universal síncrono/assíncrono (USART) designado para comunicação de dados em sistemas com microcomputadores. A USART é vista como um periférico e programada para processos de comunicação serial síncrona/assíncrona de dados.

A USART recebe dados seriais e os converte em paralelos para o processador e vice-versa. O status de sua comunicação inclui formato de dados de erro e sinais de controle para avaliação do processo de tempos em tempos.

PINAGEM

(1,2,27,28,5-8) - D0-D7

Via de dados. Entrada e saída de dados de 8 bits usados para interfacear o processador com a USART; também envolve-se na transferência de palavras de controle e Status.

(3) - RXD

Recepção de dados. Entrada serial dos dados para a USART.

(4) - GND

Terra. Pino de alimentação, GND.



(9) - TXC

Transmissão do clock. Controla a faixa de transmissão serial.

(10) - WR

Escrita de dados. Entrada ativa em nível lógico baixo para acesso ou controle da palavra que será escrita pelo processador na USART.

(11) - CS

Seleção do chip. Entrada que seleciona a USART para funcionamento.

(12) - C/D

Entrada que determina se na via de dados se encontra informação de controle (quando em nível alto) ou se as informações são dados (quando em nível lógico baixo).

(13) - RD

Leitura de dados. Um nível lógico baixo nesta entrada instrui o 8251 para encaminhar as informações de dados ou status até a via de dados para que o processador possa ler.

(14) - R x RDY

Esta saída indica ao processador que o buffer de recepção está pronto. Normalmente é ligada a estruturas de interrupção.

(15) - T x RDY

Transmissão pronta. Sinaliza qual acesso ao lado transmitido está pronto.



(16) - SYNDET/BRKDET

Detecção de sincronismo/detecção de break. A função SYNDET é usada apenas no modo síncrono. A função BRKDET pode ser usada em ambos os modos (assíncrono e síncrono) e referem-se a eventos de comunicação.

(17) - CTS

Limpeza para transmitir. Habilita a USART a transmitir os dados seriais. Este sinal equivale a uma preparação das vias de transmissão.

(18) - T x E

Transmissor vazio. Sinal de saída no qual o processador indica à USART que mais dados podem ser enviados.

(19) - T x D

Transmissão de dados. Saída serial dos dados da USART.

(20) - CLK

Pulso de clock. Entrada do sinal de clock destinado a circuito interno de tempo.

(21) - RESET

Esta entrada, quando excitada, força a USART a um modo de paralisação.

(22) - DSR

Dados prontos. Esta entrada pode ser testada pelo processador para informação da via de status.

(23) - RTS

Requisição envio. Esta saída é controlada pela palavra de comando. Normalmente usada para requisição de linha de comunicação com modem.

(24) - DTR

Terminal de dados pronto. Saída controlada pela palavra de comando.

(25) - R x C

Recepção do clock. Sinal de entrada de controle da faixa de recepção serial.

(26) - VCC

+5 volts. Pino de alimentação: +5V.

7.3 WD 1010 - Controlador de disco Winchester

PINAGEM

(12-19) - D0-D7

Barramento de dados. Oito linhas bidirecionais three-state para transferência de dados, status e comandos.

(6) - RE

Habilitação de leitura. Linha bidirecional three-state. Tem a função de entrada quando o registrador do WD 1010 está sendo lido pela CPU e de saída quando o WD 1010 lê o buffer externo.



(7) - WE

Habilitação de gravação. Linha bidirecional three-state. Tem a função de entrada quando a CPU grava no registrador do WD 1010 e de saída quando o WD 1310 grava no buffer externo.

(9-11) - A0-A2

Endereçamento. Entradas usadas para selecionar os registradores do WD 1010.

(8) - CS

Habilitação - Entrada. A CPU usa este pino para acessar os registradores do WD 1010.

(3) - INTRQ

Saída ativa sempre que uma operação é completada.

(5) - MR

Master Reset. Entrada de Reset usada para inicializar a lógica do componente.

(1) - BCS

Seleção de buffer. Saída para habilitar um buffer externo durante gravação ou leitura.

(35) - BRDY

Buffer pronto. Entrada que avisa ao controlador que o buffer de setor está pronto.

(2) - BCR

Reset de contador. Saída que o WD 1010 utiliza para inicializar os contadores nas operações de leitura e gravação.



(36) - BDRQ

Requisição do buffer. Saída para requisitar um buffer de setor.

(40) - VCC

Alimentação: +5V.

(20) - VSS

Terra: 0V.

(4) - NC

Não conectado.

(21) - WD

Dados para gravação. Saída de dados seriais com clock MFM para o Winchester.

(25) - WCLK

Clock para gravação. Entrada de 5MHz para operação do WD 1010.

(24) - WG

Habilitação de gravação. Saída para informar ao Winchester se a operação é de leitura (nível 0) ou de gravação (nível 1).

(23) - EARLY / (22) - LATE

Adiantar/atrasar. Sinais de saída usados na pré-compensação de gravação para adiantar ou atrasar a informação serial.



(37) - RD

Leitura de dados. Entrada dos dados seriais decodificados pelo separador de dados.

(39) - RCLK

Clock de leitura. Entrada dos pulsos de clock enviados pelo separador de dados para leitura dos mesmos.

(38) - RG

Habilitação de leitura. Saída para informar ao separador de dados que o WD 1010 está pronto para receber os dados serialmente.

(34) - DRUN

Sinalização dos dados. Entrada que informa ao WD 1010 que o preâmbulo no campo de dados acaba de chegar à Control 11.

(27) - STEP

Passo. Saída para comandar a cabeça do Winchester a avançar uma trilha.

(26) - DIR

Direção. Saída que determina qual a direção do movimento da cabeça do Winchester.

(28) - DRDY

Drive pronto. Entrada que indica ao controlador que o drive tem sua velocidade estabilizada (3.600 RPM) e está pronto para realizar transferência de dados.



(30) - WF

Falha de gravação. Entrada que indica que houve erro no drive durante uma gravação.

(31) - TRØ

Trilha Ø. Entrada que indica ao WD 1Ø1Ø que a cabeça do drive está posicionada na trilha Ø.

(29) - INDEX

Índice. Entrada que é ativa sempre que a marca de índice do disco rígido é encontrada.

(33) - RWC

Redução da corrente de gravação. Saída programada para informar ao drive que deve ser reduzido o fluxo de corrente na cabeça durante a gravação.

(32) - SC

Seek completo. Entrada que indica que a operação de posicionamento da cabeça está completa.

7.4 846Ø

O DP846Ø é um separador de dados que efetua a separação dos dados do trem de pulsos que contém os dados e o clock lidos do W5ØØ.

Para separar os dados é necessário que o DP846Ø faça a locação de frequência do seu VCO interno com a frequência do trem de pulso entrante. Essa locação deve ocorrer nos dois primeiros bytes do GAP1.



GAP1 são os 32 primeiros bits de 0 e 1 que anunciam o início do setor na trilha; o formato do GAP1 é o seguinte: 010101010101010101010101010101010101.

Após a locação de frequência o separador de dados emite pela saída DSYNC o bit sincronizado com o clock que sai pelo pino read clock. O bit é dirigido para a entrada de dados do registrador de deslocamento interno do controlador de hard disk WD 1010 e o clock por sua vez mobiliza esse bit para a saída de dados desserializados.

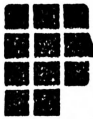
(1) - RPG2

Uma vez que o separador de dados pode operar em seis frequências diferentes, essa entrada polariza uma malha de amplificação interna a fim de que a mesma tenha sua resposta em frequência dentro da faixa de frequência do trem de pulso (Data Rate) proveniente da unidade de hard disk. A unidade de medida do trem de pulso é em megabits por segundo, o que em frequência corresponderia em mesma escala a MHz. O valor do resistor acoplado a essa entrada é diretamente proporcional ao Data Rate, de acordo com a seguinte tabela:

RPG2 (OHMS)	DATA RATE (megabits/seg)
1600	2,0
4700	5,0
1900	10,0
750	15,0
300	20,0
0	25,0

(2) - IBSET

Quando o VCO interno do separador de dados está colocando-se em posição no intuito de oscilar na mesma frequência do trem de pulso entrante, o mesmo utiliza uma grande escala de corrente, proveniente de um gerador de corrente chamado Charge Pump. Para o gerador fornecer essa corrente ao VCO, drena corrente das entradas IBSET (pino 2) e IRSET (pino 3); porém, quando o VCO estiver oscilando na mesma frequência do Data Rate, esse oscilador passa a requerer a metade da corrente utilizada para a locação, refletindo dessa forma que o gerador de corrente passe a fluir elétrons em sua saída com a metade do índice até então requerido.



Assim sendo, o gerador de corrente passa a consumi-la apenas da entrada IRSET (pino 3), ficando a entrada IBSET (pino 2) desacoplada da malha interna de realimentação até que se faça necessária a sua utilização no tocante à eficácia de drenagem de corrente do VCO, quando este estiver em operação de locação de frequência.

(3) - IRSET

Entrada já explicada na descrição do pino 2.

(4) - CPOUT

A saída do gerador de corrente apresenta essa entrada, a fim de que nela sejam colocados elementos filtrantes que possam filtrar o sinal enviado à entrada de alimentação do VCO interno.

(5 e 6) - VCO C1, C2

Entre essas entradas é colocado um capacitor que define a frequência de operação do VCO interno.

(7) - RVCO

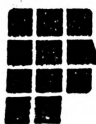
O valor do resistor colocado nessa entrada determina o melhor ponto quiescente de trabalho para o oscilador controlado por tensão (VCO).

(8) - VCO CLOCK

Esta saída apresenta clocks na mesma frequência de operação do VCO. É usada para manter uma frequência de referência quando o separador de dados trabalha em circuitos de gravação de dados em hard disk.

(9) - P.C.T.

Este pino é a saída de uma lógica "OR" interna comparadora de fase, e pode ser usada para testes na mídia do disco da unidade de hard disk.



(10) - ZEROES/ONES

O separador de dados utiliza os dois primeiros bytes do GAP1 para situar-se na mesma frequência do trem de pulso codificado em MFM. Ocorre que o separador reconhece apenas os 16 bits 0 ou os 16 bits 1 do GAP1. Se essa entrada estiver em nível lógico 1 são reconhecidos os bits 0 do GAP1; caso contrário, isto é, se estiver em nível lógico 0, são reconhecidos os bits 1 do GAP1.

(11) - M.C.D.

Quando o separador de dados está lendo e separando o trem de pulso (Data Rate) proveniente do hard disk, pode ocorrer que seja detectada a falta de algum clock de sincronismo no Data Rate. Para suprir a falta desse clock na saída de clock de sincronismo (Read Clock), é enviado automaticamente um clock pela saída Missing Clock Detected.

(12) - GND

Terra.

(13) - SYNC DATA

Após a separação do Data Rate em bit e clock, o bit separado é enviado pela saída Synchronized Data (dado sincronizado) e o clock de sincronismo pela saída Read Clock (clock de leitura), pino 19.

(14) - N.R.Z.

Esta saída apresenta o mesmo Data Rate (codificado em MFM) da entrada de dados, codificado em código N.R.Z.

(15) - L.D.

Esta saída fica ativada em nível lógico 0 mediante locação de frequência e reconhecimento dos níveis lógicos do GAP1. Permanece em nível lógico 0 até que a entrada Read Gate (pino 16) seja desativada.



(16) - R.G.

A entrada Read Gate, ativa em nível lógico 1, é usada pelo controlador de hard disk a fim de que o DP8460 seja selecionado para operar no modo de leitura.

(17) - D.D.

Entrada que determina o tempo de atraso para que a ativação da entrada Read Gate (pino 16) seja reconhecida pelo separador de dados. Na Control 11 o atraso é fixo na ordem de 100ns.

(18) - S.P.L.

Esta entrada, quando conectada à saída Lock Detected (pino 15), permite ao separador de dados entrar no modo de leitura de trilhas mais internas (maior densidade) imediatamente após a locação de frequência ter ocorrido.

(19) - R.C.

A saída Read Clock emite um clock de sincronismo a cada bit enviado pela saída Sync Data (pino 13).

(20) - E.D.

Entrada de dados codificados em MFM provenientes da unidade de hard disk.

(21) - 2F-C

Nessa entrada é depositada a frequência de referência para operação dos circuitos internos do DP8460. Geralmente, é o dobro da frequência da entrada Encoded Data (pino 20). Na Control 11 a frequência da entrada 2F clock é igual a 10MHz.



(22-23) - PG1, PG3

Estas entradas são disponíveis para conexão de elementos filtrantes do circuito interno Pulse Gate. Este circuito permite a passagem de sinais de referência do VCO para o comparador de fase interno.

(24) - VCC

Alimentação de 5V +-5%.

7.5 CRT 8002

O CRT 8002 é um controlador de atributos de vídeo cujas características são as seguintes:

a) Frequência de trabalho:

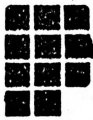
- CRT 8002 A 20MHz
- CRT 8002 B 15MHz
- CRT 8002 C 10MHz

Tempo de acesso: 400ns

b) Opera com caracteres alfanuméricos e gráficos, ambos com matriz 7 x 11.

c) Controle de apagamento vertical e horizontal.

d) Capacidade de armazenamento interno: 128 caracteres.



e) Atributos operacionais:

- Video reverso
- Invisível
- Piscante
- Sublinhado
- Enfatizado

f) Atributos operacionais de cursor:

- Sublinhado
- Sublinhado piscante
- Video reverso
- Video reverso piscante

PINAGEM

(1) - Video Output

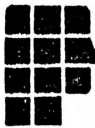
Por esta saída é executada a modulação da varredura dos elementos de imagem do cinescópio; corta ou satura os transistores do estágio pré-amplificador de vídeo conforme incandescência ou não do corrente elemento de imagem.

(2) - LD/SH

Esta entrada seleciona um dos dois registradores internos acoplados à saída serial ou à entrada paralela. Se este pino estiver em nível lógico 0, o registrador de deslocamento serial de saída serializa cada bit a ser enviado à saída Video Output mediante um clock na entrada Video Dot Clock Pulse (pino 3). Se estiver em nível lógico 1 o registrador de deslocamento paralelo que está acoplado às entradas de dados é habilitado.

(3) - VDC

Entrada para frequência de referência de clock dos registradores de deslocamento da entrada e saída.



(4-11) - A0-A7

Barramento de endereço usado para selecionar ou endereçar conforme o modo de operação. Veja-os a seguir:

- a) Modo alfanumérico: as vias de A0 a A6 (A7 não importa) são internamente decodificadas a fim de endereçar apenas um entre os 128 caracteres disponíveis.
- b) Modo externo: A0-A7 são usados para introduzir um byte provindo de alguma memória externa (ROM ou RAM) dentro da lógica de atributo do chip.
- c) Modo gráfico largo: A0-A7 são usados para definir somente um entre os 256 formatos gráficos.
- d) Modo gráfico estreito: A0-A2 são usados para definir três segmentos de linha.

(12) - VCC

Alimentação de 5V em relação ao terra.

(13-16) - R0-R3

Estas quatro entradas definem o endereço da linha da matriz do corrente caractere em varredura.

(17) - GND

Terra do circuito interno do controlador.

(18) - ATTBE

Quando esta entrada está em nível lógico 1 habilita as seguintes entradas, a fim de serem armazenadas no latch interno do chip durante a transição negativa do pulso da entrada LD/SH (pino 2):

- Video reverso (pino 21)
- Caractere invisível (pino 22)
- Caractere sublinhado (pino 20)



- Caractere enfatizado (pino 19)
- Caractere piscante (pino 24)
- Seleção de modo 0 (pino 26)
- Seleção de modo 1 (pino 25)

O carregamento do latch é desabilitado quando este pino está em nível lógico 0. Os atributos armazenados permanecerão carregados até que esta entrada fique em nível lógico 1 novamente.

(19) - STKRU

Quando esta entrada estiver em nível lógico 1 e a entrada RETBL for igual a zero (pino 28), todas as entradas paralelas do registrador de deslocamento são forçadas em nível lógico 1, a fim de que toda a linha do caractere ora em varredura seja enfatizada. A separação de caractere enfatizado é modificada pela varredura de vídeo reverso, isto é, os elementos de imagem que se encontram em nível lógico 0 na matriz do caractere são pigmentados e enfatizados. Usa-se geralmente a lógica XOR para este tipo de operação. Internamente, há uma ROM para decodificar a contagem de linha em que o caractere enfatizado deve ser modulado, assim como para programar de 1 até N linhas que devam ser varridas enfatizadamente.

(20) - VNDLN

Quando esta entrada estiver em nível lógico 1 e RETBL for igual a zero (pino 28), todas as entradas paralelas do registrador de deslocamento da saída são forçados em nível lógico 1, a fim de que toda a linha da matriz do caractere ora em varredura seja segmentada. A diferença entre essa entrada e a STKRV (pino 19) é que geralmente a VNDLN varre apenas a linha inferior da matriz do caractere a fim de que seja mantida incandescente e assim o sublinhe, enquanto na entrada STKRV todas as linhas da matriz do caractere são decodificadas para provocar o enfatizamento.

(21) - REVID

Quando esta entrada estiver em nível lógico 0 e RETBL for igual a zero, o dado contido na lógica de atributos é apresentado diretamente às entradas do registrador de deslocamento da saída.

Quando REVID está em 1, o dado contido na lógica de atributo é invertido e apresentado às entradas paralelas do registrador de deslocamento da saída. Esta operação inverte toda a linha de varredura de caractere.

(22) - CHABL

Quando esta entrada estiver em nível lógico 1, todas as entradas do registrador de deslocamento da saída são resetadas para nível lógico 0, a fim de que uma linha inteira da matriz do caractere ora em varredura seja mantida apagada.

(23) - VSYNV

Esta entrada é usada para fornecer clocks aos divisores de frequência internos que geram as frequências de varredura do caractere piscante. A frequência é dividida por quatro ou trinta para cursor e dividida por oito ou sessenta para caractere.

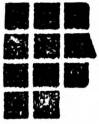
(24) - BLINK

Quando esta entrada estiver em nível lógico 1, RETBL for igual a zero (pino 28) e também CHABP for igual a zero (pino 22), o caractere piscará conforme a frequência programada. Os caracteres assumem formas piscantes, atribuindo-lhes varredura invisível em algumas modulações. A frequência de caractere piscante é 1,875Hz.

(25-26) - MS1-MS0

Estas duas entradas definem os quatro modos de operação do CRT 8002:

- a) Modo alfanumérico
- b) Modo gráfico estreito
- c) Modo externo
- d) Modo gráfico largo



Todos os modos estão descritos na explicação dos pinos 4-11 (A0-A7).

MS1	MS0	MODO
1	1	alfanumérico
1	0	gráfico estreito
0	1	modo externo
0	0	gráfico largo

(27) - CURSOR

Quando esta entrada estiver habilitada, um entre os quatro modos de cursores serão ativados.

- Sublinhada
- Sublinhada piscante
- Bloco em vídeo reverso
- Blobo em vídeo reverso piscante

(28) - RETBL

Quando esta entrada estiver em nível lógico 1, as entradas paralelas do registrador de deslocamento da saída incondicionalmente serão resetadas (nível lógico 0) e carregadas no registrador no próximo pulso da entrada LD/SH, pino 2.

7.6 DP 8350

DP 8350 é um controlador de tubo de raios catódicos cuja função primordial é controlar os sincronismos vertical e horizontal, além de gerenciar a varredura das matrizes dos caracteres a serem modulados.

- a) O CRTC apresenta onze vias para controle de interfaceamento e sincronismos:



(23) - D.R.C.

Esta saída é usada em sincronização e interfaceamento do registrador de deslocamento da saída de vídeo.

(18) - L.V.S.R.

Saída ativa em \emptyset usada para carregamento do registrador de deslocamento da saída de vídeo.

(24) - L.C.G.A.

É uma saída usada para carregar o latch de endereçamento do gerador de caracteres. O dado para o latch pode vir tanto do buffer de linha (MM5035) quanto da memória de vídeo.

(16) - L.B.C.

Usada para deslocar o conteúdo do buffer de linha a fim de que seja apresentado o endereço do próximo caractere a ser modulado.

(13) - L.R.L.

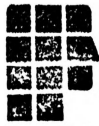
É uma saída usada para gerar sinal de clock para os contadores internos do gerador de caracteres.

(6-9) - L.C.O.

Estas quatro saídas são usadas para gerar a seleção de cada linha de caractere, quando o gerador de caractere usado não apresentar contadores internos de seleção.

(10) - C.L.C.

Esta saída é usada para resetar os contadores do gerador de caractere ao final de cada caractere impresso, a fim de prepará-los para novas contagens na varredura do próximo caractere.



(12) - L.B.R.E.

Esta saída, quando em nível lógico 1, habilita o registrador de deslocamento externo MM5035 a carregar-se internamente com o mesmo dado ora desserializado pelo registrador de deslocamento da saída de vídeo. Essa operação ocorre a fim de que uma linha inteira seja gravada no MM5035 e, se for necessário imprimir a mesma linha de caracteres na linha de vídeo subsequente, o controlador de vídeo faz com que os dados gravados no registrador de deslocamento de oitenta colunas (MM5035) sejam veiculados para o barramento do desserializador da saída de vídeo.

b) Controles para varredura da memória de vídeo:

(25-35) - All-A0

Estas doze saídas são usadas para varrer as memórias de vídeo.

(37) - R.A.E.I.

Esta entrada controla os contadores acoplados às saídas A0-All. Para que a RAM de vídeo possa ser varrida, é necessário que esta entrada esteja em nível lógico 0; caso contrário, isto é, em 1, teremos que A0-All estarão em three-state.

(1,38 e 39) - Register Select B, Register Load e Register Select A:

Através destas três entradas são realizadas as seleções dos três registradores acessíveis ao usuário, que são:

- Registrador de topo de página. Este registrador contém o endereço do primeiro byte a ser impresso no vídeo.
- Registrador de início de linha. Este registrador contém o endereço do caractere a ser impresso no início de cada linha de vídeo.



-
- Registrador de cursor. Este registrador contém o endereço onde o cursor deve ser varrido na tela.

A tabela de seleção é a seguinte:

Reg. A	Reg. B	Reg. Load Input	Reg. Acessado
0	0	0	Nenhum
0	1	0	Topo da página
1	0	0	Início de linha
1	1	0	Cursor
X	X	1	Nenhum

c) Saídas para controle de vídeo.

(14) - H. SYNC

Saída geradora de pulsos para controle de varredura horizontal dos YOKES horizontais depositados no circuito de controle automático de frequência CAF.

(4) - V. SYNC

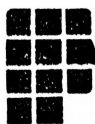
Esta saída emite frequências de 50Hz ou 60Hz (conforme o nível lógico do pino 3) a fim de serem utilizadas no circuito oscilador vertical, que projeta seus pulsos nos YOKES de varredura vertical.

(19) - C.E.

Esta saída serializa quando o cursor deve ser varrido. Sempre que o conteúdo do registrador de endereço do cursor for igual ao endereço apresentado nas saídas A0-All, esta saída permanece em nível lógico 1.

(2) - V.B.O.

Esta saída permanece em nível lógico 1 durante o retraço de apagamento vertical.



(15) - S.L.

Esta entrada, quando em nível lógico 0, reseta os registradores de cursor e topo de página, isto é, reseta o controlador para reiniciar o ciclo de varredura analogamente, como se tivesse executado um retraço de apagamento vertical.

(11) - C.G.P.I.

Esta entrada é usada em conjunto com a saída L.B.R.E. (pino 12). Quando C.G.P.I. estiver em nível lógico 0, a saída L.B.R.E. assumirá nível lógico 0 durante a varredura da última linha da matriz do corrente caractere. Se a entrada C.G.P.I. estiver em nível lógico 1, a saída L.B.R.E. assumirá nível lógico 0 durante a varredura da primeira linha da matriz do corrente caractere.

(17) - E.C. / L.R.C.

Esta entrada é usada para testes no controlador de vídeo. Sua finalidade não visa ao envolvimento no processamento normal do controlador.

(21-22) - C.I. X1 e X2

Entradas para conexão de cristais osciladores. A frequência de trabalho do controlador é estipulada pelo valor hertziano do cristal.

(3) - 50/60Hz

A frequência de varredura vertical é discriminada nessa entrada. Se estiver em nível lógico 0, a frequência vertical é igual a 50Hz; se em nível lógico 1, a frequência vertical é 60Hz.

d) Alimentação

- 40 VCC: 5V
- 20 GND: terra



7.7 MM5035

O MM5035 é um registrador de deslocamento octal de 80 bits utilizado em sistemas periféricos de controle de vídeo. Todas as entradas e saídas são compatíveis à família TTL.

As lógicas internas de recirculação de dados e clocks visam a minimizar possíveis lógicas externas no tocante a contadores.

O dispositivo requer apenas uma alimentação de 5V.

O MM5035 pode ser interfaceado diretamente ao controlador de vídeo DP8350.

a) Operação de reciclagem.

A reciclagem é usada para manter os dados no registrador de deslocamento após este ter sido carregado. Enquanto isso ocorre, a entrada Recirculate (pino 1) deve estar em nível lógico 0. Quando o carregamento estiver completo, a entrada Recirculate deve ser setada para nível lógico 1. Esta operação desabilita as entradas de dados (pinos 12-19) e desloca os últimos 8 bits ora desserializados para a primeira célula de memória de registrador, isto é, a reciclagem.

PINAGEM

(1) - RECIRCULATE

Entrada para reciclagem interna de dados.

(2-9) - OUTPUT 8-1

Saídas de dados que contêm o dado da última célula de memória do registrador.

(10) - VSS

Terra.

(11) - CLOCK IN

Entrada de clock responsável pelo deslocamento dos dados contidos nas oitenta colunas de células de memória do registrador.

(12-19) - INPUT 1-8

Entrada de dados responsável pelo carregamento do registrador.

(20) - VDD

Alimentação de 5V.

7.8 BR 1941

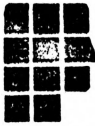
Este componente atua como um divisor de frequência programável. É capaz de gerar uma série de frequências (16) a partir de um único cristal oscilador conectado a ele, de acordo com uma seleção entre suas quatro entradas.

(1) - XTAL

Ligação de um dos terminais de um cristal oscilador.

(2) - VCC

Alimentação +5V.



(3) - FR

Saída da frequência gerada a partir da seleção nas entradas receptoras (Rn).

(4-7) - RA, RB, RC e RD

Entradas receptoras para seleção da frequência do pino FR(3). Ver tabela.

(8) - STR

Entrada ativa em nível 1, carrega o conteúdo das entradas receptoras no registrador de seleção do CI.

(9) - VDD

Alimentação +1.2V.

(10) - NC

Não conectado.

(11) - GND

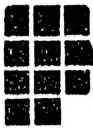
Alimentação. Terra.

(12) - STT

Entrada ativa em nível 1, carrega o conteúdo das entradas transmissoras no registrador de seleção do CI.

(13-16) - TA, TB, TC e TD

Entradas transmissoras para seleção da frequência do pino FT (17). Ver tabela.



(17) - FT

Saída da frequência gerada a partir da seleção nas entradas transmissoras.

(18) - XTAL2

Ligação de um dos terminais do cristal oscilador.

CRYSTAL FREQUENCY = 5 0688 MHZ

Transmit/Receive Address				Baud Rate	Theoretical Frequency 16X Clock	Actual Frequency 16X Clock	Percent Error	Duty Cycle %	Driver
D	C	B	A						
0	0	0	0	50	0.8 KHz	0.8KHz	—	50/50	8336
0	0	0	1	75	1.2	1.2	—	50/50	4224
0	0	1	0	110	1.76	1.76	—	50/50	2880
0	0	1	1	134.5	2.152	2.1523	0.016	50/50	2355
0	1	0	0	150	2.4	2.4	—	50/50	2112
0	1	0	1	300	4.8	4.8	—	50/50	1056
0	1	1	0	600	9.6	9.6	—	50/50	528
0	1	1	1	1200	19.2	19.2	—	50/50	264
1	0	0	0	1800	28.8	28.8	—	50/50	176
1	0	0	1	2000	32.0	32.081	0.253	50/50	156
1	0	1	0	2400	38.4	38.4	—	50/50	132
1	0	1	1	3600	57.6	57.6	—	50/50	88
1	1	0	0	4800	76.8	76.83	—	50/50	66
1	1	0	1	7200	115.2	115.2	—	50/50	44
1	1	1	0	9600	153.6	153.6	—	44/52	32
1	1	1	1	19.200	307.2	316.8	3.125	50/50	16

BR1941-00

7.9 FDC 1793

O FDC-1793 é um controlador de drives de 5 1/4" ou de 8" que efetua as funções de movimentação da cabeça do drive, gravação e leitura de dados com verificação (CRC), podendo operar nos modos de simples ou dupla densidade.

Descrição da pinagem:

1 - NC

Não conectado. Internamente, este pino está ligado ao substrato do chip e deve ser deixado desconectado.

2 - WE (Write Enable)

Um nível lógico baixo nesta entrada faz com que o FDC efetue a leitura dos dados contidos no barramento, desde que CS seja igual a zero.

3 - CS (Chip Select)

Um nível lógico baixo nesta entrada habilita o FDC 1793.

4 - RE (Read Enable)

Um nível lógico baixo nesta entrada faz com que o dado contido no registrador selecionado por A0 e A1 seja colocado no barramento de dados.

5,6 - A0-A1 (Register Select Lines)

Estas entradas selecionam os diversos registradores internos do FDC para entrada/saída de dados, controladas pelos sinais RE e WE de acordo com a tabela abaixo:

A1	A0	RE	WE
0	0	registro de status	registro de comando
0	1	registro de trilha	registro de trilha
1	0	registro de setor	registro de setor
1	1	registro de dados	registro de dados

7-14 - D0 a D7 (Linhas de acesso de dados)

São oito linhas bidirecionais usadas para receber e transmitir dados, controle e status do FDC.



15 - STEP

Pulso de passo para o step-motor do drive. Para cada pulso o cabeçote do drive desloca-se uma trilha.

16 - DIRC (Direction)

Indica a direção de deslocamento do step-motor do drive. Se zero, este se deslocará da trilha 0 para a trilha 40.

17 - EARLY

Quando ativo em nível lógico alto, este sinal indica que o dado a ser gravado deve ser adiantado para pré-compensação de gravação.

18 - LATE

Quando ativo em nível lógico alto, este sinal indica que o dado a ser gravado deve ser atrasado para pré-compensação de gravação.

19 - MR (Master Reset)

Um nível baixo nesta entrada reseta o FDC 1793, gravando 03H no registro de comando. Quando MR volta a 1 é executado um comando de Restore (o cabeçote do drive vai para a trilha zero) e é carregado 01H no registrador de setor.

20 - GND (Ground)

Terra.

21 - VCC

+5V

22 - TEST

Esta entrada é usada para testes gerais e deve ser ligada aos +5V.

23 - HLT (Head Load Timing)

Este sinal é utilizado para reconhecer quando a cabeça de leitura/gravação está em contato com o disco. É ativa em nível lógico alto.

24 - CLK (CLOCK) Entrada de clock do FDC

Além do clock, esta entrada também indica qual o tipo de drive que está sendo usado pela frequência de operação (2MHz - 8"; 1MHz - 5 1/4").

25 - RG (Read Gate)

Um sinal alto nesta saída indica ao circuito separador de dados que um campo de "zeros" ou "uns" foi encontrado e utilizado para sincronização.

26 - RCLK (Read Clock)

Um clock de onda quadrada derivado do sinal de leitura deve ser aplicado nesta entrada. A fase entre este sinal e o sinal Raw Read é importante para a leitura.

27 - Raw Read

Os dados lidos do disco vêm diretamente para esta entrada. O sinal deve possuir uma transição negativa (de 1 para 0) para cada transição de fluxo gravada.

28 - HLD (Head Load)

Este sinal controla o atracamento do solenóide do drive para posicionar a cabeça de leitura/gravação sobre o disco. É ativo em nível lógico alto.



29 - TG43 (Track Greater Than 43)

Este sinal serve para indicar que a cabeça de leitura/gravação ultrapassou a trilha 43 e que deve ser iniciado o processo de pré-compensação de gravação.

30 - WG (Write Gate)

Sinal de saída, ativo em nível lógico alto, serve para indicar ao drive que serão gravados dados.

31 - WD (Write Data)

Pino por onde os dados saem serializados e com pulsos de sincronismo.

32 - READY

Entrada quando em nível lógico alto que indica que o drive está pronto para operações de leitura/escritura. Caso esteja em nível baixo e seja tentada uma leitura ou gravação de dados, o FDC gera um pedido de interrupção à CPU.

33 - WF (Write Fault)

Este é um sinal bidirecional que tem como função indicar erro de gravação no disco e habilitar o circuito separador de dados. Quando WG for igual a 1, WF funciona como entrada. Se nesse momento WF for forçado a zero, todas as operações de escrita serão imediatamente terminadas. Quando WG for igual a zero, WF funciona como saída. Este sinal irá a nível lógico baixo durante uma operação de leitura, após HLT ter ido a 1.

34 - TR00 (Track 00)

Esta entrada informa ao FDC que a cabeça de leitura/gravação do drive está posicionada na trilha zero.



35 - IP (Index Pulse)

Esta entrada informa ao FDC que foi encontrado o furo de index do disco.

36 - WPRT (Write Protected)

Esta entrada é testada sempre que um comando de gravação é recebido. Se seu valor for zero, é interrompido o comando e setado o bit de "proteção contra gravação" do byte de status.

37 - DDEN (Double Density)

Esta entrada faz a seleção entre os modos de simples e dupla densidade. Se DDEN for igual a zero, é selecionado o modo dupla densidade.

38 - DRQ (Data Request)

Esta saída indica que o registrador de dados contém dados prontos para a leitura ou que o registrador está vazio durante operações de gravação de dados. Deve ser usado um resistor de pull-up de 10K nesta saída.

Obs.: Saída do tipo "coletor aberto".

39 - INTRQ (Interrupt Request)

Esta saída é setada após o término ou finalização de qualquer operação e resetada durante a introdução de um novo comando ou quando o registrador de status é lido. Deve ser ligado um resistor de pull-up de 10K nessa saída.

Obs.: Saída do tipo "coletor aberto".

40 - VDD

+12V.

7.10 PPI 8255

O circuito integrado 8255 é uma interface paralela programável. Sua utilização visa principalmente a transferências paralelas de dados, além de possibilitar controles de hardware e leitura de status do mesmo.

É formado por quatro barramentos distintos:

- Barramento octal bidirecional de dados por onde a CPU comunica-se com as demais portas (barramentos).
- Porta A. Barramento formado por oito vias bidirecionais. Pode trabalhar como entrada ou saída, dependendo da programação da PPI. Quando trabalha como saída, tem a propriedade de deixar gravado no barramento da porta (PA0-PA7) o byte enviado pela CPU, até que esta acesse essa mesma porta e mude os níveis lógicos das vias em questão. Pelo fato dessa porta ter como saída um latch octal, mesmo que o CS (pino 6) seja desativado os dados presentes na porta continuam imutáveis, até que a mesma seja acessada.
- Porta B. Merece os mesmos conceitos da porta A; contudo, suas vias recebem a seguinte nomenclatura: PB0-PB7.
- Porta C. Idem porta A para PC0-PC7.

A PPI pode trabalhar em três modos diferentes:

- Modo 0. As portas A, B e C podem ser entradas ou saídas. Note que se alguma porta for entrada, não implica que as outras duas devam ser também; o mesmo se aplica caso alguma seja saída, isto é, cada porta pode assumir entrada ou saída independentemente da forma de trabalho das demais portas.
- Modo 1. As portas A e B podem ser usadas como entrada ou saída e a porta C para controle e leitura do hardware.
- Modo 2. A porta A é usada como entrada ou saída, a porta C para controle e leitura do hardware e a porta B não é usada.

Para a CPU acessar as portas existem quatro pinos disponíveis, dos quais dois (A1 e A0) selecionam a porta e os outros dois (WR e RD) indicam o direcionamento do fluxo de dados, isto é, se vai ser transferido do barramento de dados para a porta selecionada (WR ativado) ou da porta selecionada para o barramento de dados (RD ativado).

Veja a tabela de seleção e direcionamento:

CS	A1	A0	RD	WR	
1	x	x	x	x	Barramento de dados (D0-D7) em three-state
0	0	0	0	1	Porta A para o barramento de dados
0	0	1	0	1	Porta B para o barramento de dados
0	1	0	0	1	Porta C para o barramento de dados
0	1	1	0	1	Condição inválida
0	0	0	1	0	Barramento de dados para porta A
0	0	1	1	0	Barramento de dados para porta B
0	1	0	1	0	Barramento de dados para porta C
0	1	1	1	0	Barramento de dados para a porta do registrador de controle

A seleção do registrador de controle é realizada em função da programação da PPI. O byte enviado a esse registrador recebe o nome de "Palavra de Controle" e cada bit determina uma condição de operação do 8255:

D7

Na porta C existe um flag de interrupção. Este, assim como o da CPU Z80, só é ativado quando setado em nível lógico 1.



D6 e D5

Estes 2 bits definem em qual modo operará a PPI; tal definição se faz da seguinte forma:

D6	D5	MODO DE OPERAÇÃO
0	0	modo 0
0	1	modo 1
1	0	modo 2
1	1	modo 3

D4

0	porta A será saída
1	porta A será entrada

D2

0	porta B será saída
1	porta A será entrada

D3

0	PC4-PC7 será saída
1	PC4-PC7 será entrada

D2

0	porta B operará no modo 0
1	porta B operará no modo 1

D1

0	porta B será saída
1	porta B será entrada

D0

0	PC0-PC3 será saída
1	PC0-PC3 será entrada

PINAGEM

(4-1/40-37) PA0-PA7

Porta A.

(5) RD

Entrada ativa em 0, que indica direcionamento da porta selecionada para o barramento de dados (D0-D7).

(6) CS

Entrada ativa em 0 responsável pela habilitação da PPI. Quando desativada, a entrada de dados fica em three-state.

(7) GND

Terra.

(8 e 9) A1 e A0

Entradas de seleção das portas.

(14-17/13-10): PC0PC7

Porta C.

(18-25) PB0-PB7

Porta B.

(26) VCC

Alimentação de 5V.



(34-27) D0-D7

Barramento de dados.

(35) RESET

Entrada ativa em nível lógico 1. Quando ativada, todos os registros internos são zerados e as portas assumem forma de entrada.

(36) WR

Entrada ativa em nível lógico 0. Direciona o barramento de dados para a porta selecionada.



8. TESTES

Os programas destinados para teste do Sistema 700 permite a verificação dos bancos de memória, unidades de disco, teclado, portas seriais de comunicação e alinhamento da imagem do vídeo.

- DSK700D:

Testa o banco de memória e a unidade de disco flexível.

- TECL700D:

Através da digitação de cada tecla executa-se um teste de todas as teclas.

- VID700D:

Apresenta figuras no vídeo para referência no alinhamento da imagem.

- HARD700:

Executa testes de exercício no disco rígido.

- PORT700D:

Através de um conector interligando as portas de comunicação principal e auxiliar executa o exercício de comunicação.

- TRANS700:

Programa de utilização no preparo do transporte do disco rígido.



9. CONFIGURAÇÃO E AJUSTES

Alguns ajustes do tipo tensão, linearidade do vídeo, corrente de gravação dos drives e seleção da configuração do sistema são tópicos citados nesta seção, visando a um melhor envolvimento entre o sistema e seu atendimento em campo.

- Ajuste da tensão da fonte (FT 36).

Na placa FT36 encontramos quatro trimpots para ajuste das tensões cujos pontos de teste podem ser na barra sindal, presa na carcaça da fonte ou no cabo CN1 e CN2 da placa P21.

Os trimpots deverão ser ajustados para obtenção dos valores nominais descritos na tabela abaixo. Tal procedimento requer um voltímetro DC digital e uma chave de fenda pequena.

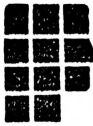
TRIMPOT	TENSÕES/CORRENTES	BARRA SINDAL	CONECTOR
TP1	+12V/1,5A (RS232/ VÍDEO)	PINO 8	CN1-3
TP2	+12V/4A (DRIVES)	PINO 10	CN2-1
TP3	+5V/3,5A (CPU)	PINO 06	CN1-4
TP4	+5V/2,5A (DRIVES)	PINO 10	CN2-4
S/AJUSTE	-12V/250NA (RS232)	PINO 4	CN1-2

- Seleção da configuração do sistema (P21).

O dip switch SW1 localizado na placa P21 configura o número de unidades de disco acopladas no sistema como sendo:

CHAVES	POSIÇÃO	CONFIGURAÇÃO
1	ON/OFF	FLOPPY-DISK F/S-F/D
2	OFF	WINCHESTER 10MB
3	OFF	TERMINAL
4	OFF	WINCHESTER 5MB
5	OFF	WINCHESTER 15MB

Obs.: Quando o sistema possuir apenas floppy-disk, as chaves de 2 até 5 deverão estar na posição ON.



- Ajuste da unidade de disco D500.

Dois ajustes podem ser feitos normalmente em campo na unidade de disco D500, além das verificações de conexão e limpeza de praxe.

Para o ajuste da corrente de gravação utilizaremos um voltímetro DC digital e uma chave de fenda pequena, dentro dos seguintes procedimentos:

- 1) Selecionar a chave 3 do dip switch em ON, localizado na posição 1G.
- 2) Retirar o banco de resistor, terminator (resistor pack) do soquete 1F, lembrando que o pino 1 deste é conectado de maneira inversa aos demais CIs da placa.
- 3) Jumper os pinos 7 e 8 do soquete 1F.
- 4) Meça a tensão sobre o resistor R12 através de um voltímetro DC digital. Verifique a tensão nominal, segundo o valor do resistor.

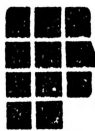
R12	VR12 $\pm 0,01V$
-----	------------------

82ohms	0,32V
--------	-------

2,70ohms	1,07V
----------	-------

511ohms	2,02V
---------	-------

- 5) Caso a tensão sobre o resistor R12 não estiver conforme tabela acima, ajuste o trimpot R23 para o valor nominal desejado.



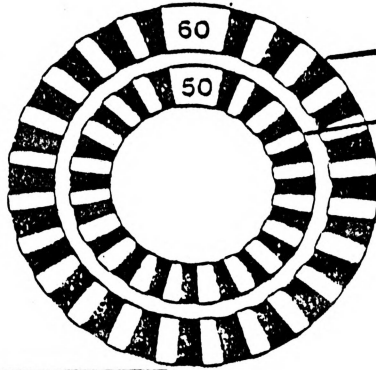
O segundo ajuste é o da velocidade de rotação do disco, que deve ser de 300 RPM. É realizado através do efeito estroboscópico na polia de rotação do disco, onde se encontram duas coroas destinadas à frequência da rede de 60Hz e 50Hz.

Se a velocidade de rotação não estiver correta, correspondente a uma não-estabilização ou "parada" dos traços na polia, deve-se seguir o seguinte procedimento:

- 1) Inserir o disco no drive a ser ajustado e acessá-lo.
- 2) Verifique o efeito estroboscópico na polia de rotação.
- 3) Varie o trimpot R38, de 50Kohms, se necessário, até a "parada" dos traços da polia.



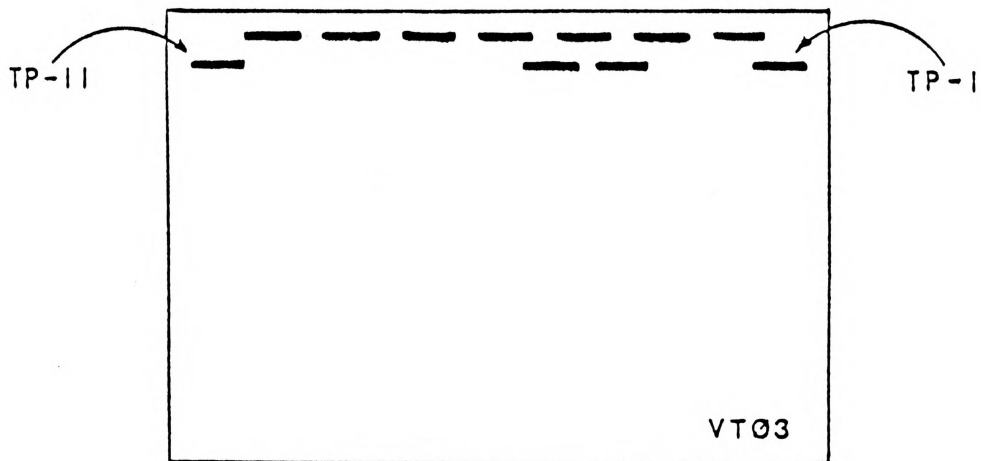
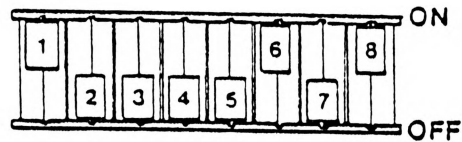
PADRÃO PARA AJUSTE DE VELOCIDADE:

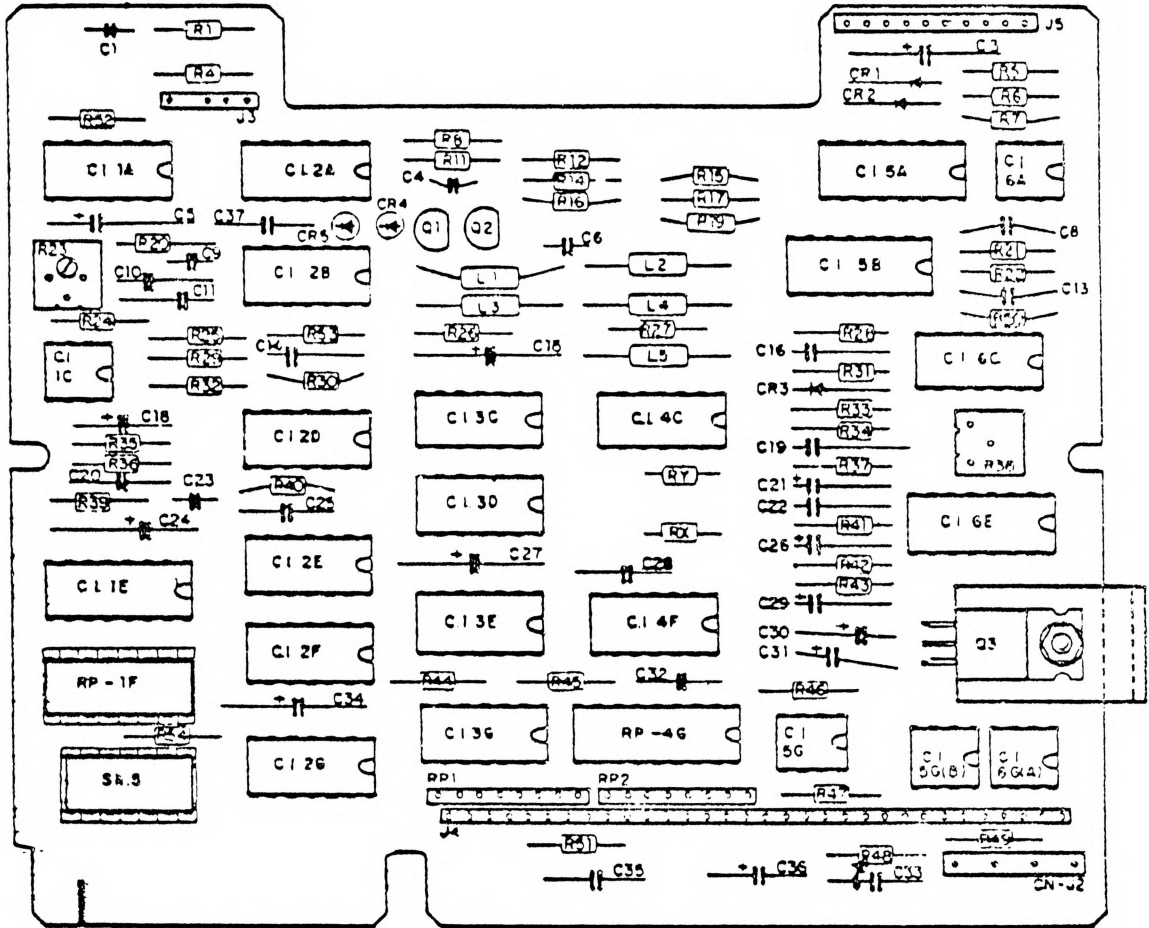


EFEITO ESTROBOSCÓPICO PARA REDE 60 Hz

EFEITO ESTROBOSCÓPICO PARA REDE 50 Hz

- 1 - MT
- 2 - DS3
- 3 - MUX
- 4 - DS2
- 5 - DS1
- 6 - DS0
- 7 - HL
- 8 - NÃO CONECTADO







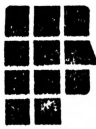
VT-03

TP1 Linearidade vertical
TP2 Frequência vertical
TP3 Altura
TP4 R (não utilizado)
TP5 G (sinal de luminância)
TP6 I (não utilizado)
TP7 B (não utilizado)
TP8 Grade 1
TP9 Grade 2
TP10 Fase (posição horizontal)
TP11 Frequência horizontal

Ajustes

- 1) A frequência horizontal (15600Hz) deve ser ajustada em TP11 até que a imagem pare de "rodar" horizontalmente na tela. Este ajuste é realizado com a placa fria e comprovado com a placa quente.
- 2) A posição horizontal da imagem é ajustada em TP10 até que esta fique centralizada horizontalmente na tela. Em nenhuma posição de ajuste de TP10 a imagem pode "rodar". Se isto acontecer, refaça o ajuste anterior. Este ajuste é feito a frio e comprovado a quente.
- 3) A alimentação da grade 2 deve ser de 300V. Esta tensão é ajustada em TP9 e medida no pino o cursor deste trimpot.
- 4) A alimentação da grade 1 é ajustada em TP8, diminuindo seu potencial até que o retraço desapareça da tela. Deve ser feito a frio.

ATENÇÃO: O cinescópico responde muito lentamente a este ajuste.



- 5) O brilho da imagem é ajustado em TP5. Devemos deixar o controle externo na posição de maior brilho e ajustar em TP5 para a condição de maior brilho da imagem sem "borrar".

- 6) A frequência vertical (60Hz) é ajustada em TP2 até que a imagem pare de "rodar" verticalmente na tela.

- 7) O ajuste da altura da imagem é feito em TP3, variando seu tamanho vertical.

- 8) No trimpot TP1 é ajustada a linearidade vertical da imagem para que os caracteres de todas as linhas da tela tenham o mesmo tamanho na vertical.

- 9) A linearidade horizontal é ajustada no indutor variável L1.

- 10) A largura horizontal da imagem é, por sua vez, ajustada no indutor variável L2.

10. LISTAGEM DE COMPONENTES

PLACA FT36 - C0DIGO 984053

TOPOL	C0DIGO	DESCRICO0
CI1 A CI4	002054	CI LIN L296
SCR	005017	TIRISTOR TIC 26 A
D1-D2	005013	DIODO RETIF. R250D
D3 A D6	005087	DIODO RETIF. V5K 540
D7	005086	DIODO RETIF. 5K4FI 101
D8-D9	005038	DIODO SIN 1N41448
C1	006162	CAP.10KPF X 550V+-20%DISCO
C2-C6	006502	330mFX500V ELETR.RAD.SERIE SLS
C7-C10	006149	CAP.4,7mFX15V, ELETR.RAD.
C11-C14	006368	CAP.33KPF X 250V, POL.METAL
C15-C18	006503	CAP.470pFX100V, DISCO +-20%, Y5F
CI19-C26	006486	CAP.470mFX16V, ELETR. RAD
C27	006446	CAP.470mFX40, ELETR. RAD
C28	006107	CAP.470pFX100V DISCO +-10%
C37	006488	CAP.2.2KpFX100V DISCO +-10%
R1	007145	RES.6K8 X 1/3 CARVAO 5%
R2	007362	RES.100 X 5W
R3	007104	RES.15K X 1/3W CARVAO 5%
R4	007041	RES.4K7X1/3W CARVAO 5%
R5	007362	RES.100 X 5W FIO
R6	007104	RES.15K X 1/3W CARVAO 5%
R7	007041	RES. 4K7 X 1/3W CARVAO 5%
R8	007362	RES.100 X 5W FIO 5%
R9	007104	RES.15K X 1/3W CARVAO 5%
R10	007041	RES.4K7 X 1/3W
R11	007362	RES.100 X 5W
R12	007104	RES.15K X 1/3W
R13	007041	RES.4K7 X 1/3W
R14	007362	RES.100 X 5W
R15	007362	RES.100 X 5W
R16-R17	007133	RES.33 X 5W
TP1-TP2	010504	TRIMPOT 10K VERTICAL REF.23064492
TP3-TP4	007577	TRIMPOT 2K2 VERTICAL
L1-L3	011105	BOBINA 220mH/4A
L4	011102	TRAFO 1-12V
FV1	016029	FUSIVEL 6A SEM RETARDO
PF1	021002	PORTA FUSIVEL
	030268	PCI FT36
	984061	CONJ.CR04
	984059	CABO CF02
	984060	CABO CF03
	984063	CABO DE ATERRAMENTO FT36

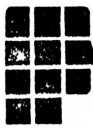
PLACA PTL15 - CÒDIGO 984051

TOPOL	CÒDIGO	DESCRIÇÃO
CI1	001216	CI TTL 74LS26
CI2	002004	CI LM 339
CI3	002004	CI LM 339
CI4	001079	CI TTL 74LS373
CI5	001213	CI TTL 74LS26
CI6	001033	CI TTL 74LS02
CI7	001216	CI TTL 74LS26
CI8	003085	CI 8035
CI9	003034	CI 2716
CI10	001079	CI TTL 74LS373
CI11	001027	CI TTL 7407
C1-C7	006014	CAP.0,1mFx25V -20% +80% DISCO
C8-C9	006167	CAP.20pFx500v -20% +80% DISCO
C10-C13	006014	CAP.0,1mFx25v -20% +80% DISCO
C14	006110	CAP.4700pFx25V PLATE
C15-C16	006030	CAP.1000mFX16V -10% +100% ELETR.
R1-R4	007037	RES.2K7 X 1/3W CARVAO 5%
R5	007041	RES.4K7 X 1/3W CARVAO 5%
R6	007030	RES.1K2 X 1/3W CARVAO 5%
R7-R14	007149	RES.470K X 1/3W CARVAO 5%
R15-R22	007041	RES.4K7 X 1/3W CARVAO 5%
R23-R30	007037	RES.2K7 X 1/3W CARVAO 5%
R31	007046	RES.10K X 1/3W CARVAO 5%
R32-R33	007039	RES.3K3 X 1/3W CARVAO 5%
R34	007013	RES.220 X 1/3W CARVAO 5%
R35	007039	RES.3K3 X 1/3W CARVAO 5%
R36-R37	007046	RES.10K X 1/3W CARVAO 5%
R38	007041	RES.4K7 X 1/3W CARVAO 5%
SQ1	010206	SOQUETE 40 PINOS CONTACTO REDONDO
SQ2	010207	SOQUETE 24 PINOS CONTACTO REDONDO
CN1	010533	CONECTOR 11P REF.50461143
CN2	010396	CONECTOR 2P TIPO BARRA DE PINOS
XTAL1	015014	CRISTAL 6MHZ
L1	008002	LED VERMELHO
	027021	PARAFUSO CAB.CIL.DIN84 M3.0X6.0
	028000	PORCA SEXTAVADA SIM934 M30
	010109	LINGUETA 040 X 45 SIMPLES (AMP)
PCI	030267	PCI PTL 15 REV.0
	984050	CABO TECLADO

PLACA P21 VER.IV-CÓDIGO 984078

TOPOL	CÓDIGO	DESCRIÇÃO
C19 A C46	006014	CAP.100000 PF X 25V
C48 A C51	006014	CAP.100000 PF X 25V
C53 A C56	006014	CAP.100000 PF X 25V
C58	006014	CAP.100000 PF X 25V
C61 A C78	006014	CAP.100000 PF X 25V
C81 A C82	006014	CAP.100000 PF X 25V
C84	006014	CAP.100000 PF X 25V
C86	006014	CAP.100000 PF X 25V
C88	006014	CAP.100000 PF X 25V
C90	006014	CAP.100000 PF X 25V
C92 A C96	006014	CAP.100000 PF X 25V
C98 A C101	006014	CAP.100000 PF X 25V
C103	006014	CAP.100000 PF X 25V
C106	006014	CAP.100000 PF X 25V
C108	006014	CAP.100000 PF X 25V
C110 A C116	006014	CAP.100000 PF X 25V
C59	006016	CAP.33 PF X 25V
C104	006016	CAP.33 PF X 25V
C107	006016	CAP.33 PF X 25V
C01	006095	CAP.100 uF X 25V
C52	006123	*****
C09	006150	CAP.10 uF X 25V
C109	006155	CAP.100000 PF X 25V
C08	006174	CAP.220 uF X 25V
C47	006174	CAP.220 uF X 25V
C79	006174	CAP.220 uF X 25V
C80	006174	CAP.220 uF X 25V
C97	006174	CAP.220 uF X 25V
C57	006179	CAP.10 PF X 25V
C102	006179	CAP.10 PF X 25V
C105	006179	CAP.10 PF X 25V
C03	006281	CAP.2700 PF X 100V
R04 A R6	007009	RES.100 R X 1/3W
R11	007009	RES.100 R X 1/3W
R12	007009	RES.100 R X 1/3W
R14	007013	RES.220 R X 1/3W
R09 A R10	007021	RES.470 R X 1/3W
R22 A R25	007021	RES.470 R X 1/3W
R21	007027	RES.1000 R X 1/3W
R13	007030	RES.1200 R X 1/3W
R20	007030	RES.1200 R X 1/3W
R26	007035	RES.2200 R X 1/3W
R27	007041	RES.4700 R X 1/3W
R02	007046	RES.10000 R X 1/3W
R03	007046	RES.10000 R X 1/3W
R07	007046	RES.10000 R X 1/3W
RP06	007079	RES.PACK 10K
RP07	007079	RES.PACK 10K
RP02	007080	RES.PACK 10K
R01	007133	RES.39000 R X 1/3W
R08	007135	RES.68 R X 1/3W

TOPOL	CÓDIGO	DESCRIÇÃO
RP03	007176	RES.PACK 150 R
RP01	007221	RES.PACK 10K
RP09 A RP10	007221	RES.PACK 10K
R15	007229	RES.22 R X 1/3W
RP05	007430	RES.PACK 1,2K
RP08	007430	RES.PACK 1,2K
RP04	007574	RES.PACK 100R
CN12	010004	CONECTOR 3 PINOS
CN01	010010	CONECTOR 6 PINOS
CN02	010056	CONECTOR 34 PINOS
CN09	010057	CONECTOR 40 PINOS
CN07 A CN08	010150	CONECTOR 25 PINOS
SQ01	010206	SOQUETE 40 PINOS
SQ03	010206	SOQUETE 40 PINOS
SQ08 A SQ10	010206	SOQUETE 40 PINOS
SQ02	010207	SOQUETE 24 PINOS
SQ06 A SQ07	010209	SOQUETE 18 PINOS
SQ04 A SQ05	010210	SOQUETE 28 PINOS
SQ11	010210	SOQUETE 28 PINOS
CN04	010392	CONECTOR EDGE 2X31
CN10	010417	CONECTOR 9 PINOS
CN06	010454	CONECTOR 6 PINOS
CN03	010459	BARRA DE 2 PINOS
CN11	010524	CONECTOR 9 PINOS
XTAL1	015001	CRISTAL 16MHZ
XTAL2	015003	CRISTAL 10,920 MHZ
XTAL3	015002	CRISTAL 5,0688 MHZ
D04	022040	FIO NU 20AWG
J02 A J06	022040	FIO NU 20AWG
J08 A J09	022040	FIO NU 20AWG
PCI	030266	PCI PROLOGICA 21 REV.0.0
CI24	001105	CI TTL 74LS125
CI48	001105	CI TTL 74LS125
CI50	001217	CI TTL 74LS73
CI63-CI64	002009	CI INT 1488
CI65-CI66	002010	CI INT 1489
CI44	003004	CI MIC DP8350
CI45	003008	CI INT MM5035
CI18	003010	CI MIC FD1791B
CI14-CI15	003013	CI MEM 2114
CI01	003016	CI MIC 8255
CI55-CI56	003018	CI INT 8251
CI57-CI58	003022	CI INT BR1941M
CI76	003023	CI MIC 8003-003A
CI16	003044	CI MEM 2732
CI03	003068	CI MIC FDC 9216
CI32 A CI39	003090	CI MEM 3764-3
T01	004017	TRANS.2N3906
D01 A D03	005002	DIODO SIN 1N914
D05	005024	DIODO ZEN 1N4743A
C02	006004	CAP.22 uF X 25V
C04 A C07	006014	CAP.100000 PF X 25V
C10 A C18	006014	CAP.100000 PF X 25V

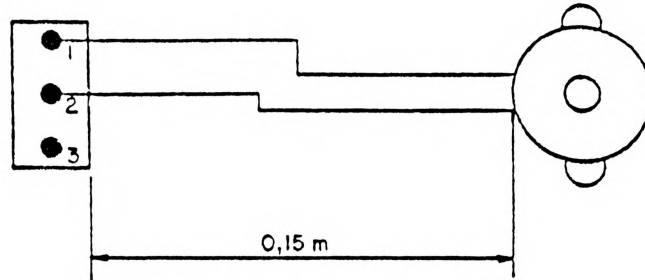


TOPOL	CÓDIGO	DESCRIÇÃO
CI21-C22	001003	CI TTL 7406
CI49	001004	CI TTL 74LS08
CI10	001019	CI TTL 74LS174
CI62	001019	CI TTL 74LS174
CI23	001021	CI TTL 74LS04
CI68	001021	CI TTL 74LS04
CI61	001022	CI TTL 74LS74
CI70	001022	CI TTL 74LS74
CI78	001022	CI TTL 74LS74
CI71	001024	CI TTL 74LS138
CI19-CI20	001028	CI TTL 74LS245
CI41	001028	CI TTL 74LS245
CI72	001028	CI TTL 74LS245
CI08	001030	CI TTL 74LS32
CI25	001030	CI TTL 74LS32
CI28	001030	CI TTL 74LS32
CI42	001030	CI TTL 74LS32
CI75	001030	CI TTL 74LS32
CI77	001031	CI TTL 74S04
CI51	001031	CI TTL 74S04
CI04	001032	CI TTL 74LS123
CI80	001032	CI TTL 74LS123
CI17	001034	CI TTL 74LS244
CI07	001036	CI TTL 74LS244
CI46	001036	CI TTL 74LS244
CI73-CI74	001036	CI TTL 74LS244
CI59	001038	CI MOS 74C74
CI11	001039	CI TTL 74LS10
CI27	001039	CI TTL 74LS10
CI12	001045	CI TTL 74LS27
CI-26	001045	CI TTL 74LS27
CI09	001047	CI TTL 74LS157
CI30-CI31	001047	CI TTL 74LS157
CI60	001048	CI TTL 74LS164
CI54	001054	CI TTL 74LS175
CI05	001055	CI TTL 74LS161
CI52-CI53	001055	CI TTL 74LS161
CI79	001060	CI TTL 74LS86
CI40	001067	CI TTL 74LS33
CI67	001072	CI TTL 74LS03
CI69	001072	CI TTL 74LS03
CI06	001084	CI TTL 74LS38
CI02	001105	CI TTL 74LS125



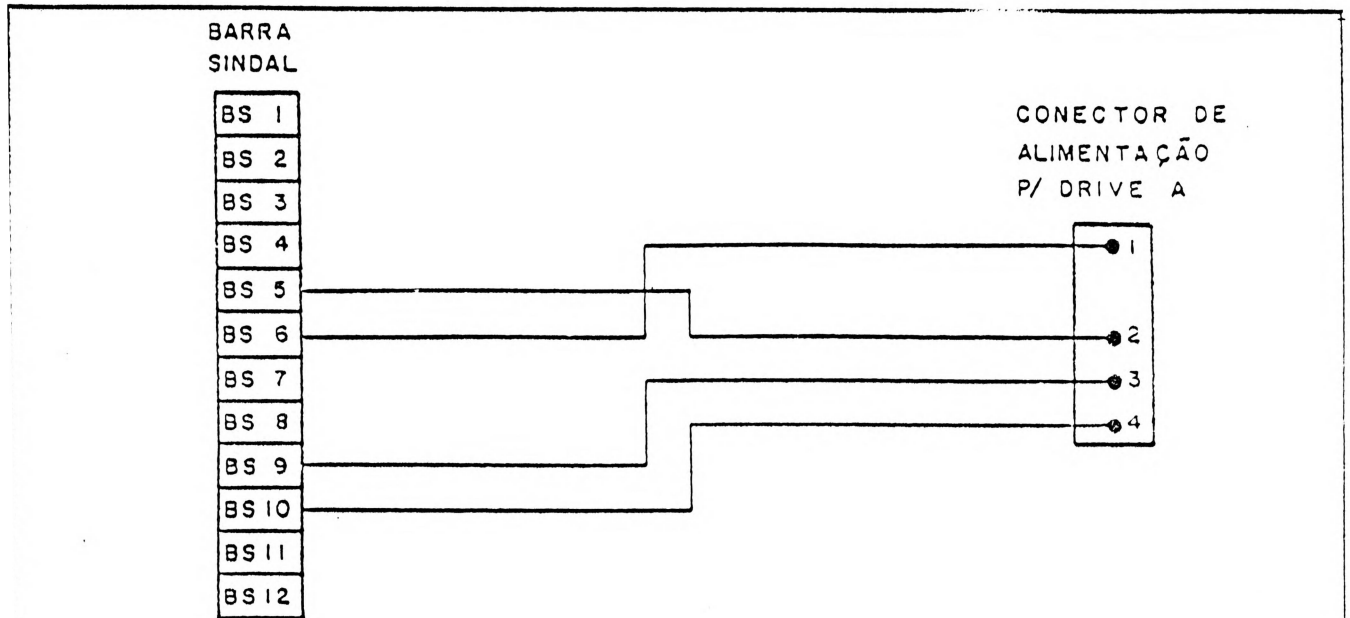
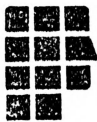
MINI LATCH HOUSING
3 PINOS P/ CN 6
PLACA P 21

BIP



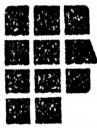
NOME	MINI LATCH P/ CN6 PL. P21	BITOLA	COR	TAMANHO
G N D	1	20 AWG	PRETO	0,15 m
SINAL	2	20 AWG	VERMELHO	0,15 m

<p>PROLOGICA microcomputadores</p>	ESTE DESENHO E TODAS AS INFORMAÇÕES NELE CONTIDAS CONSTITUEM-SE EM PROPRIEDADE DA PROLOGICA IND. E COM DE MICROCOMPUTADORES LTDA. NAO PODENDO SER REPRODUZIDO, COPIADO NEM FORNECIDO A TERCEIROS, SEM AUTORIZAÇÃO POR ESCRITO.		DES. Nº 984068-AB00
			DES. POR FERNANDO DATA 02/04/85
			VERIF POR <i>[Signature]</i> DATA
TOL GERAL (MILIMETRO) 0,1 ± 0,3 0,01 ± 0,1 0,001 ± 0,02 0,01 ± 0,2 0,001 ± 0,05 0,01 ± 30		EQUIPAMENTO S 700	
		SUB CONJUNTO Nº 984068	
		DESC. DO CABO C5 REV. 0	
ESCALA S/E	ESTE DESENHO ESQUEMA ELETRICO E TOPOLOGICO DO CABO C5		0123456789



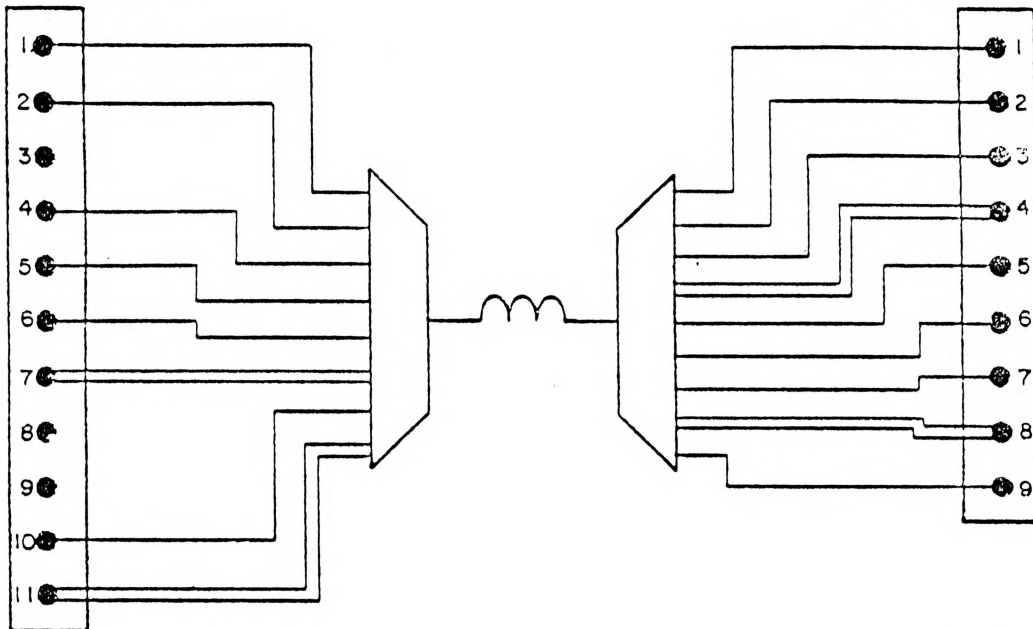
NOME	BARRA SINDAL	CONEC. DE ALIMENTAÇÃO	BITOLA	COR	TAMANHO
12 V DRIVE	BS 6	1	20 AWG	AMARELO	0,53 m
GND	BS 5	2	20 AWG	PRETO	0,54 m
GND	BS 9	3	20 AWG	PRETO	0,46 m
5 V	BS 10	4	20 AWG	VERMELHO	0,45 m

<p>PROLOGICA microcomputadores</p>	<p>ESTE DESENHO E TODAS AS INFORMAÇÕES NELE CONTIDAS CONSTITUEM-SE EM PROPRIEDADE DA PROLOGICA INO E COM DE MICROCOMPUTADORES LTDA. NAO PODEM SER REPRODUZIDO, COPIADO NEM FORNECIDO A TERCEIROS, SEM AUTORIZAÇÃO POR ESCRITO.</p>	DES. Nº 984066-AB 00	
		DES. POR FERNANDO	29 / 03 / 85
		VERIF. POR	DATA
TOL. GERAL (MILIMETRO)	EQUIPAMENTO S 700		
0 ± 0,5 0,0 ± 0,1 0,00 ± 0,02	SUB CONJUNTO Nº 984066		
0,0 ± 0,2 0,00 ± 0,05 0% ± 30	DESC. DO CABO C3 (BARRA SINDAL-CON. ALIM.)	REV. 0	
ESCALA S/E	ESTE DESENHO ESQUEMA ELETRICO E TOPOLOGICO DO CABO C3	0123456799	



CONECTOR MOLEX FEMEA
11 PINOS P/ PTL 15

CONECTOR 9 PINOS
P/ P21 CN 10



NOME	CONEC. P/ PTL 15	CONEC. P/ P 21	BITOLA	C O R
BLINDAGEM	1	3	26 AWG	FIO NÚ
CLOCK	4	1	26 AWG	AZUL CLARO
DADOS	5	6	26 AWG	VD. ESCURO
RESET	6	2	26 AWG	VERMELHO
12 V	7	4	26 AWG	CINZA MARROM
5 V	10	9	26 AWG	RS
5 V	11	8	26 AWG	BRANCO AMARELO
G N D	2	7	26 AWG	AZUL ESCURO



PROLOGICA
microcomputadores

ESTE DESENHO E TODAS AS INFORMAÇÕES NELE CONTIDAS CONSTITUEM-SE EM PROPRIEDADE DA PROLOGICA IND. E COM DE MICROCOMPUTADORES LTDA. NAO PODENDO SER REPRODUZIDO, COPIADO NEM FORNECIDO A TERCEIROS, SEM AUTORIZAÇÃO POR ESCRITO.

DES. Nº 984050-AB 00

DES. POR FERNANDO

DATA 02/04/85

VERIF. POR

DATA

TOL. GERAL (MILIMETRO)

0,1 ± 0,3 0,01 ± 0,1 0,001 ± 0,02
0,01 ± 0,2 0,001 ± 0,05 0° ± 30

EQUIPAMENTO TECLADO S 700

SUB CONJUNTO Nº 984050

DESC. DO CABO TECLADO

REV. 0

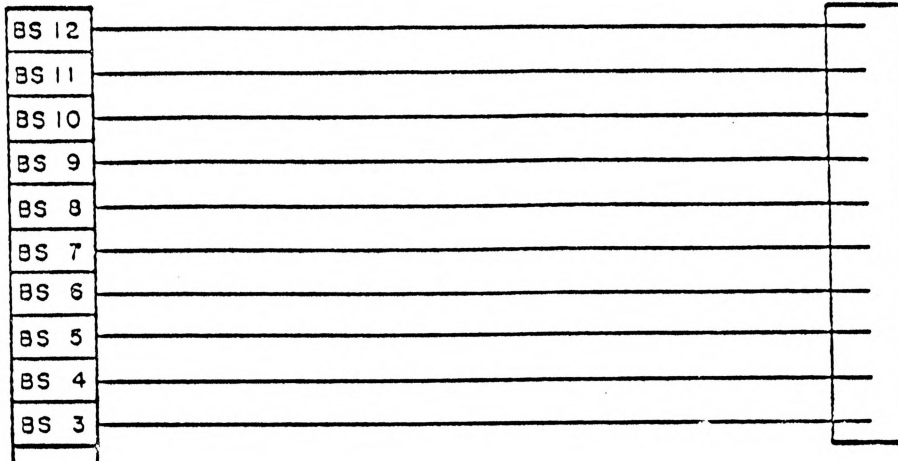
ESCALA

S/E

ESTE DESENHO

ESQUEMA ELETRICO E TOPOLOGICO DO CABO CT 1

0123456789

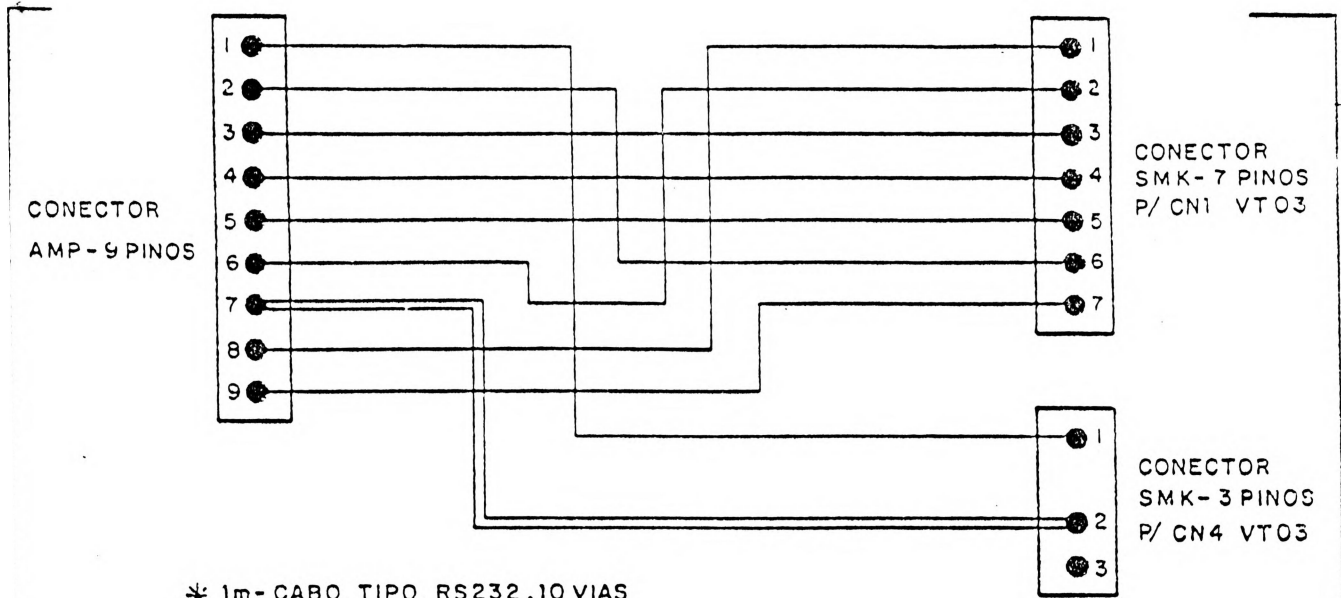
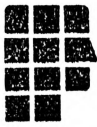


BARRA
SINDAL

PLACA
FT-36

NOME	BARRA SINDAL	PLACA FT-36	BITOLA	COR	TAMANHO
+5 V	BS 12	+5 V	18 AWG	VERMELHO	0,28
GND	BS 11	GND	18 AWG	PRETO	0,28
+5V DRIVE	BS 10		18 AWG	VERMELHO	0,15
GND	BS 9	GND	18 AWG	PRETO	0,15
+12V VIDEO	BS 8	+12 V	18 AWG	AZUL	0,23
GND	BS 7	GND	18 AWG	PRETO	0,23
+12V DRIVE	BS 6		18 AWG	AMARELO	0,16
GND	BS 5	GND	18 AWG	PRETO	0,16
-12V	BS 4	-12 V	18 AWG	LARANJA	0,14
GND	BS 3	GND	18 AWG	PRETO	0,14

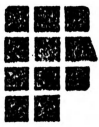
<p>PROLOGICA microcomputadores</p>	ESTE DESENHO E TODAS AS INFORMAÇÕES NELE CONTIDAS CONSTITUEM-SE EM PROPRIEDADE DA PROLOGICA INO. E COM DE MICROCOMPUTADORES LTDA. NAO PODENDO SER REPRODUZIDO, COPIADO NEM FORNECIDO A TERCEIROS, SEM AUTORIZAÇÃO POR ESCRITO.		DES. Nº 984061-AB 00
			DES. POR FERNANDO
			VERIF POR
TOL. GERAL (MILIMETROS) 0, ± 0,5 0,0 ± 0,1 0,00 ± 0,02 0,0 ± 0,2 0,00 ± 0,05 0° ± 30		EQUIPAMENTO S 700	
		SUB CONJUNTO Nº 984061	
		DESC. DO CABO CF-4 (BARRA SINDAL-PL. FT-36) REV. 0	
ESCALA S/E	ESTE DESENHO ESQUEMA ELETRICO E TOPOLOGICO DO CABO CF-4		DATA
		0123456789	




* 1m- CABO TIPO RS232, 10 VIAS

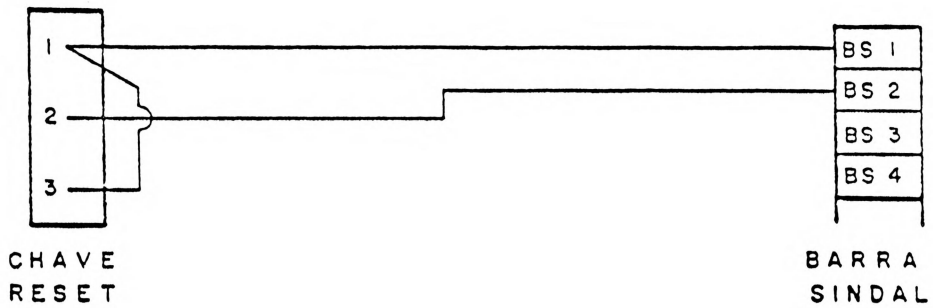
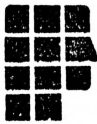
NOME	CON. AMP 9 PINOS	CON.P/ CNI VT 03	CON.P/ CN4 VT 03	COR
HORIZONTAL.	8	1	—	AMARELO
INTENSO	6	2	—	BRANCO
R (red)	3	3	—	VERMELHO
G (green)	4	4	—	VERDE
B (blue)	5	5	—	AZUL
+12 V	7	—	2	CINZA CINZA
VERTICAL	9	7	—	CINZA
TERRA DE SINAL	2	6	—	CINZA
TERRA DE POTENCIA	1	—	1	PRETO

	ESTE DESENHO E TODAS AS INFORMAÇÕES NELE CONTIDAS CONSTITUEM-SE EM PROPRIEDADE DA PROLOGICA INO E COM DEMICROCOMPUTADORES LTDA. NAO PODENDO SER REPRODUZIDO, COPIADO NEM FORNECIDO A TERCEIROS, SEM AUTORIZAÇÃO POR ESCRITO.	DES Nº 983843-AB 00
		DES POR FERNANDO
TOL GERAL (MILIMETRO) 0,1 ± 0,3 0,01 ± 0,1 0,001 ± 0,02 0,01 ± 0,2 0,001 ± 0,05 0,01 ± 0,30		VERIF POR
EQUIPAMENTO VIDEO S 700		DATA
SUB CONJUNTO Nº 983843		REV. 0
ESCALA S/E ESTE DESENHO ESQUEMA ELETRICO E TOPOLOGICO DO CABO CV1		DESC. DO CABO CV1
0123456789		




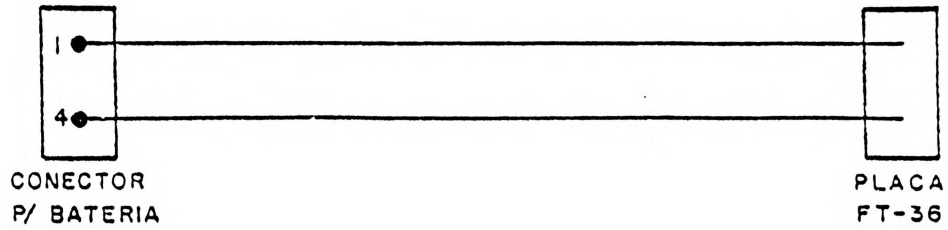
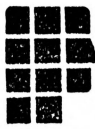
NOME	PLACA	CHASSIS	BITOLA	COR	TAMANHO
TERRA	GND	TERRA	20 AWG	AZUL	0,15

 PROLOGICA microcomputadores	ESTE DESENHO E TODAS AS INFORMAÇÕES NELE CONTIDAS CONSTITUEM-SE EM PROPRIEDADE DA PROLOGICA IND. E COM DE MICROCOMPUTADORES LTDA. NAO PODEMOS SER REPRODUZIDO, COPIADO NEM FORNECIDO A TERCEIROS, SEM AUTORIZAÇÃO POR ESCRITO.		DES. Nº 984063-AB 00
	DES. POR FERNANDO	DATA 29/03/95	
	VERIF POR:	DATA	
TOL. GERAL (MILIMETRO)		EQUIPAMENTO S 700	
$0 \pm 0,5$ $0,0 \pm 0,1$ $0,00 \pm 0,02$ $0,01 \pm 0,2$ $0,001 \pm 0,05$ $0,01 \pm 30$	SUB CONJUNTO Nº 984063		
DESC. DO CABO DE ATERRAMENTO CF-06 REV.			
ESCALA S/E	ESTE DESENHO ESQUEMA ELETRICO E TOPOLOGICO DO CABO DE ATERRAMENTO CF-06 (FT-36)		023435799



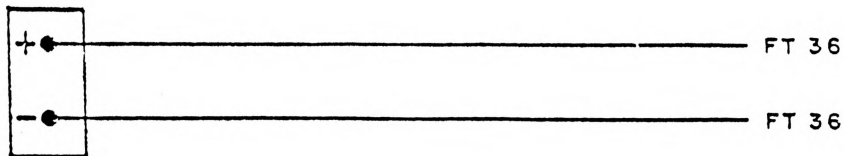
NOME	CHAVE RESET	BARRA SINDAL	BITOLA	COR	TAMANHO
RESET	1 E 3	BS 1	20 AWG	LARANJA	0,40
GND	2	BS 2	20 AWG	LILAZ	0,34

 PROLOGICA microcomputadores	ESTE DESENHO E TODAS AS INFORMAÇÕES NELE CONTIDAS CONSTITUEM-SE EM PROPRIEDADE DA PROLOGICA IND. E COM DE MICROCOMPUTADORES LTDA. NAO PODENDO SER REPRODUZIDO, COPIADO NEM FORNECIDO A TERCEIROS, SEM AUTORIZAÇÃO POR ESCRITO.	DES. Nº 984062-AB 00	
		DES. POR FERNANDO	DATA 28/03/85
		VERIF. POR	DATA
TOL GERAL (MILIMETRO) 0,1 ± 0,5 0,0 ± 0,1 0,00 ± 0,02 0,0 ± 0,2 0,00 ± 0,05 0° ± 30		EQUIPAMENTO S 700	
ESCALA S/E		SUB CONJUNTO Nº 984062	
ESTE DESENHO ESQUEMA ELETRICO E TOPOLOGICO DO CABO CF 5			
		DESC. DO CABO CF 5 (CH. RESET-BARRA SINDAL) REV. 1	
		023456789	



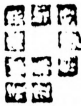
NOME	CONEC. P/ BATERIA	PLACA FT-36	BITOLA	COR	TAMANHO
24 V	1	BAT.	18 AWG	AZUL	0,26
GND	4	GND	18 AWG	PRETO	0,26

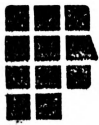
	ESTE DESENHO E TODAS AS INFORMAÇÕES NELE CONTIDAS CONSTITUEM-SE EM PROPRIEDADE DA PROLOGICA INO. E COM. DE MICROCOMPUTADORES LTOA. NAO PODENDO SER REPRODUZIDO, COPIADO NEM FORNECIDO A TERCEIROS, SEM AUTORIZAÇÃO POR ESCRITO.		DES. Nº 984060-AB 00
	DES. POR	FERNANDO	DATA 02/04/85
	VERIF POR		DATA
TOL. GERAL (MILIMETRO) 0, ±0,5 0,0 ±0,1 0,00 ±0,02 0,0 ±0,2 0,00 ±0,05 0' ±30		EQUIPAMENTO S 700	
		SUB CONJUNTO Nº 984060	
		DESC. DO CABO CF 3	
ESCALA S/E	ESTE DESENHO	ESQUEMA ELETRICO E TOPOLOGICO DO CABO CF 3	
		023456/89	



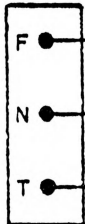
PONTE DE
DIODOS

NOME	PONTE DE DIODOS	PLACA FT 36	BITOLA	COR	TAMANHO
24 V	+	+24 V	18 AWG	AZUL	0,26
GND	-	GND	18 AWG	MARROM	0,26

 PROLOGICA microcomputadores	ESTE DESENHO E TODAS AS INFORMAÇÕES NELE CONTIDAS CONSTITUEM-SE EM PROPRIEDADE DA PROLOGICA INO. E COM DE MICROCOMPUTADORES LTDA. NAO PODENDO SER REPRODUZIDO, COPIADO NEM FORNECIDO A TERCEIROS, SEM AUTORIZAÇÃO POR ESCRITO.	DES. Nº 984059-AB 00	
		DES. POR FERNANDO	DATA 29/03/85
		VERIF. POR <i>[Signature]</i>	DATA
TOL. GERAL (MILIMETRO) 0, ± 0,5 0,0 ± 0,1 0,00 ± 0,02 0,0 ± 0,2 0,00 ± 0,05 0, ± 30		EQUIPAMENTO S 700	
		SUB CONJUNTO Nº 984059	
		DESC. DO CABO CF 2	
ESCALA S/E ESTE DESENHO ESQUEMA ELETRICO E TOPOLOGICO DO CABO CF 2		REV. 0	
		Ø123456789	



CONECTOR DE ALIMENTAÇÃO DE LINHA (STECKER)



CHAVE L/D



ATERRAMENTO NO CHASSIS

NOME	CONEC. ALIM.	CHAVE L/D	CHASSIS	BITOLA	COR	TAMANHO
FASE	F	1		20 AWG	VERMELHO	0,55
NEUTRO	N	4		20 AWG	BRANCO	0,55
TERRA	T		TERRA	20 AWG	AZUL	0,10

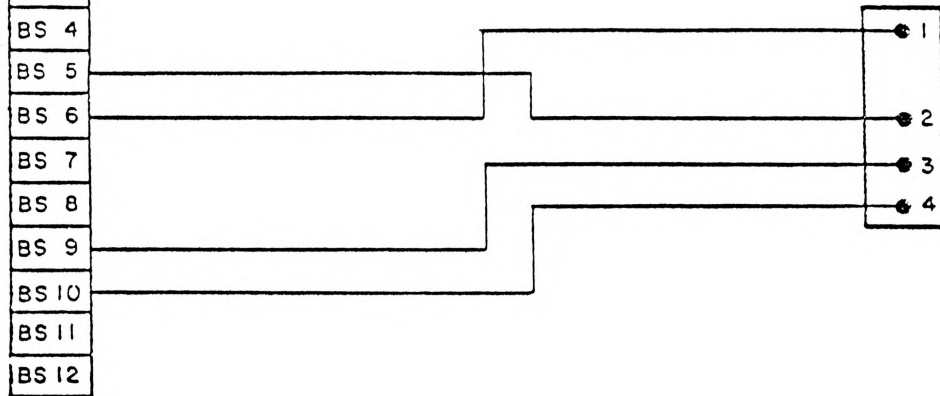
<p>PROLOGICA microcomputadores</p>	<p>ESTE DESENHO E TODAS AS INFORMAÇÕES NELE CONTIDAS CONSTITUEM-SE EM PROPRIEDADE DA PROLOGICA IND. E COM DE MICROCOMPUTADORES LTDA. NAO PODENDO SER REPRODUZIDO, COPIADO NEM FORNECIDO A TERCEIROS, SEM AUTORIZAÇÃO POR ESCRITO.</p>	DES. Nº 984058-AB 00	
		DES. POR FERNANDO	DATA 29/03/95
		VERIF. POR	DATA
<p>TOL. GERAL (MILIMETRO)</p> <p>0 ± 0,5 0,0 ± 0,1 0,00 ± 0,02</p> <p>0,0 ± 0,2 0,00 ± 0,05 0° ± 30</p>		<p>EQUIPAMENTO S 700</p> <p>SUB CONJUNTO Nº 984058</p> <p>DESC. DO CABO CF1 (CON. ALIM-CH. L/D) REV 0</p>	
<p>ESCALA S / E</p>	<p>ESTE DESENHO ESQUEMA ELETRICO E TOPOLOGICO DO CABO CF1</p>	<p>0123456789</p>	



BARRA SINDAL

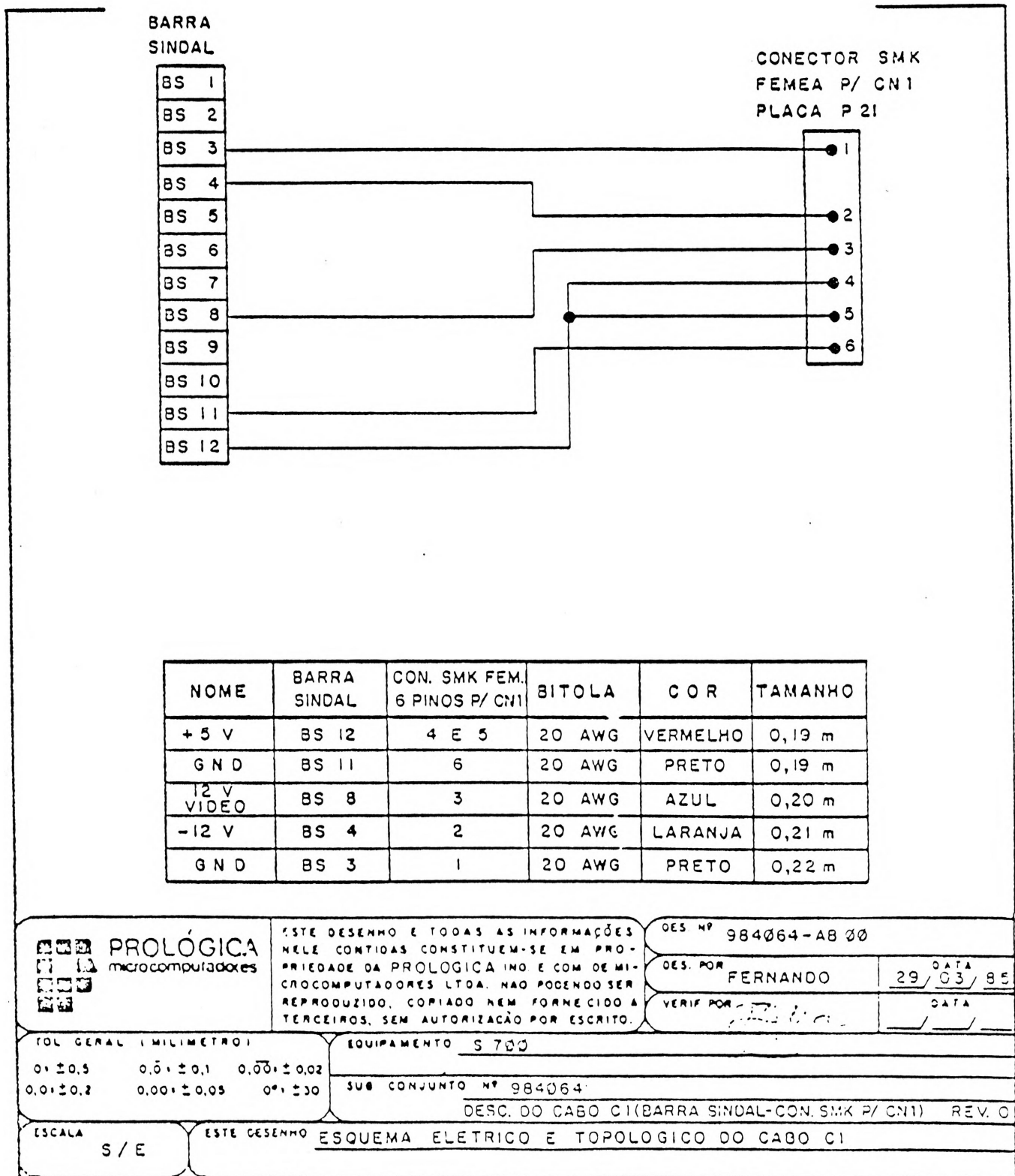
BS 1
BS 2
BS 3
BS 4
BS 5
BS 6
BS 7
BS 8
BS 9
BS 10
BS 11
BS 12

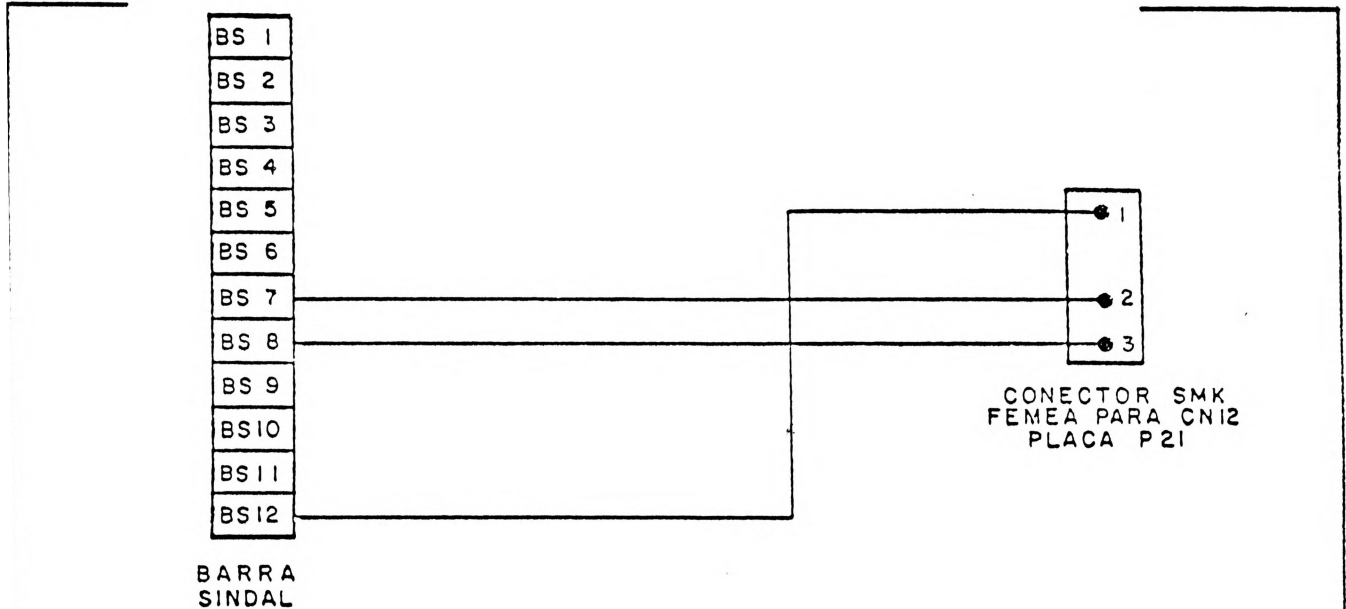
CONECTOR DE ALIMENTAÇÃO P/ DRIVE B OU WINCHESTER



NOME	BARRA SINDAL	CONECTOR DE ALIMENTAÇÃO	BITO' A	COR	TAMANHO
12 V DRIVE	BS 6	1	20 AWG	AMARELO	0,33 m
GND	BS 5	2	20 AWG	PRETO	0,34 m
GND	BS 9	3	20 AWG	PRETO	0,31 m
5 V	BS 10	4	20 AWG	VERMELHO	0,30 m

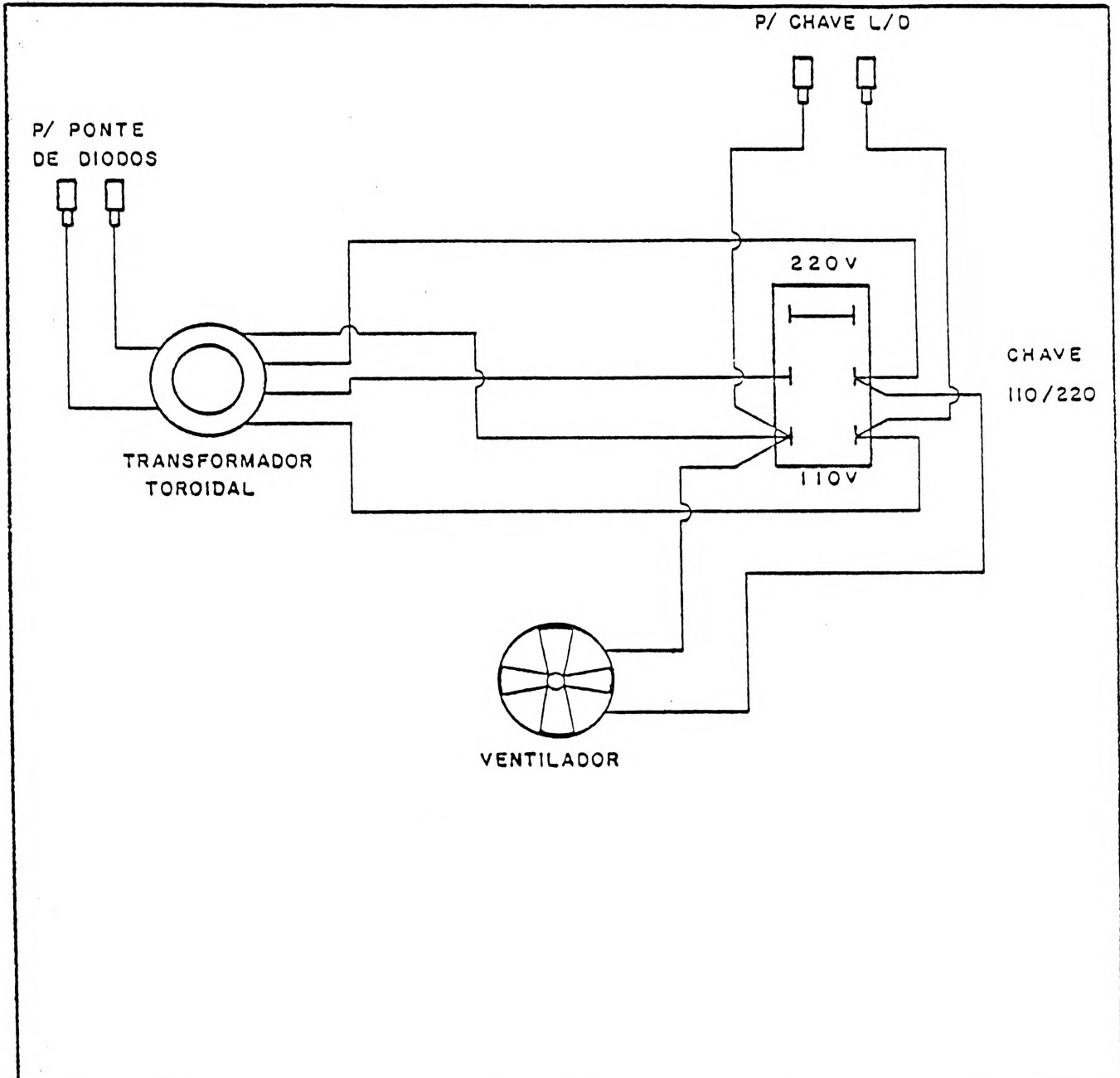
<p>PROLOGICA microcomputadores</p>	<p>ESTE DESENHO E TODAS AS INFORMAÇÕES NELE CONTIDAS CONSTITUEM-SE EM PROPRIEDADE DA PROLOGICA IND. E COM DE MICROCOMPUTADORES LTDA. NAO PODENDO SER REPRODUZIDO, COPIADO NEM FORNECIDO A TERCEIROS, SEM AUTORIZAÇÃO POR ESCRITO.</p>	DES. Nº 984065-AB 00	
		DES. POR FERNANDO	DATA 29/03/85
		VERIF. POR	DATA
TOL. GERAL (MILIMETRO)		EQUIPAMENTO S 700	
$0,1 \pm 0,5$ $0,01 \pm 0,1$ $0,001 \pm 0,02$ $0,01 \pm 0,2$ $0,001 \pm 0,05$ $0,01 \pm 30$		SUB CONJUNTO Nº 984065	
ESCALA S/E		DESC. DO CABO C2 (BARRA SINDAL-CON. ALIM.) REV. 0	
ESTE DESENHO		ESQUEMA ELETRICO E TOPOLOGICO DO CABO C2	
		Ø123456789	



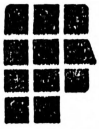


NOME	BARRA SINDAL	CON. SMK FEM. 3 PINOS P/CN12	BITOLA	COR	TAMANHO
5 V	BS 12	1	20 AWG	VERMELHO	0,60 m
G N D	BS 7	2	20 AWG	PRETO	0,65 m
12 V VIDEO	BS 8	3	20 AWG	AZUL	0,64 m

<p>PROLOGICA microcomputadores</p>	<p>ESTE DESENHO E TODAS AS INFORMAÇÕES NELE CONTIDAS CONSTITUEM-SE EM PROPRIEDADE DA PROLOGICA IND E COM DE MICROCOMPUTADORES LTDA. NAO PODENDO SER REPRODUZIDO, COPIADO NEM FORNECIDO A TERCEIROS, SEM AUTORIZAÇÃO POR ESCRITO.</p>	DES Nº 984073-AB00	
		DES POR FERNANDO	DATA 28/03/85
		VERIF POR <i>[Signature]</i>	DATA
TOL GERAL (MILIMETRO)	EQUIPAMENTO S 700		
$0, \pm 0,5$ $0,0, \pm 0,1$ $0,00, \pm 0,02$ $0,01, \pm 0,2$ $0,00, \pm 0,05$ $0,0, \pm 30$	SUB CONJUNTO Nº 984073		
ESCALA S/E	ESTE DESENHO ESQUEMA ELETRICO E TOPOLOGICO DO CABO CIO	DESC. DO CABO CIO (BARRA SINDAL-CON.SMK) REV. 0	
		Ø123456789	



	ESTE DESENHO E TODAS AS INFORMAÇÕES NELE CONTIDAS CONSTITUEM-SE EM PROPRIEDADE DA PROLOGICA IND. E COM DE MICROCOMPUTADORES LTDA. NAO PODENDO SER REPRODUZIDO, COPIADO NEM FORNECIDO A TERCEIROS, SEM AUTORIZAÇÃO POR ESCRITO.	DES. Nº	984055-800
		DES. POR	FERNANDO
TOL. GERAL (MILIMETRO) 0,1 ± 0,3 0,01 ± 0,1 0,001 ± 0,02 0,01 ± 0,2 0,001 ± 0,05 0,01 ± 30		VERIF. POR	DATA
EQUIPAMENTO S 700		CONJ. TRAFQ	
ESCALA S/E		REV. 0	
ESTE DESENHO ESQUEMA ELETRICO		0123456789	



BARRA
SINDAL

- BS 1
- BS 2
- BS 3
- BS 4
- BS 5
- BS 6
- BS 7
- BS 8
- BS 9
- BS10
- BS11
- BS12

MINI LATCH HOUSING
2 PINOS P/ CN 3 DA
PLACA P 21



NOME	BARRA SINDAL	MINI LATCH P/ CN3-P 21	BITOLA	COR	TAMANHO
RESET	BS 1	1	20 AWG	CINZA	0,25 m
GND	BS 2	2	20 AWG	PRETO	0,25 m

<p>PROLOGICA microcomputadores</p>	<p>ESTE DESENHO E TODAS AS INFORMAÇÕES NELE CONTIDAS CONSTITUEM-SE EM PROPRIEDADE DA PROLOGICA IND E COM DE MICROCOMPUTADORES LTDA. NAO PODENDO SER REPRODUZIDO, COPIADO NEM FORNECIDO A TERCEIROS, SEM AUTORIZAÇÃO POR ESCRITO.</p>	DES. Nº	984067-AB 00
		DES. POR	FERNANDO
TOL GERAL (MILIMETRO)		EQUIPAMENTO	S 700
0 ± 0,5	0,0 ± 0,1	0,00 ± 0,02	SUB CONJUNTO Nº
0,01 ± 0,2	0,001 ± 0,05	0 ± 30	984067
ESCALA	ESTE DESENHO	DESC. DO CABO C4 (BARRA SINDAL-MINI LATCH P.21) REV 0	
S/E	ESQUEMA ELETRICO E TOPOLOGICO DO CABO C4		REV 0
			023456789