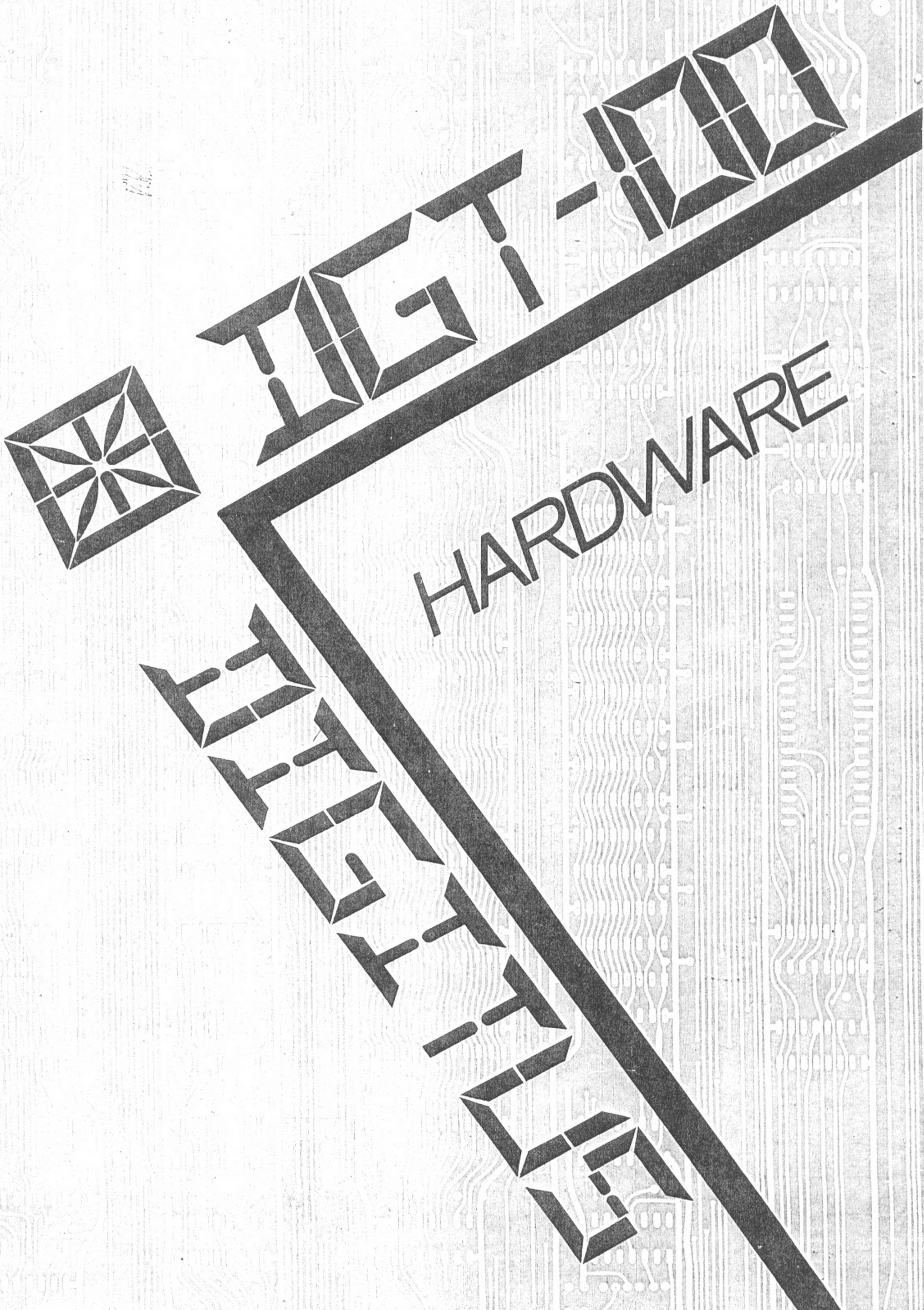




ÍNDICE

INTRODUÇÃO E MAPEAMENTO DE MEMÓRIA DO DGT-100
DIAGRAMA DE BLOCOS DO SISTEMA DO DGT-100
CLOCK
CPU
DECODIFICADORES
MEMÓRIAS RAM E ROM
TECLADO
CASSETTE
VÍDEO
FONTE

APÊNDICES

A - ABRINDO O SEU DGT-100
B - LISTA DOS COMPONENTES
C - CONEXÕES DO DGT-100
D - CONFIGURAÇÃO DE HARDWARE DO Z-80

MAPEAMENTO DE MEMÓRIA DO DGT-100

A memória do seu DGT-100 está dividida em várias seções. É importante conhecê-las, para que você use melhor o seu computador.

Na figura 1 temos este mapeamento de memória.

Você pode ver que das localizações de memória 0000 a 37DF temos as ROMs do DIGBASIC e do DIGBUG.

De 37E0 a 37FF estão as portas de entrada e saída mapeadas na memória, que serão utilizadas para impressora, disquete, etc.

De 3800 a 3BFF fica o teclado. Após o teclado, até 3FFF temos as posições de memória de vídeo.

A partir de 4000 fica localizada a memória RAM do sistema, que dependendo da capacidade instalada pode ir até 7FFF (16 K bytes), BFFF (32 K bytes) ou FFFF (48 K bytes).

ENDEREÇO	CONTEÚDO
0 37DF	ROM
37E0 37FF	I/O
3800 3BFF	TECLADO
3C00 3FFF	VÍDEO
4000 7FFF	RAM 16K
8000 BFFF	RAM 32K
C000 FFFF	RAM 48K

MAPEAMENTO DE MEMÓRIA DO DGT-100

INTRODUÇÃO AO DGT-100

E DIAGRAMA DE BLOCOS

Podemos dividir o DGT-100 em um diagrama com nove seções. A figura 2 mostra estas seções e como elas estão relacionadas com as outras.

CPU

O coração do sistema é a CPU (Central Processing Unit). Ela é a única parte do sistema que se comunica com as outras, pois é a única seção capaz de endereçar e passar dados para as outras seções. Por exemplo, se a ROM deseja enviar alguma informação para o vídeo, esta informação deverá ser primeiro transferida à CPU, e depois, à memória de vídeo.

ROMS

Outra seção de grande importância é a seção composta pelas ROMs (Read Only Memories). Elas podem ser consideradas o cérebro do DGT-100. A ROM diz à CPU o que fazer com certo dado, como fazê-lo e onde armazená-lo após o processamento. Quando você liga o seu DGT-100, o que a CPU faz é fornecer o endereço do início da ROM. A partir deste momento todas as instruções necessárias para o funcionamento do sistema são fornecidas pela ROM.

RAMS

A próxima seção é composta pelas RAMs (Random Access Memories). A RAM é a memória onde a CPU guarda dados para, posteriormente, ter acesso a eles. Também, é na RAM que ficam armazenados os programas em basic e em linguagem de máquina.

TECLADO

O teclado é a seção que se encarrega de transmitir as informações que nós desejamos passar à CPU.

VÍDEO

O oposto é verdadeiro para a seção vídeo; ou seja, quando a CPU quer nos mostrar algum resultado, ela se utiliza do vídeo para nos transmitir esta informação. Qualquer coisa que esteja na memória de vídeo é automaticamente mostrado na tela da TV.

CASSETTE

A seção cassete é utilizada para armazenamento de dados, tendo em vista o fato da perda de dados que ocorre nas memórias RAMs quando se desliga o computador.

DECODIFICADORES

A seção decodificadores é aquela que determina o acesso a todas as outras seções, analisando os endereços recebidos da CPU.

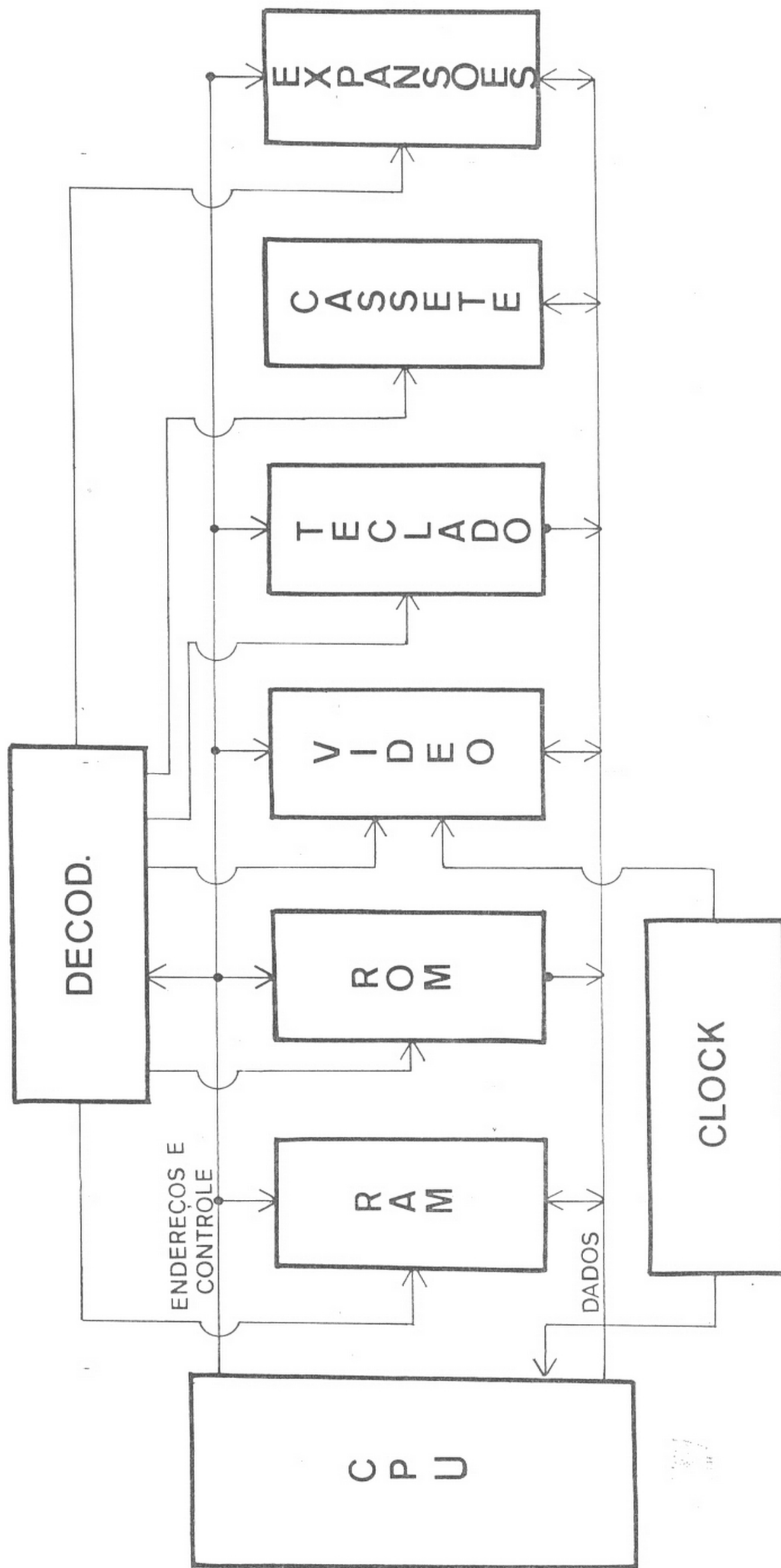
CLOCK

A seção clock tem a função de gerar a frequência necessária para o funcionamento da CPU e do vídeo.

FONTE

A seção fonte é responsável pelo fornecimento de energia a todo o resto do sistema.

As seções acima descritas formam um poderoso microcomputador, podendo entretanto, ter a sua capacidade aumentada para aplicações específicas, através da adição de módulos de expansões. Por exemplo: aumento da memória RAM, disquetes, impressora, segundo cassete, modem e outras.



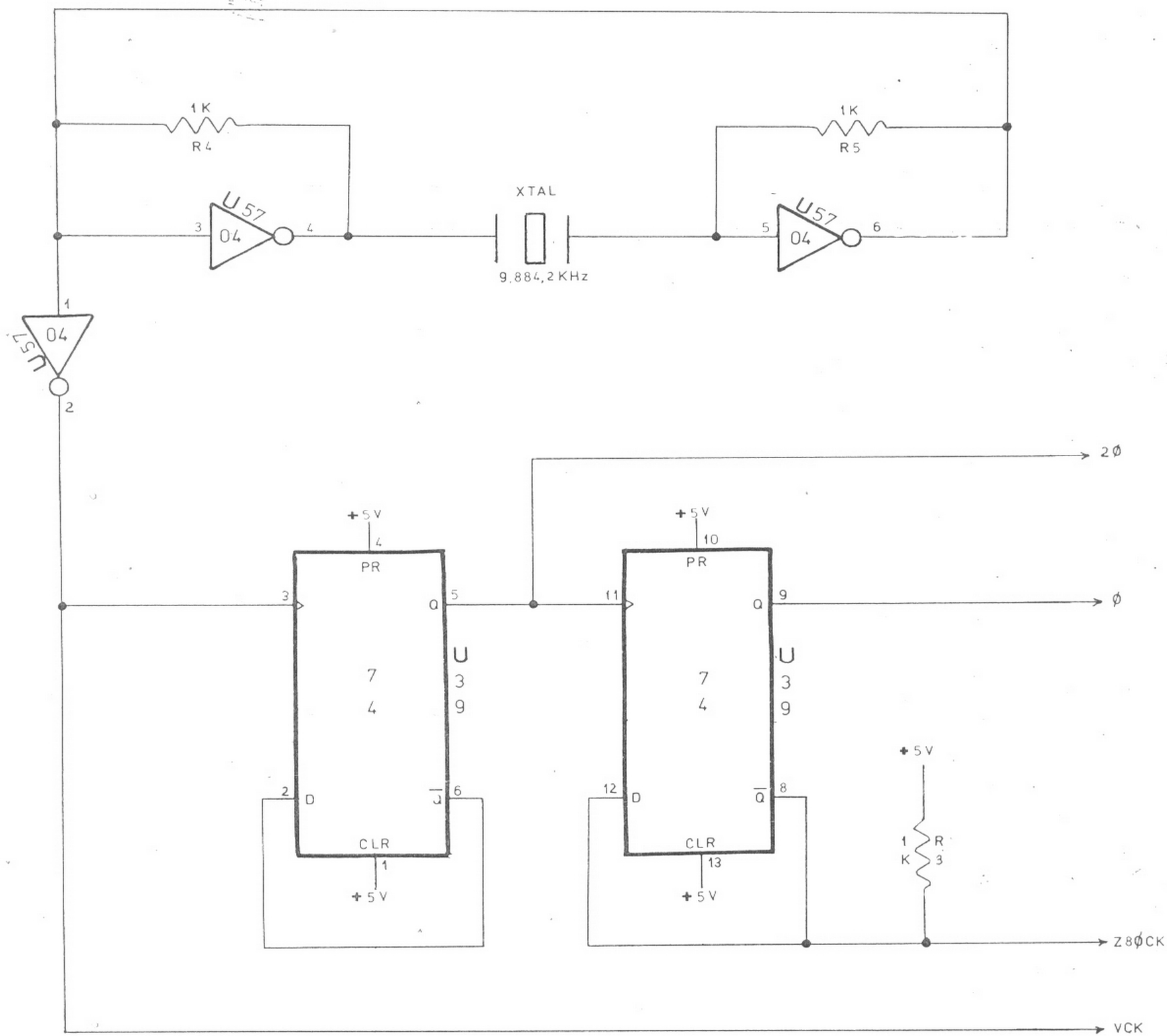
CLOCK

O sistema de clock é mostrado na figura 3. Y1 é um cristal que oscila na frequência de 9,884160 MHz.

Compõem o oscilador os seguintes componentes :

- o cristal Y1,
- dois inversores de U57
- e os resistores R4 e R5.

O sinal de saída do oscilador é isolado por um outro inversor de U57. U39 completa o sistema de clock do DGT-100 e tem a função de dividir a frequência original do oscilador por quatro, fornecendo o sinal de clock para o Z-80.



CPU

Como podemos ver na figura 4, a CPU é composta pelos seguintes integrados : U0, U1, U2, U3, U10, U24, U25, U40, U41, U42 e parte de U57.

O microprocessador Z-80 opera em frequência de clock de 2,471 MHz.

Os buffers do barramento de endereço U2, U3 e U10, são circuitos integrados 74LS367 e fornecem níveis lógicos apropriados para o resto do circuito, pois o microprocessador não pode fornecer corrente necessária para excitar todas as seções conectadas ao barramento de endereço. Outra função dos buffers é desconectar virtualmente os barramentos.

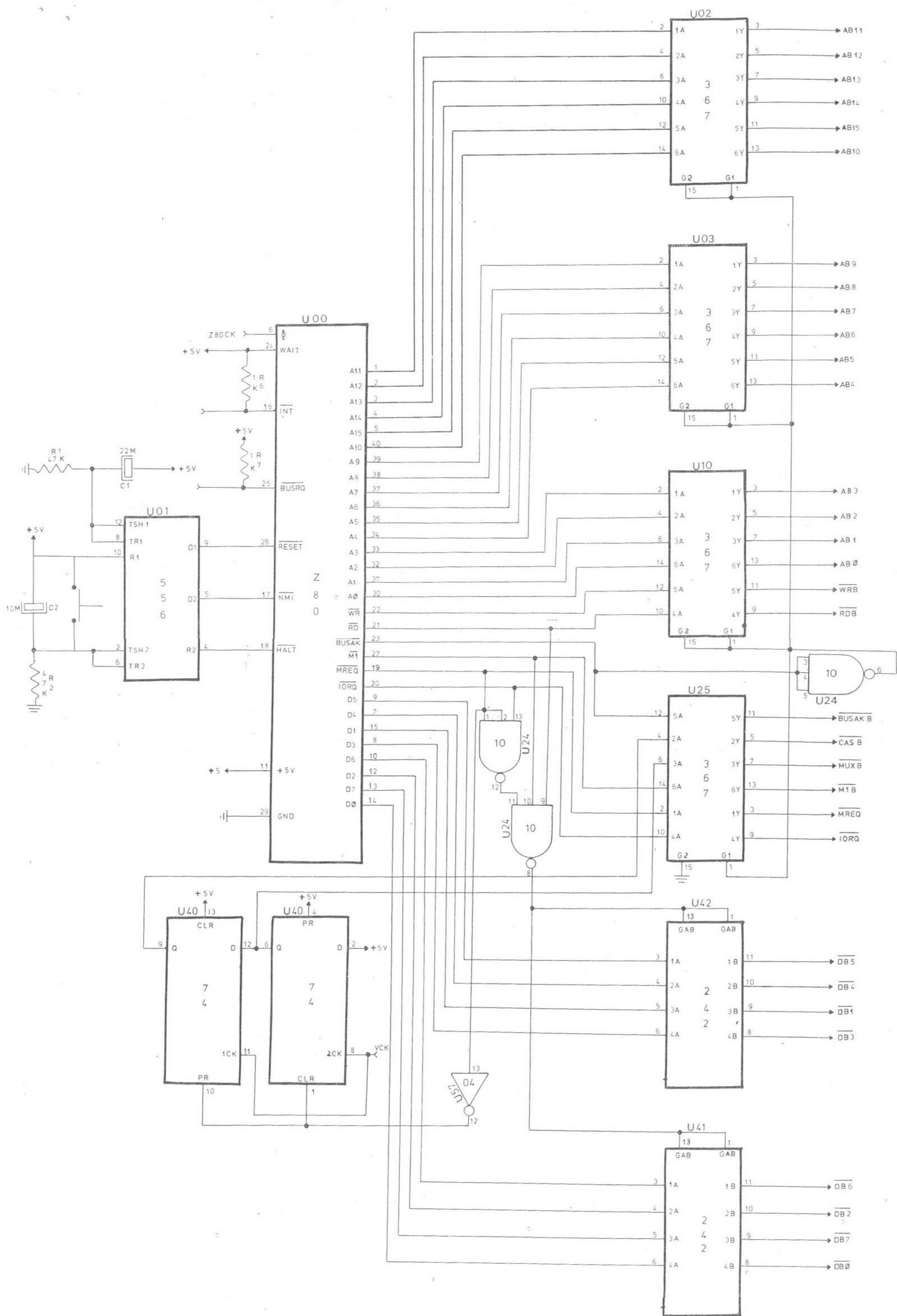
U10 e U25 também são do tipo 74LS367 e são utilizados como buffers para o barramento de controle.

Os integrados U41 e U42 (74LS242) são buffers bidirecionais para o barramento de dados.

O responsável pelo controle de todos os barramentos é o integrado U24.

Como foi mencionado na explicação do diagrama de blocos, quando você liga o computador a CPU inicializa no endereço 0000 da ROM. O circuito que causa esta inicialização é formado pelo integrado U1, o resistor R1 é o capacitor C1, que fornecem um pulso de reset sempre que o sistema é energizado. O integrado U1 (LM 556), R2 e C2 são responsáveis por um outro tipo de reset, que ao invés de inicializar o sistema no endereço 0000, o faz no endereço 0066. Este é o reset que você tem acesso através da chave push-button situada na lateral esquerda do DGT-100.

O integrado U40 (74LS74) fornece os pulsos necessários ao funcionamento da RAM dinâmica (MUX e CAS).



DECODIFICADORES

Compõem a seção decodificadores os seguintes circuitos integrados : U5, U6, U7, U12, U13, U22, U26, U27, parte de U43, U44, parte de U45 e parte de U61, conforme figura 5.

Como todas as seções estão ligadas em paralelo aos barramentos de endereços e dados, deve haver uma forma de selecionar apenas uma seção em um determinado instante.

Os decodificadores realizam esta seleção através da análise dos sinais de endereços e controles, fornecidos pela CPU.

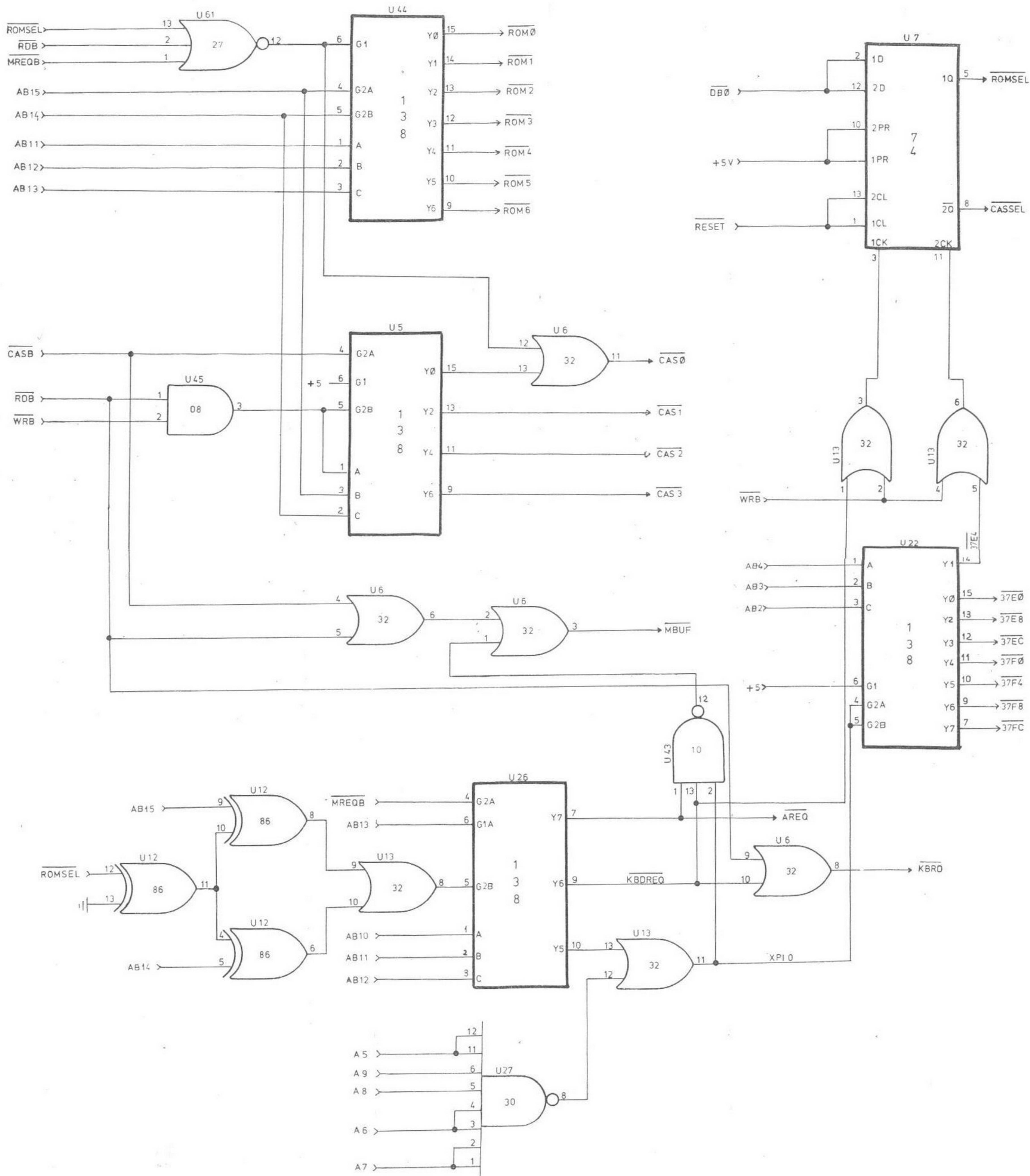
O integrado U44 realiza a seleção das memórias ROM.

U5 e parte de U45 fazem a seleção dos bancos de memórias RAM, cada um com 16 K bytes.

U26 é responsável pela seleção do teclado, memória de vídeo e expansões. O sinal de seleção de expansão fornecido por U26 é novamente decodificado por U22, resultando em sinais a serem utilizados nas diversas expansões.

O sinal $\overline{\text{MBUF}}$ é o responsável pelo controle do buffer de dados das memórias.

U7 é um latch utilizado para memorizar a seleção do cassete (CASSEL).



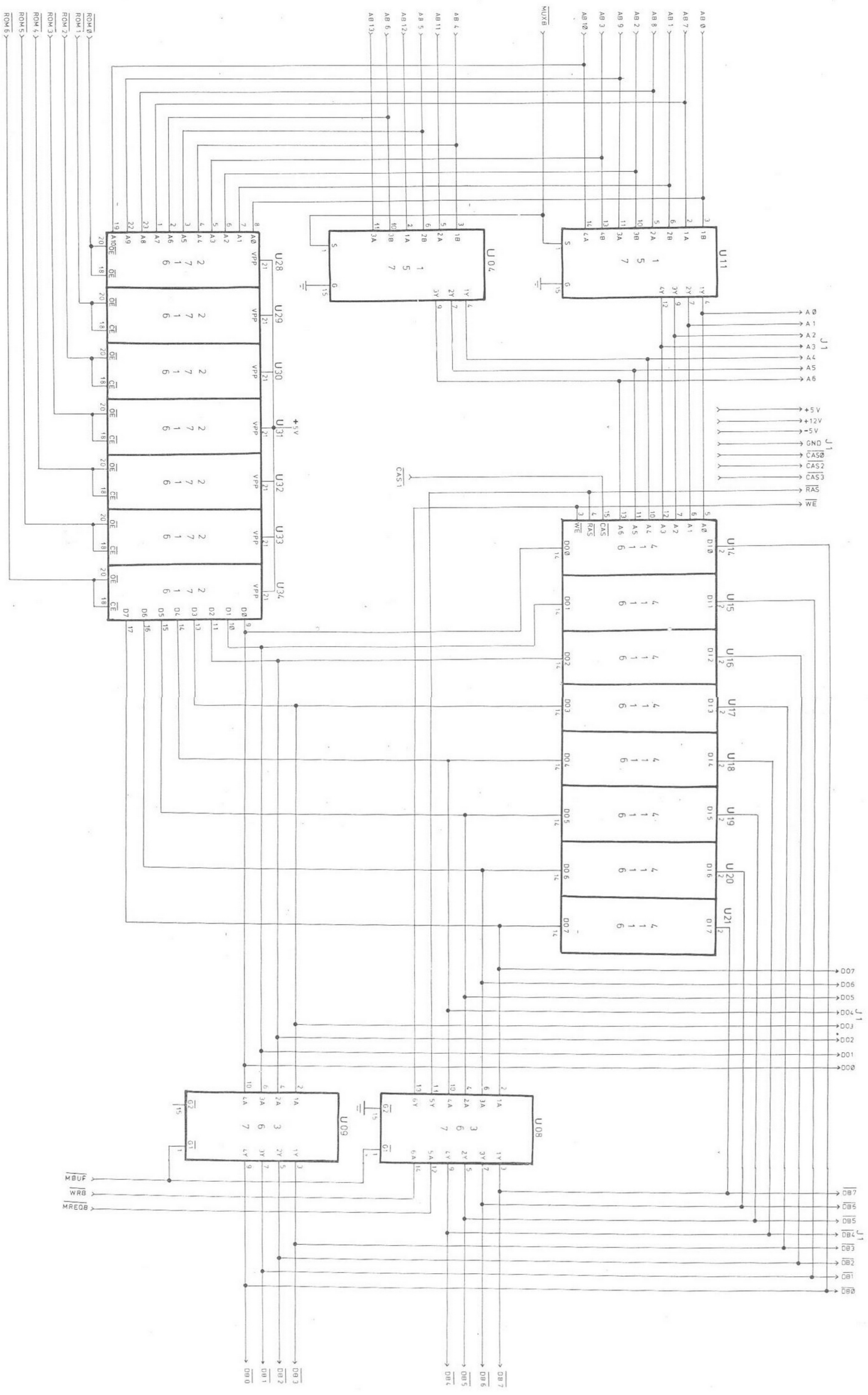
MEMÓRIAS RAM E ROM

U4, U8, U9, U11, U14 a U21 e U28 a U34, compõem a seção de memórias RAM e ROM, conforme figura 6.

Os integrados U4 e U11 fazem a multiplexação dos endereços para o acesso às memórias RAM, pois estas RAMs de 16 K bits necessitam 14 linhas de endereços, que são multiplexados em dois conjuntos de 7 bits.

Os sinais provenientes do integrado U44 da seção de decodificadores selecionam uma das 7 ROMs existentes.

U8 e U9 são buffers para os sinais de dados das memórias RAM e ROM, pois como o Z-80, estas memórias não possuem correntes suficientes para excitar as demais seções.



TECLADO

U53, U54, U55 e U56, conforme a figura 7, compõem a seção de teclado.

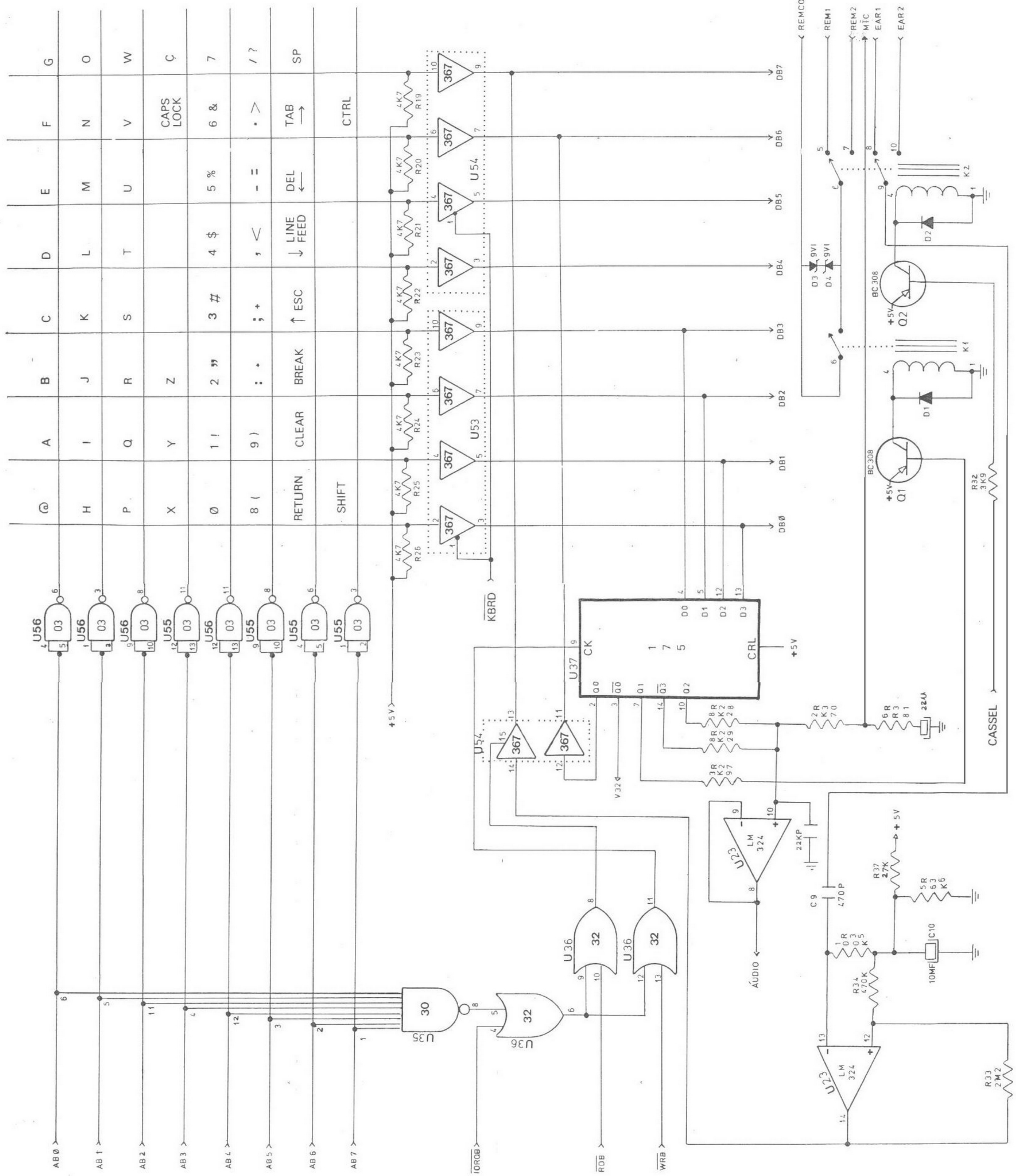
O teclado do seu DGT-100 é composto por uma matriz de 8 x 8. Nesta matriz estão localizadas 56 teclas que são simplesmente chaves normalmente abertas.

Quando pressionamos uma tecla, estamos colocando uma linha e coluna da matriz em curto.

No instante em que a CPU, através da geração do sinal $\overline{\text{KBRD}}$, detecta um nível lógico "1" em uma das linhas de dados, isto significa que há uma tecla pressionada. Através da combinação correta dos sinais de endereço ABO a AB7, a CPU pode, então, determinar através de software, qual a tecla pressionada e codificá-la de acordo com o código ASCII.

U55 e U56 tem a função de isolar o teclado do barramento de endereços.

U53 e parte de U54 são buffers tri-state responsáveis pelo envio de dados a CPU.



INTERFACE PARA CASSETTE

U23, U35, U36, U37 e parte de U54 compoem a seção cassette, conforme a figura 7.

U35 e U36 formam o circuito decodificador da porta de entrada e saída (endereço OFFH), que no seu DGT-100 é utilizada para a comunicação com o cassette.

A porta de saída é formada por U37, que é um latch de 4 bits.

O sinal de saída para o cassette e áudio é formado através da combinação dos bits " 0 " e " 1 " pela malha composta por R28, R29, R30 e R31.

O sinal de áudio é, ainda, isolado do circuito por um dos amplificadores de U23.

O bit " 2 " é responsável pelo acionamento do relé K2, que liga o motor do gravador através do plug REM.

O relé K1, acionado pelo sinal CASSEL, é responsável pela seleção do gravador " 1 " ou " 2 ".

O bit " 3 " é utilizado para a seleção do formato do vídeo (32 ou 64 caracteres por linha), e seu estado pode ser monitorado pela CPU através do bit " 6 " da porta de entrada OFFH, sendo fornecido pelo buffer " 5 " de U54.

O sinal de entrada do cassette é pré-processado pelo diferenciador formado por R33, R34, R35, C9 e um dos amplificadores de U23. O sinal fornecido por este diferenciador é, então, colocado à disposição da CPU pelo buffer " 6 " de U54.

Toda a formatação do sinal para transmissão de dados e todo o processamento lógico do sinal recebido do cassette é feito através de software.

O formato do sinal de cassette é o seguinte : cada byte é transmitido em série, começando pelo bit mais significativo. Cada bit está contido em uma célula, cujo início é marcado por uma inversão do nível lógico do sinal. A duração desta célula é de 500 μ s.

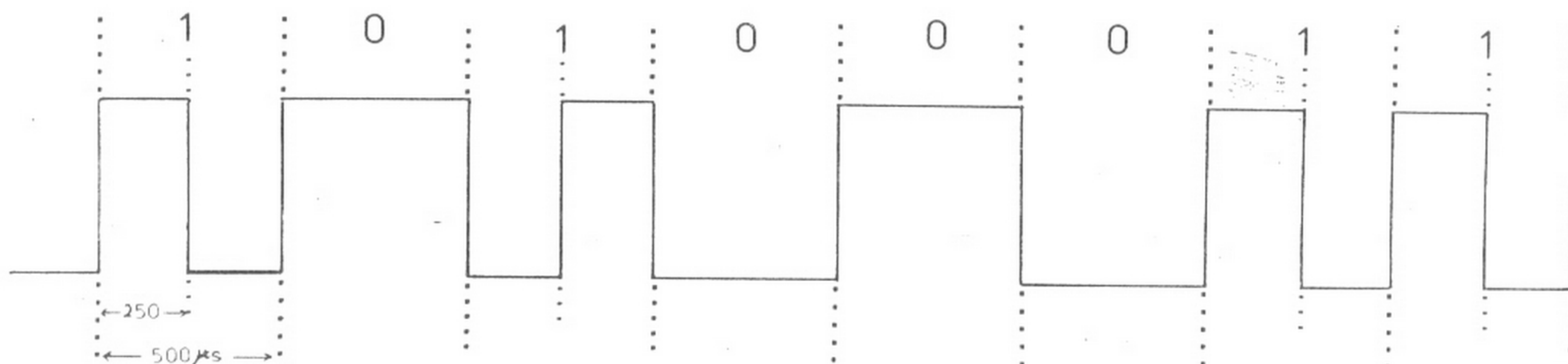
O valor do bit é determinado pela existência ou não de uma inversão do sinal no centro da célula.

Se houver a inversão, o valor do bit é " 1 ", caso contrário é " 0 ".

Exemplo :

Suponhamos a formatação do seguinte byte : 1 0 1 0 0 0 1 1

Teremos a seguinte forma de onda :



VÍDEO

Parte de U43, U45, U61 e U38, U46, U47, U48, U49, U50, U51, U52, U58, U59, U60, U62, U63, U64, U65, U66, U67, U68, U69, U70, U71, U72 e U73 compõem a seção vídeo conforme a figura 9.

No DGT-100 o vídeo é, para a CPU, uma parte da memória, como você pode verificar observando o mapa de memória. Todas as operações da CPU nesta área, são operações normais de memória, como em qualquer outra área.

O bloco de memória do vídeo consiste de 1.024 bytes localizados nos endereços de 3C00H a 3FFFH.

A memória propriamente dita é formada pelos integrados U66 e U67. U50, U51 e U52 formam um buffer bi-direcional de oito bits que permitem o acesso da CPU.

O barramento de endereços chega através dos comutadores U47, U48 e U49.

O restante do circuito da figura 9 é responsável pela formação do sinal de vídeo.

U58, U59, U60, U63, U64 e U65 formam uma cadeia de contadores que gera todos os sinais de endereçamento e de sincronismo. U59 faz a comutação do formato do vídeo para 32 ou 64 caracteres por linha, controlado pelo sinal " V32 ".

A tela do vídeo consiste de 264 linhas horizontais, das quais, 192 contém informação de vídeo e as outras 72 são utilizadas para informação de sincronismo vertical. Cada uma destas linhas horizontais consiste de 624 pontos, sendo que 384 contém informação de vídeo e os outros 240 são utilizados para informação de sincronismo horizontal. Cada carácter é formado por uma matriz de 6 pontos na horizontal por 12 pontos na vertical. A parte visível do vídeo é formada por 1.024 destas células, arranjadas em 16 linhas de 64 colunas.

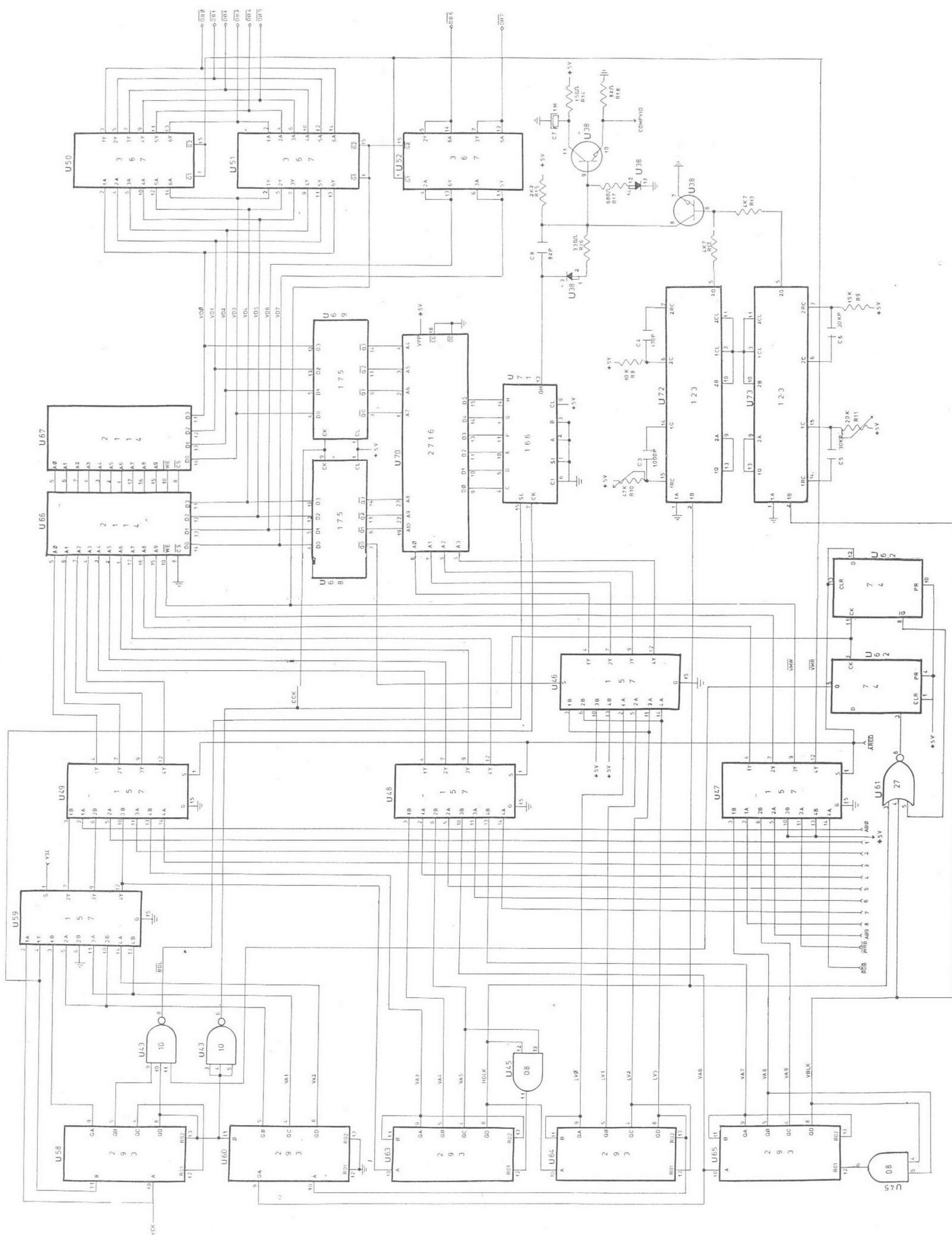
Os sinais de sincronismo derivados da cadeia de contadores, VBLK e HBLK, são ajustados em fase por U73 e U72 respectivamente, sendo então, combinados com o sinal de vídeo e U38.

U61 e U62 são responsáveis pelo apagamento do vídeo nas margens e durante o acesso da CPU à memória de vídeo.

Os endereços gerados pela cadeia de contadores fazem com que os dados contidos na memória sejam colocados sequencialmente à disposição do gerador de caracteres U70.

O gerador de caracteres combina estes dados (código ASCII) recebidos da memória com a informação do contador de linhas de varredura (U64) e coloca na sua saída o padrão de pontos correspondente. Este padrão de pontos é, então, serializado por U71 e combinado com o sinal de sincronismo em U38, fornecendo um sinal de vídeo composto com varredura não entrelaçada.

Todo o processamento do sinal de vídeo é independente da CPU. A memória de vídeo está normalmente à disposição do circuito gerador de sinal de vídeo, mas a CPU tem prioridade no acesso. O acesso da CPU à memória de vídeo é controlado pelo sinal $\overline{AREQ}$, provocando a comutação de U47, U48 e U49 que passam a fornecer sinais do barramento de endereços para a memória de vídeo em lugar do endereçamento seqüencial da cadeia de contadores. Simultaneamente é provocado o apagamento do sinal de vídeo.



FONTE DE ALIMENTAÇÃO

O seu DGT-100 necessita de três níveis de tensão :

- . + 5 Volts a 1A,
- . + 12 Volts a 350 mA
- . - 5 Volts a 1mA.

As tensões de - 5 Volts e + 12 Volts são usadas exclusivamente nas memórias RAM dinâmicas.

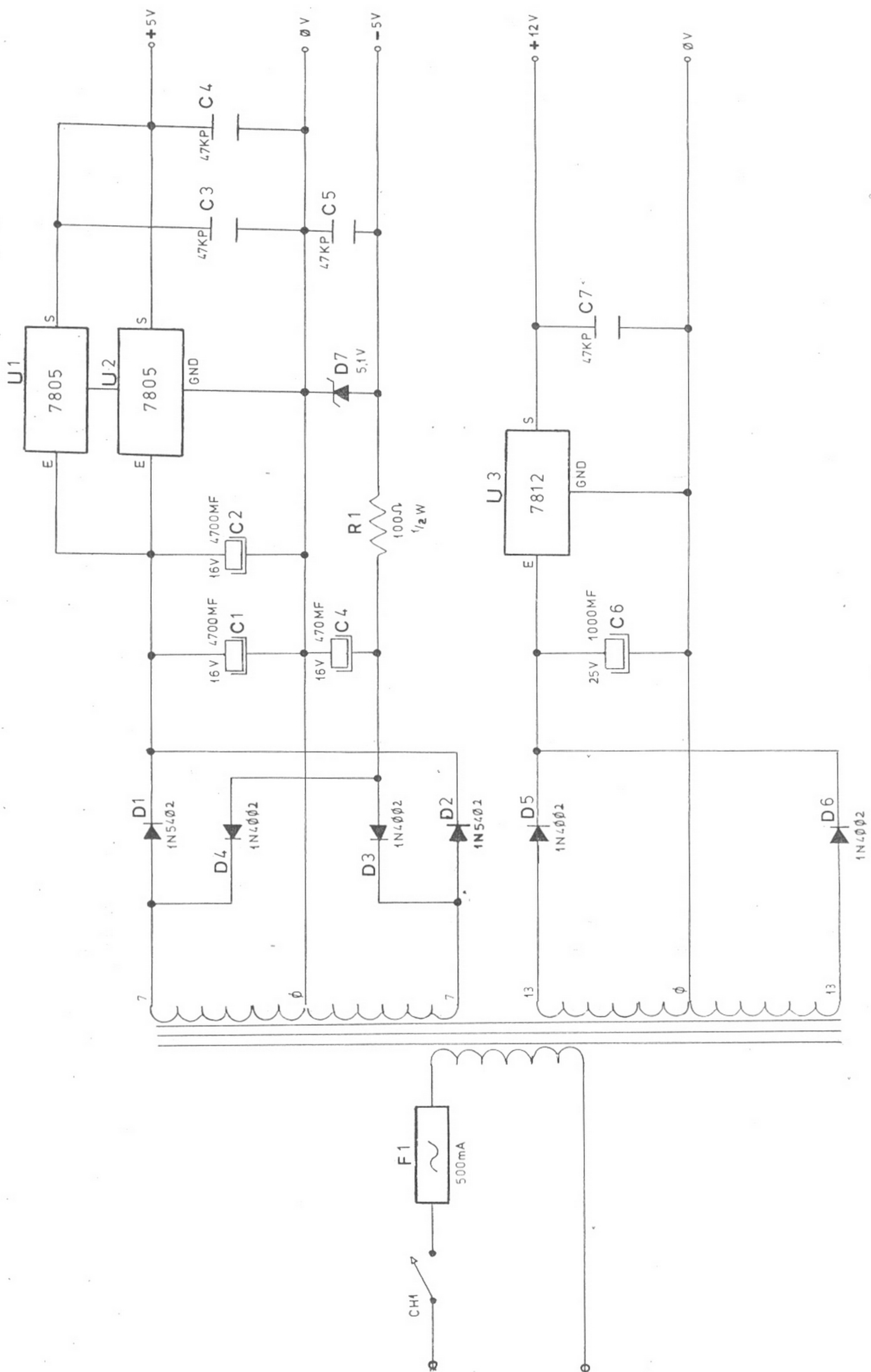
A tensão de + 5 Volts é usada em todos os circuitos integrados.

Uma das tensões fornecidas pelo secundário do transformador (7 - 0 - 7) é retificada e filtrada em D1, D2, C1 e C2. A regulação para 5 Volts e proteção contra curto-circuitos é feita pelos integrados U1 e U2.

A outra tensão fornecida pelo secundário do transformador (13 - 0 - 13) é retificada e filtrada em D5, D6 e C6. A regulação para 12 Volts e proteção contra curto-circuitos é feita pelo integrado U3.

A tensão de - 5 Volts não é tão crítica como as outras, portanto, um simples diodo zener é usado para a sua regulação.

O fusível F1 utilizado no primário do transformador é de 0,5 A e 250 Volts.



APÊNDICE A

ABRINDO O SEU DGT-100

- 1) Coloque o seu computador em uma superfície macia e com o teclado virado para baixo.
- 2) Retire a fita preta de acabamento, iniciando a retirada pelo ourifício existente na traseira do DGT-100.
- 3) Remova os quatro parafusos usados na fixação dos pés do computador.
- 4) Vire o computador para sua posição normal, segurando firmemente as duas partes da caixa e retire a sua parte superior. Esta parte superior da caixa é totalmente independente da parte inferior para uma maior facilidade de acesso aos circuitos.

APÊNDICE BLISTA DOS COMPONENTESPLACA DA CPU

R1		47K	R20		4K7
R2		18K	R21		4K7
R3		1K	R22		4K7
R4		1K	R23		4K7
R5		1K	R24		4K7
R6		1K	R25		4K7
R7		1K	R26		4K7
R8		10K	R27		3K9
R9		15K	R28		8K2
R10		47K (TRIMPOT)	R29		8K2 + 27nF
R11		220K (TRIMPOT)	R30		2K7
R12		4K7	R31		68R + 22MF/16V
R13		4K7	R32		3K9
R14		150R	R33		2M2
R15		2K2	R34		470K
R16		330R	R35		100K
R17		-----	R36		18K
R18		82R	R37		27K
R19		4K7	R38		-----
Co		22MF/16V = 7u	C5		33nF
Cd		0,1MF = 34u	C6		33nF
C1		22MF/16V	C7		22MF/16V
C2		22MF/16V	C8		82PF
C3		1000PF	C9		470PF
C4		470PF	C10		22MF/16V
Q1		BC 308	Q2		BC 308
D1		1N4148	D3		9,1VZ
D2		1N4148	D4		9,1VZ
Y1		CRISTAL - 9,884160 MHZ			
K1		RELÉ - ZK 02006	K2		RELÉ - ZK 02006

U0		Z-80	U37		74LS175
U1		LM556	U38		CA3046
U2		74LS367	U39		74LS74
U3		74LS367	U40		74LS74
U4		74LS157	U41		74LS242
U5		74LS138	U42		74LS242
U6		74LS32	U43		74LS10
U7		74LS74	U44		74LS138
U8		74LS367	U45		74LS08
U9		74LS367	U46		74LS157
U10		74LS367	U47		74LS157
U11		74LS157	U48		74LS157
U12		74LS86	U49		74LS157
U13		74LS32	U50		74LS367
U14		4116	U51		74LS367
U15		4116	U52		74LS367
U16		4116	U53		74LS367
U17		4116	U54		74LS367
U18		4116	U55		74LS03
U19		4116	U56		74LS03
U20		4116	U57		74LS04
U21		4116	U58		74LS293
U22		74LS138	U59		74LS157
U23		LM324	U60		74LS293
U24		74LS10	U61		74LS27
U25		74LS367	U62		74LS74
U26		74LS138	U63		74LS293
U27		74LS30	U64		74LS293
U28		2716 - BASIC20	U65		74LS293
U29		2716 - BASIC21	U66		2114
U30		2716 - BASIC22	U67		2114
U31		2716 - BASIC23	U68		74LS175
U32		2716 - BASIC24	U69		74LS175
U33		2716 - BASIC25	U70		2716 - GC
U34		2716 - BASIC26	U71		74LS166
U35		74LS30	U72		74LS123
U36		74LS32	U73		74LS123

FONTE

C1 4700MF/16V
C2 4700MF/16V
C3 0,1MF
C4 470MF/16V

C5 0,1MF
C6 1000MF/25V
C7 0,1MF
C8 0,1MF

IC1 7805
IC2 7805
IC3 7812

R1 100R (1/2W)

D1 1N5402
D2 1N5402
D3 1N4002

D4 1N4002
D5 1N4002
D6 1N4002

D7 ZENER DE 5V1

CIRCUITO DE 500

BC 558 1
CD 4013 1
8K2PF 1
22MF/16V 1
1N4148 1
100K 1
10K 3

APÊNDICE CCONECTOR DA EXPANSÃODE MEMÓRIA - J1

1 - $\overline{D00}$	21 - $\overline{DB5}$
2 - $\overline{D01}$	22 - $\overline{D07}$
3 - -5V	23 - A2
4 - +12V	24 - A1
5 - $\overline{DB0}$	25 - A0
6 - $\overline{DB1}$	26 - GND
7 - $\overline{DB2}$	27 - GND
8 - $\overline{DB6}$	28 - -5V
9 - $\overline{DB7}$	29 - -5V
10 - $\overline{DB3}$	30 - +5V
11 - A3	31 - +5V
12 - A4	32 - +12V
13 - $\overline{D03}$	33 - +12V
14 - $\overline{WE}$	34 - $\overline{CAS0}$
15 - $\overline{DB4}$	35 - $\overline{CAS2}$
16 - $\overline{RAS}$	36 - $\overline{D02}$
17 - $\overline{D04}$	37 - $\overline{CAS3}$
18 - $\overline{D05}$	38 - A5
19 - $\overline{D06}$	39 - A6
20 - GND	40 - +5V

CONECTOR DE EXPANSÃO GERAL - J2

01 - +5V	26 - GND
02 - +5V	27 - GND
03 - $\overline{M1B}$	28 - GND
04 - $\overline{BUSAkB}$	29 - GND
05 - $\overline{INT}$	30 - GND
06 - $\overline{BUSRQ}$	31 - GND
07 - $\overline{RESET}$	32 - GND
08 - $\overline{DB3}$	33 - GND
09 - $\overline{DB7}$	34 - GND
10 - $\overline{MREQ}$	35 - GND
11 - $\overline{DB2}$	36 - AB1
12 - $\overline{DB4}$	37 - AB0
13 - $\overline{DB1}$	38 - +12V
14 - $\overline{DB0}$	39 - $\overline{WRB}$
15 - $\overline{DB6}$	40 - $\overline{IORQB}$
16 - $\overline{DB5}$	41 - $\overline{RDB}$
17 - AB4	42 - 37F4
18 - AB3	43 - 37F0
19 - AB7	44 - 37EC
20 - AB6	45 - 37E8
21 - AB2	46 - 37E0
22 - AB5	47 - 37FC
23 - -5V	48 - 37F8
24 - GND	49 - +5V
25 - GND	50 - +5V

CONECTOR DO TECLADO - J3

01 - I7
02 - I6
03 - I5
04 - I3
05 - I4
06 - I0
07 - I2
08 - I4

09 - 08
10 - 07
11 - 06
12 - 05
13 - 04
14 - 03
15 - 02
16 - 01

CONECTOR DA FONTE DE ALIMENTAÇÃO

1.....5
0 0 0 0 0

D - GND
2 - RESET
3 - +5 Volts
4 - +12 Volts
5 - -5 Volts

CONECTOR DO VÍDEO - J4

01 - REM2
02 - REM1
03 - REMCO
04 - AUDIO
05 - EAR2

06 - EAR1
07 - GND
08 - MIC
09 - GND
10 - TV

APÊNDICE D

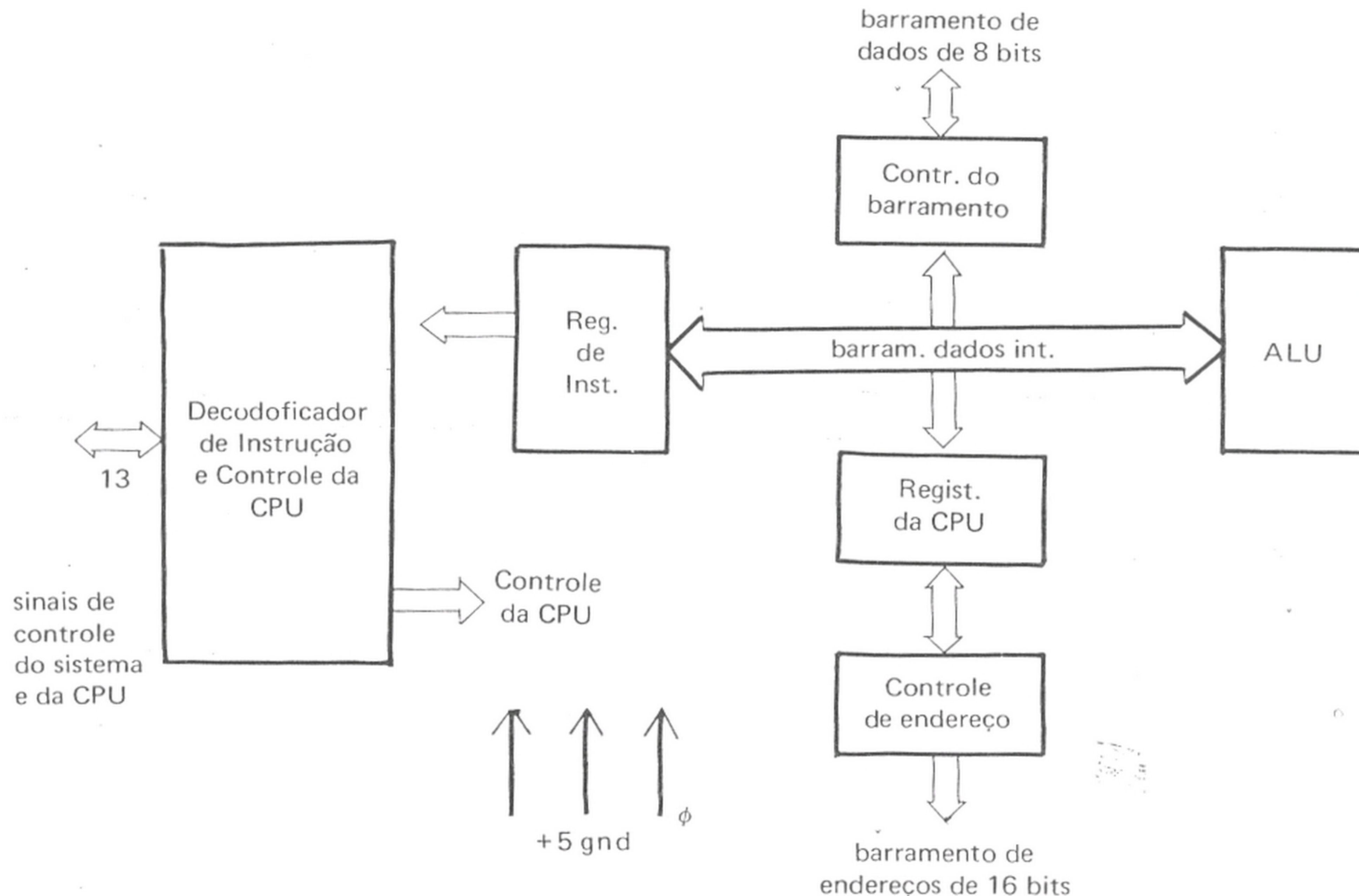
CONFIGURAÇÃO DE HARDWARE DO Z-80

Esta secção lhe fornece informações sobre o microprocessador Z-80

ARQUITETURA DA CPU Z-80

Na figura abaixo temos um diagrama de blocos da arquitetura interna do Z-80. Este diagrama mostra todos os principais elementos da CPU Z-80.

DIAGRAMA DE BLOCOS DA CPU Z-80



REGISTRADORES DA CPU

O Z-80 possui 208 bits de memória de acesso direto acessíveis ao computador. A figura 2 mostra a configuração desta memória e a existência de dezoito registradores de 8 bits e de quatro registradores de 16 bits.

Todos os registradores do Z-80 são implementados usando RAM estática.

Os registradores incluem dois conjuntos de Registradores de Uso Geral, os quais poderão ser utilizados individualmente como registradores de 8 bits, ou em pares como registradores de 16 bits. Existem, também, dois conjunto de acumuladores e flags.

REGISTRADORES DE USO ESPECIAL

1) PROGRAM COUNTER (PC)

=====

Programa Counter ou Contador de Programa contém o endereço de 16 bits da instrução que está sendo buscada na memória. O Contador de Programa é incrementado automaticamente após o seu conteúdo ser transferido para o barramento de endereços. Quando ocorre um "JUMP" no programa, o novo valor é automaticamente colocado no PC, ignorando-se, assim o incremento.

2) STACK POINTER (SP)

=====

Stack Pointer ou Indicador de Pilha contém o endereço de 16 bits do topo de uma pilha localizada em algum lugar do sistema externo de memória RAM.

Através da execução da instrução PUSH poderemos colocar o conteúdo de um registrador da CPU na pilha. Igualmente, poderemos retirar dados da pilha e colocá-los nos registradores da CPU utilizando a instrução POP.

O dado a ser retirado da pilha será sempre o último dado nela colocado.

A pilha permite: a simples implementação de vários níveis de interrupção: níveis ilimitados de sub-rotinas e simplificação da manipulação de vários tipos de dados.

3) INDEX REGISTER (IX e IY)

=====

Os dois Registradores Indexadores independentes contém endereço base de 16 bits, que são usados no modo de endereçamento indexado. Neste modo de endereçamento, um Registrador Indexador (IX ou IY) é usado como base para indicar uma região na memória, na qual os dados serão colocados ou retirados.

Um byte adicional é incluído em instruções indexadas para especificar um deslocamento (OFFSET) a partir desta base.

As instruções que se utilizam desta modalidade de endereçamento tal como o carregamento do acumulador (LD A, (IX +7)), contém um campo de OFFSET de um só byte (no caso + 7). O endereço efetivo do operando é a soma do OFFSET com o conteúdo do Registrador Indexador IX. Este método de endereçamento é particularmente conveniente para referências a tabelas de dados, dados com vários bytes ou para passar um indicador para um grupo de parâmetros de sub-rotina. O byte de OFFSET é implementado pelo Z-80 como um número complemento de 2, de forma a tornar possível a indexação tanto positiva como negativa.

4) INTERRUPT PAGE ADDRESS REGISTER (I)

=====

O Z-80 pode ser operado em um modo pelo qual uma chamada indireta para qualquer localização de memória pode ser obtida em resposta a uma interrupção.

O registrador I ou Registrador Tipo Vetor de Interrupção, é utilizado com a finalidade de guardar os 8 bits de maior ordem do endereço indireto, enquanto o dispositivo que deseja causar a interrupção fornece os 8 bits de menor ordem do endereço.

Esta característica permite que as rotinas de interrupção sejam dinamicamente localizadas na memória, com tempo de acesso mínimo para a rotina.

5) MEMORY REFRESH REGISTER (R)

=====

Uma característica especial do Z-80 é sua habilidade para renovar automaticamente as memórias dinâmicas a fim de que elas possam ser utilizadas como memórias estáticas. Seu Registrador R de Renovação de Memória, atua como um contador de 7 bits, incrementado a cada busca do código operacional (instrução). Após a busca o Registrador R tem seu conteúdo carregado nos 7 bits de menor ordem do barramento de endereços, enquanto o sinal de controle " RFSH " vai para o nível lógico " 0 ", para indicar a presença de uma renovação válida.

Pelo fato do processo inteiro ocorrer durante a codificação interna do código operacional, ele não interferirá jamais em qualquer outra atividade do microprocessador no barramento. Desta forma a renovação é totalmente invisível para o programa e não atrasa a operação da CPU.

Durante a renovação, o conteúdo do Registrador I é colocado nos 8 bits de maior ordem do barramento de endereços.

UNIDADE LÓGICA E ARITMÉTICA (ULA)

As instruções lógicas e aritméticas de 8 bits são executadas na ULA ou arithmetic and logic unit (ALU). Internamente, a ULA, se comunica com os registradores e o barramento de dados externo por meio de um barramento de dados interno, dotado de " buffers ".

Os tipos de função desempenhadas pela ULA, incluem:

- Soma
- Subtração
- E (lógico)
- OU (lógico)
- OU - EXCLUSIVO (lógico)
- Comparação
- Teste de Bits
- Set de bits
- Reset de bits
- Incremento
- Decremento
- Deslocamento (à direita ou à esquerda) e Rotação (aritmética ou lógica)

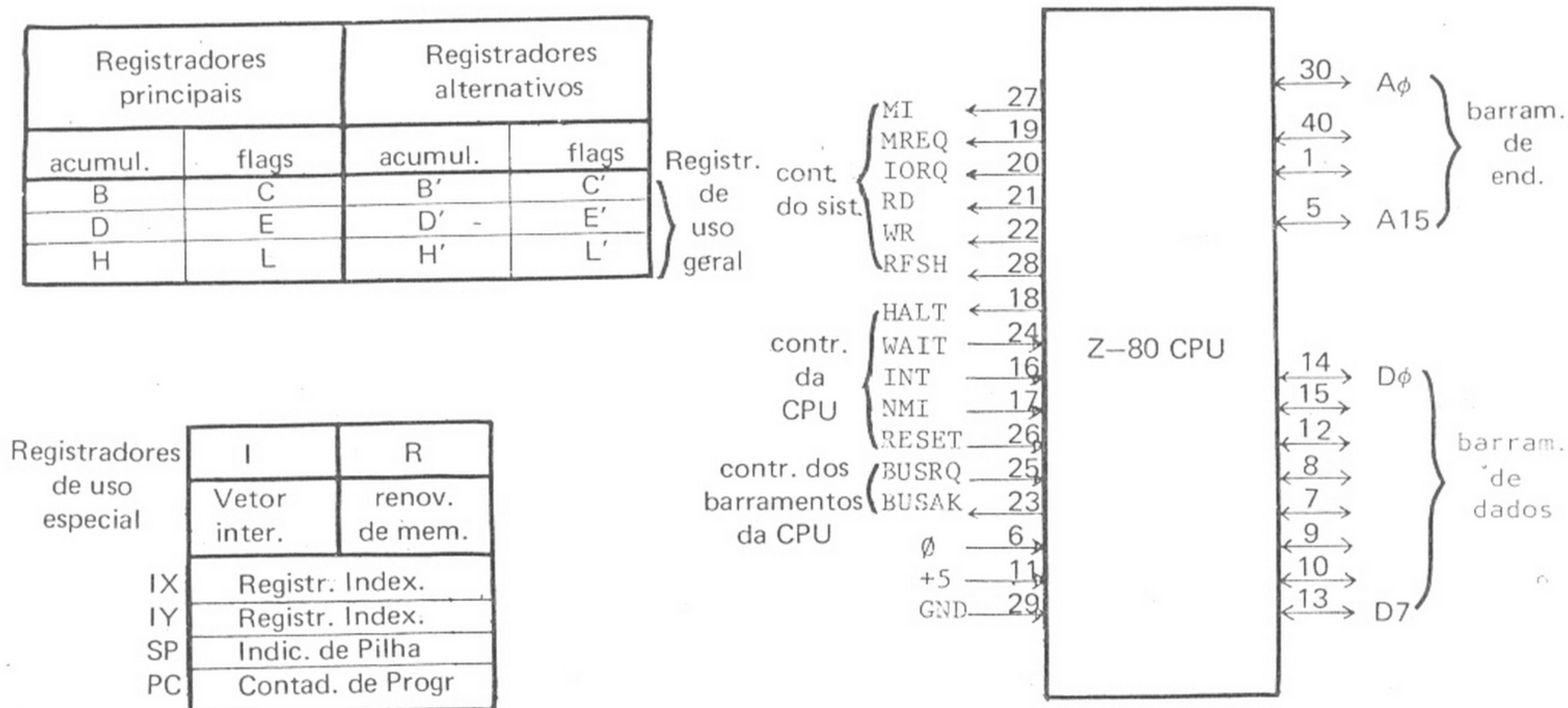
REGISTRADORES DE INSTRUÇÃO

E CONTROLE DA CPU

Quando uma instrução é buscada na memória, ela é colocada no registrador de instrução e decodificada. A seção de controle desempenha esta função e então, produz todos os sinais de controle necessários para: ler ou escrever dados nos registradores, controlar a ALU e fornecer todos os sinais de controle externo necessários.

DESCRIÇÃO DA PINAGEM DO Z-80

O Z-80 é encapsulado usando-se o padrão " DUAL IN - LINE PACKAGE " e tem 40 pinos. Os pinos de entrada e saída (I/O) são mostrados na figura abaixo e a função de cada um é descrita a seguir.



Saída de três estados, ativo alto.

A0 A15 constitui um barramento de endereços de 16 bits. O barramento de endereços fornece endereçamento (até 64 bytes) para troca de dados com memória e com os dispositivos de entrada/saída (I/O). O endereçamento dos dispositivos de I/O usa os 8 bits de endereço de menor ordem para permitir o usuário selecionar 256 portas de entrada ou 256 portas de saída.

A0 é o bit menos significativo do barramento.

Durante o tempo de renovação, os 7 bits de menor ordem do barramento de endereços contém um endereço de renovação válido.

ACUMULADOR E FLAGS

A CPU inclui dois Registradores Acumuladores independentes de 8 bits e, associado a eles, dois Registradores de "Flag" de 8 bits.

O Registrador Acumulador sustenta o resultado das operações aritméticas ou lógicas de 8 bits, enquanto o Registrador de "Flag" indica condições específicas de uma operação de 8 ou de 16 bits, como por exemplo indicando quando o resultado de uma operação é zero ou não.

O programador seleciona o par de acumulador e flag com o qual ele deseja trabalhar, através de uma simples instrução de troca, de forma que ele pode facilmente trabalhar com qualquer um dos pares.

REGISTRADORES DE USO GERAL

Existem dois conjuntos semelhantes de Registradores de Uso Geral, cada conjunto contendo seis registradores de 8 bits, que podem ser utilizados individualmente como registradores de 8 bits ou em pares, como registradores de 16 bits. Um conjunto é chamado BC, DE e HL, ao passo que o conjunto complementar é denominado BC, DE e HL!

A qualquer instante que o programador desejar usar um dos conjunto de registradores, poderá selecioná-lo através de um simples comando de troca.

Em sistemas que requerem rápidas respostas a interrupções, um conjunto de Registradores de Uso Geral e um Registrador Acumulador/Flag pode ser reservado para abrigar esta rotina. Com isto, somente, é necessário um simples comando de troca para entrar na rotina. Isto reduz bastante o tempo de serviço da interrupção, porque elimina a necessidade de guardar e depois retirar o conteúdo dos registradores na pilha externa durante a interrupção ou processo de sub-rotina.

Os registradores de Uso Geral são usados para uma grande variedade de aplicações pelo programador. Eles também, simplificam a programação, principalmente em sistemas baseados em ROM, onde se dispõem de pouca memória de acesso direto (RAM).

RD - Linha de Leitura (Read)
=====

Saída de três estados, ativo abaixo.

RD indica que a CPU pretende ler dados na memória ou em um dispositivo de I/O. O dispositivo ou memória endereçado pode usar este sinal para entrar dados no barramento da CPU.

WR - Linha de Escrita (Write)
=====

Saída de três estados, ativo abaixo.

WR indica que o barramento de dados da CPU retém um dado válido para ser guardado na memória ou dispositivo de I/O endereçado.

RFSH - Linha de Renovação (Refresh)
=====

Saída, ativo baixo.

RFSH indica que os 7 bits de mais baixa ordem do barramento de endereços contém um endereço de renovação para memórias dinâmicas e o sinal MREQ pode ser usado para fazer uma leitura de renovação nos dados contidos nas memórias dinâmicas.

HALT - Linhas de parada (Halt State)
=====

Saída, ativo baixo.

HALT indica as ocasiões em que a CPU executou uma instrução HALT e espera por uma interrupção com ou sem máscara. Enquanto permanece parado, o microprocessador vai executando automaticamente instruções NOP, a fim de manter os dados na memória renovados.

WAIT - Linhas de Espera (Wait)
=====

Entrada, ativo baixo.

WAIT indica ao microprocessador que a memória ou dispositivo de I/O endereçado ainda não está pronto para uma transferência de dados.

Enquanto o sinal fôr ativo a CPU continua a entrar estados de espera.

Esta linha permite que qualquer dispositivo periférico ou memorizador fique sincronizado com o Z-80, não importando a sua velocidade.

INT - Linha de Requisição de Interrupção (Interrupt Request =====

Entrada, ativo baixo.

O sinal INT é gerado pelos dispositivos de I/O.

A Linha INT interrompe o microprocessador ao final da instrução que o mesmo estiver executando se, o flip-flop de habilitação de interrupção (IFF) permitir e ainda se o sinal BUSRQ não for ativo.

Quando o CPU aceita uma interrupção, um sinal de reconhecimento (IORQ, durante um dos períodos M 1) é enviado no início do próximo ciclo de instrução.

NMI - Linha de Interrupção Sem Máscara (Non Maskable Interrupt =====

Entrada, disparada por frente negativa.

A Linha de Requisição de Interrupção Sem Máscara tem maior prioridade do que a linha INT e é sempre reconhecida ao final da instrução em execução, independentemente do estado do flip-flop de habilitação de interrupção (IFF).

Quando disparada, esta linha força o Z-80 a iniciar sua execução pelo endereço 0066H.

O conteúdo do Contador de Programa é automaticamente colocado em uma pilha externa a fim de que o usuário possa retornar ao programa que foi interrompido.

Repetidos ciclos de WAIT podem evitar o término da instrução em execução

Uma linha BUSRQ irá se sobrepor a um NMI.

RESET - Linha de Reset (Reset) =====

Entrada, ativo baixo.

A linha de RESET força o Contador de Programa para zero e inicialização da CPU.

A inicialização da CPU inclui:

- 1) A inibição do flip-flop de habilitação de interrupção.
- 2) Ajuste do Registrador I em 00 H.
- 3) Ajuste do Registrador R em 00 H.
- 4) Ajuste do Modo de Interrupção em 0.

Durante o tempo de Reset o barramento de endereços e o de dados vão para o estado de alta impedância e todos os sinais de controle de saída vão para o estado inativo.

Também, não ocorre renovação.

D0-D7 - Barramento de dados (Data Bus)

=====

Entrada e saída de três estados, ativo alto.

D0 - D7 constitui um barramento de dados bidirecional de 8 bits. O barramento de dados é usado na troca de dados com a memória e com os dispositivos de I/O.

M1 - Linha de Ciclo de Máquina 1 (Machine cycle one)

=====

Saída, ativo baixo.

M1 indica que o corrente ciclo de máquina e o ciclo de busca do Op (Código Operacional), dentro de uma execução de instrução, ou seja que o microprocessador está naquela parte da instrução em que é efetuada a busca do Código operacional.

Durante a execução de Códigos Operacionais de 2 bytes, M1 é gerado cada vez que um OP é buscado. Estes OP de 2 bytes sempre se iniciam com CBH, DDH, EDH, ou FDH.

M1 também ocorre junto com $\overline{\text{IORQ}}$ indicando um ciclo de Reconhecimento de Interrupção.

$\overline{\text{IORQ}}$ - Linha de Requisição de I/O (Input/Output Request)

=====

Saída de três estados, ativo baixo.

O sinal de Requisição I/O - $\overline{\text{IORQ}}$ - indica que o byte de mais baixa ordem do barramento de endereços contém um endereço válido de uma porta de entrada/saída, para uma operação de leitura ou escrita de I/O.

Um sinal $\overline{\text{IORQ}}$ é também gerado junto com um sinal $\overline{\text{M1}}$ quando esta sendo reconhecida uma interrupção, para indicar que um vetor resposta de interrupção pode ser colocado no barramento de dados.

Operações de Reconhecimento de Interrupção ocorrem durante $\overline{\text{M1}}$, enquanto operações de I/O jamais ocorrem durante $\overline{\text{M1}}$.

$\overline{\text{MREQ}}$ - Linha de Requisição de Memória (Memory Request)

=====

Saída de três estados, ativo baixo.

O sinal de requisição de Memória - $\overline{\text{MREQ}}$ - indica que o barramento de endereços contém um endereço válido para uma operação de leitura ou escrita de memória.

BUSRQ - Linha de Requisição de Barramento (Bus Request)

=====

Entrada, ativo baixo.

O sinal de Requisição de Barramento é usado para requisitar que o barramento de endereços, o barramento de dados e os sinais de controle de saída de três estados (IORQ, RD, WR, MREQ) sejam levados para o estado de alta impedância, possibilitando assim que outros dispositivos possam controlar os barramentos.

Quando é ativada a linha BUSRQ a CPU levará estes sinais para o estado de alta impedância logo que o ciclo de máquina em execução termine.

BUSAK - Linha de Reconhecimento de Barramento (Bus Acknowledge)

=====

Saída, ativo baixo.

A linha de Reconhecimento de Barramento é usada para indicar ao dispositivo requisitante que o barramento de endereços, o barramento de dados e os sinais de controle de saída de três estados da CPU foram levados a seus estados de alta impedância e que os dispositivos externos podem agora, controlar estes sinais.

NOTA

Quando a CPU Z-80 está em um estado de WAIT quanto em uma condição de Reconhecimento de Barramento, a renovação das memórias dinâmicas não ocorre.



DIGITUS

Ind. Com. e Serv. de Eletrônica Ltda.

RUA GÁVEA, 150 - FONE : 332-8300 - 30.000

- BELO HORIZONTE - MG

DIGITUS