MANUAL TÉCNICO

CP 500

ÍNDICE

O PROCESSADOR Z80 - REGISTRADORES E INSTRUÇÕES 5

PLACA PVIII - A PLACA PRINCIPAL DO CP 500 23

A CONTROLADORA DE DRIVES CONTROL III 63

A PLACA VT01 - CONTROLE DE VÍDEO DO CP 500 91

A FONTE DE ENERGIA DO CP 500 94

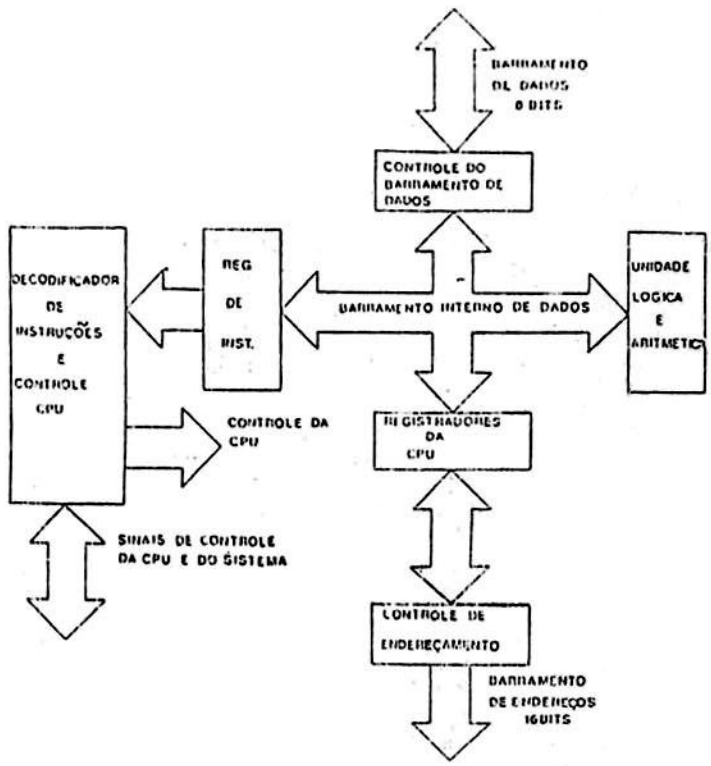
MATERIAL PARA REPARO DO CP 500 96

PINAGENS DE CABOS E ESQUEMAS ELÉTRICOS ..... 121 A 158

O PROCESSADOR Z80

REGISTRADORES E INSTRUÇÕES

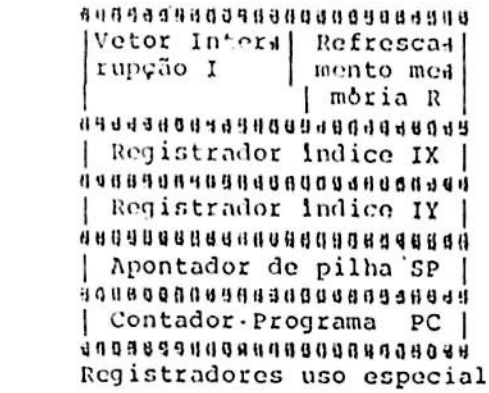
Abaixo vemos o diagrama de blocos do Z80



Como podemos observar pelo diagrama acima, o Z80 trabalha com um barramento de dados de 8 bits e um barramento de endereço de 16 bits o que lhe permite endereçar até 64 bytes de memória diretamente. Internamente a CPU contém 208 bits de memória RAM acessível ao programador. Esta memória esta dividida em 18 registradores de 8 bits e 4 registradores de 16 bits. Os registradores de 8 bits podem ser usados individualmente ou aos pares, formando registradores de 16 bits.

Abaixo temos a configuração desses registradores:

Acumulador	Flags	Acumulador	Flags	
A	F	A'	F'	
B	C	B'	C'	registradores uso geral
D	E	D'	E'	
H	L	H'	L'	



Registradores uso especial

Descrição dos Registradores uso especial

1.Contador de Programa (PC) O PC é o registro responsável pela execução seqüencial do programa. A cada instrução que é executada o PC é incrementado. Quando há uma instrução de jump (salto) o novo valor é colocado automaticamente no PC e este prossegue a partir dai.

2.Apontador de Pilha (SP) É um registrador de 16 bits que armazena o valor do PC em caso de interrupção ou de chamada de subrotina. Assim após uma instrução RETURN esse valor é incrementado e seu valor é colocado no PC para que este prossiga a partir do endereço no qual foi dada a interrupção ou chamada a subrotina.

3.Registradores de Índice (IX e IY) São dois registradores de 16 bits que são utilizados no modo de endereçamento indexado. Esses registradores são frequentemente usados em programas que utilizam tabelas de dados.

4.Registro de endereçamento de interrupção (I) No modo 2 de interrupção do Z80 é necessário fornecer dois pares de 8 bits para que este acesse a subrotina de interrupção. Os oito bits menos significativos são entregues à CPU pelo barramento de dados durante o ciclo de interrupção. Os oito bits mais significativos são aqueles que estão armazenados no registrador I.

5. Registrador refrescamento memória (R) Este é um registrador utilizado para fornecer os bits de endereçamento de "refresh" das memórias dinâmicas. Esse registrador é automaticamente incrementado após cada instrução de busca. O dado contido no registrador R é passado para a porção mais baixa das linhas de endereço juntamente com o sinal de controle RFSH enquanto a CPU está decodificando e executando um ciclo de busca do código de operação.

Unidade Lógica e Aritmética

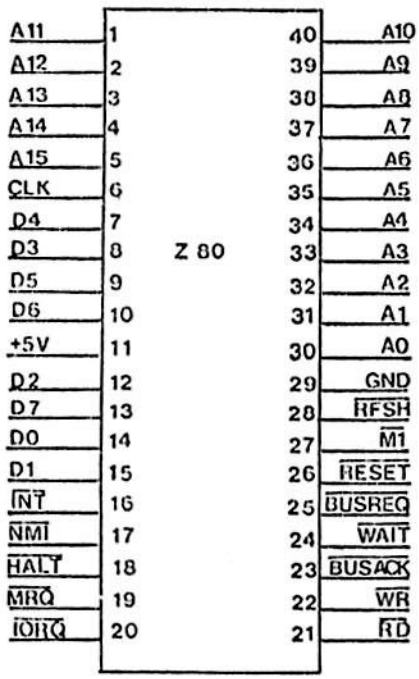
A unidade lógica e aritmética do Z80 trabalha com 8 bits e efetua as seguintes operações:

Adição
Subtração
E
OU
OU Exclusivo
Comparação
Girar bytes para a esquerda ou direita
Incrementar
Decrementar
Ativar bit
Desativar bit
Testar bit

Registrador de instruções e contrôle CPU:

Durante a execução de um programa, cada instrução é procurada na memória, colocada no registrador de instruções e decodificada. A parte de contrôle gera e checa todos os sinais necessários para ler ou escrever dados nos registradores, controla a ULA e gera sinais requeridos externamente para contrôle.

Descrição Pinagem Z80



A0#A15 (barramento de endereços) # são as 16 linhas responsáveis pelo endereçamento do sistema. Suas saídas são em tree#state e ativas em nível lógico alto. Podem endereçar diretamente 64K de memória no modo leitura/escritura. Durante endereçamento de dispositivos de entrada/saída são usados os 8 bits menos significativos, podendo endereçar até 256 dispositivos para entrada/saída. Durante o ciclo de refrescamento de memória o registrador R é colocado nas linhas de endereço de A0 a A6, ficando estas válidas como linhas de refrescamento. O endereço menos signitivo é o A0.

D0#D7 (Barramento de dados) # é o barramento por onde passam os 8 bits de dados. É bidirecional, com linhas tree#state, ativas em nível lógico alto.

$\overline{M1}$ (um ciclo de máquina) # sinal de saída, ativo em nível lógico baixo, indica que o ciclo de máquina corrente é um ciclo de busca de código de operação. Esse sinal também é ativado juntamente com $\overline{IORQ}$ para indicar um reconhecimento do ciclo de interrupção (INTACK).

$\overline{MRQ}$ (requisição de memória) # sinal de saída, tree#state ativo em nível lógico baixo, serve para indicar que o conteúdo do barramento de endereços é um endereço válido para escrita ou leitura de memória.

$\overline{IORQ}$ (requisição de entrada/saída) # saída, tree#state ativo em nível lógico baixo. Indica que as linhas de endereço de A0 a A7 são válidas para o endereçamento de um dispositivo de entrada/saída Um sinal de $\overline{IORQ}$ também é gerado em conjunto com o sinal $\overline{M1}$ para indicar o reconhecimento de um ciclo de interrupção, permitindo que o dispositivo que gerou a interrupção colcque seu vetor de interrupção no barramento de dados. Reconhecimentos de interrupção ocorrem durante o tempo $\overline{M1}$ enquanto operações entrada / saída nunca ocorrem durante tal ciclo.

$\overline{RD}$ (leitura de memória) saída, tree#state, ativo em baixo. Indica que a CPU necessita de dados da memória ou de um dispositivo de (entrada/saída).

$\overline{WR}$ (escritura de dados) saída, tree-state, ativo em baixo. Esse sinal indica que os dados do barramento de dados devem ser armazenados na memória ou no dispositivo de entrada/saída endereçado naquele momento.

$\overline{RFSH}$ (refrescamento) saída, ativo em baixo. $\overline{RFSH}$ indica que os sete bits endereçamento A0 a A6 são válidos para o refrescamento das memórias dinâmicas.

$\overline{HALT}$ (estado de parada) saída, ativo em baixo. Esse sinal indica que a CPU está executando uma instrução ou uma interrupção não mascarada. Enquanto nesse estado a CPU executa NOP's (no operation), para manter o refrescamento das memórias.

$\overline{INT}$ (requisição interrupção) Entrada, ativo em baixo. O sinal de interrupção é gerado por dispositivos de entrada/saída. A requisição será atendida ao fim da instrução corrente se o flip-flop de contrôle de interrupção interno (IFF) estiver habilitado e o sinal $\overline{BUSRQ}$ estiver desativado. Quando a CPU aceita a interrupção, um sinal de reconhecimento ($\overline{IORQ}$ durante um ciclo $\overline{M1}$) é gerado. A CPU pode responder a uma interrupção de três diferentes maneiras através do comando dado pelos flip-flops IMF. O propósito de um sinal de interrupção é forçar a CPU a cair numa subrotina de serviço envolvida com troca de dados, contrôle de estado ou informação. Após essa subrotina ser executada a CPU retorna ao ponto de onde havia sido interrompida e prossegue de novo a partir daí.

Os modos de interrupção são: modo 0
modo 1
modo 2

Os dois flip-flops de interrupção apresentam-se da seguinte maneira para cada um desses modos:

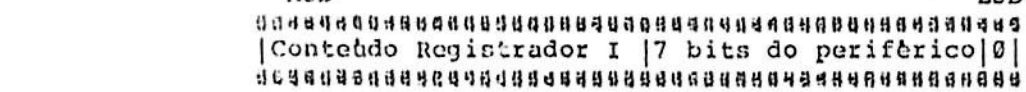
	IMFa	IMFb
modo 0	0	0
modo 1	1	0
modo 2	1	1

Os flip-flops IFF1 e IFF2 são responsáveis pelo estado de interrupção.

IFF1	IFF2	
0	0	← interrupção desabilitada
1	1	← interrupção habilitada

No modo 0 de interrupção o dispositivo que a re-

quisita, pode colocar qualquer instrução no barramento da CPU e esta o executará. Desse modo o dispositivo fornece a próxima instrução a ser executada, ao invés da memória.
No modo 1 a CPU responderá à interrupção saltando para o endereço 0038 da memória. Desse modo a execução prossegue a partir do endereço 0038 e após haver sido executada a subrotina de interrupção a CPU volta ao ponto de parada.
No modo 2 a CPU monta um endereço com o conteúdo do registrador I e do valor cedido pelo dispositivo que gerou a interrupção do seguinte modo:



Este é o endereço onde a CPU vai buscar o endereço de início da subrotina de interrupção.

$\overline{NMI}$ (interrupção não mascarada) Entrada, ativo na borda de descida. A interrupção não mascarada tem prioridade maior que $\overline{INT}$ e é sempre reconhecida ao fim da instrução corrente, independente do estado dos flip-flops de habilitação de interrupção. $\overline{NMI}$ força automaticamente a CPU a ir no endereço 0066.

$\overline{RESET}$ entrada, ativo em nível baixo. RESET força o contador de programa e o apontador de pilha a zero e inicializa a CPU incluindo:

1. Desabilita o flip-flop habilitador de interrupção.
2. Coloca o registrador I=00
3. Coloca o registrador R=00
4. Coloca a interrupção no modo 0

Durante o tempo de reset, o barramento de endereçamento e dados é colocado num estado de alta impedância e todos os contrôles de saída vão para nível inativo.

$\overline{BUSRQ}$ (requisição barramento). Entrada, ativo em nível lógico baixo. Esse sinal é utilizado para solicitar a liberação dos barramentos por parte da CPU, que os coloca em nível tree-state para que o dispositivo que os solicitou possa usá-los. Quando esse sinal é ativado a CPU coloca essas linhas em alta impedância, assim que o corrente ciclo de máquina é terminado.

Mnemônicos Z80

Instruções Carga 8 bits

LD r,r'	Carrega registrador r com conteúdo do registrador r'.
LD r,n	Carrega registrador r com valor n.
LD r,(HL)	Carrega registrador r com conteúdo localizado no endereço (HL).
LD r,(IX+d)	Carrega registrador r com conteúdo localizado no endereço (IX + d).
LD r,(IY+d)	Idem acima no endereço (IY + d).
LD (HL),n	Carrega localização endereçada por (HL) com o valor n.
LD (IX+d),n	Idem para localização endereçada por (IX + d)
LD (IY+d),n	Idem para localização endereçada por (IY + d)
LD (HL),r	Carrega localização endereçada por (HL) com o conteúdo do registrador r.
LD (IX+d),r	Idem para localização endereçada por (IX + d)
LD (IY+d),r	Idem para localização endereçada por (IY + d)
LD A,(BC)	Carrega o acumulador com o conteúdo endereçado por (BC).
LD A,(DE)	Idem para o conteúdo endereçado por (DE)
LD A,(nn)	Carrega o acumulador com o conteúdo endereçado por (nn).
LD (BC),A	Carrega localização por (BC) com o conteúdo acumulador.
LD (DE),A	Idem para a localização endereçada por (DE)
LD (nn),A	Idem para a localização endereçada por (nn).

Instruções Carga 16 bits:

LD dd,nn	Carrega registradores dd com o valor nn
LD IX,nn	Idem para o registro IX
LD IY,nn	Idem para o registro IY
LD HL,(nn)	Carrega o registrador L com o conteúdo endereçado por nn e o registrador H com o conteúdo endereçado por nn+1.
LD dd,(nn)	Idem para o s registradores dd
LD IX,(nn)	Idem para o registrador IX
LD IY,(nn)	Idem para o registrador IY
LD (nn),HL	Carrega localização nn com conteúdo do registrador L e nn+1 com o conteúdo do registrador H.
LD (nn),dd	Idem para os registradores dd.
LD (nn),IX	Idem para os registradores IX
LD (nn),IY	Idem para os registradores IY
LD SP,HL	Carrega "stack pointer" com o conteúdo de HL.
LD SP,IX	Idem para o conteúdo de IX
LD SP,IY	Idem para o conteúdo de IY
PUSH qq	Carrega par de registradores qq no stack
PUSH IX	Idem para IX
PUSH IY	Idem para IY
POP qq	Carrega par de registradores qq com o conteúdo do topo do stack.
POP IX	Idem para IX
POP IY	Idem para IY

Instruções de busca, transferência e troca

EX DE,HL	Troca conteúdos de DE e HL
EX AF,A'F'	Idem para AF e A'F'

EXX	Troca todos os registradores de uso geral com os alternativos.
EX(SP),HL	Troca conteúdo do stack pointer com conteúdo de HL.
EX(SP),IX	Idem para IX
EX(SP),IY	Idem para IY
LDI	Carrega conteúdo da memória endereçado por HL em (DE) incrementa DE e HL e decrementa BC.
LDIR	O mesmo, mas se mantém em loop até que BC seja igual a zero.
LDD	O mesmo que LDI, só que decrementa DE e HL.
LDDR	O mesmo que LDIR, só que decrementa DE e HL.
CPI	Compara conteúdo do acumulador com o conteúdo endereçado por HL. Seta o flag Z se os valores forem iguais e incrementa HL e decrementa BC.
CPIR	O mesmo, mas efetua um loop até que BC seja igual a zero.
CP S	Compara conteúdo do acumulador com registro s.
CPD	O mesmo que CPI, mas decrementa HL e BC.
CPDR	O mesmo que CPIR, mas decrementa HL e BC.

Instruções lógicas e aritméticas de 8 bits

ADD A,r	Soma registrador r no acumulador.
ADD A,n	Soma valor n no acumulados
ADD A,(HL)	Soma conteúdo endereçado por (HL) no acumulador.
ADD A,(IX+d)	Soma conteúdo endereçado por (IX+d) no acumulador.
ADD A,(IY+d)	O mesmo para o registrador IY

SUB s	Subtrai conteúdo s do acumulador, onde s pode ser um registrador, um número ou a posição endereçada por (HL), (IX+d) ou (IY+d).
SBC s	Idem, só que também subtrai o "carry flag".
AND s	"E" lógico do operando s e acumulador. O resultado é armazenado no acumulador.
OR s	Idem para operação "OU"
XOR s	Idem para operação "OU EXCLUSIVO"
INC r	Incrementa registrador r.
INC (HL)	Incrementa localização endereçada por (HL).
INC (IX+d)	Idem para (IX+d)
INC (IY+d)	Idem para (IY+d)
DEC r	Decrementa registrador r.

Instruções aritméticas de 16 bits

ADD HL,rr	Soma par de registradores rr em HL.
ADC HL,rr	O mesmo, mas inclui "carry flag"
SBC HL,rr	Subtrai par de registradores rr do par HL, utilizando o "carry flag"
ADD IX,rr	Idem para IX
ADD IY,rr	Idem para IY
INC rr	Incrementa par de registradxres rr.
INC IX	Incrementa IX
INC IY	Idem para IY
DEC rr	Decrementa par de registradores rr.
DEC IX	Idem para IX
DEC IY	Idem para IY

Instruções de contrôle e um geral

DAA	Ajuste decimal do acumulador.
CPL	Complementa o acumulador.
NEG	Complementa o acumulador e soma 1.
CCF	Complementa "carry flag"
SCF	Seta "carry flag"
NOP	Nenhuma operação
HALT	Para a CPU até que ocorra um Interrupt ou reset.
DI	Desabilita interrupção
EI	Habilita interrupção
IM0	Seta interrupção para modo 0
IM1	Idem para modo 1
IM2	Idem para modo 2

Instruções de rotação e deslocamento

RLCA	Gira acumulador à esquerda
RLA	Idem, incluindo "carru flag"
RRCA	Gira acumulador à direita
RRA	Idem, incluindo "carry flag"
LLC r	Gira registrador r à esquerda
RLC (HL)	Gira conteúdo endereçado por (HL) à esquerda.
RLC (IX+d)	Idem para (IX+d)
RLC (IY+d)	Idem para (IY+d)
RL m	O mesmo que RLC, mas inclui "carry flag"
RRC m	O mesmo que RLC, mas gira à direita.
RR m	Idem, incluindo "carry flag"
SLA s	Desloca operando s à esquerda

SRA s	Idem à direita
SRL s	O mesmo que SLA, mas gira à direita.
RRD	Rotação simultânea de 4 bits do acumulador para L,L para H e H para o acumulador
RLD	Idem, mas do acumulador para H, de H para L e de L para o acumulador.

Instruções de teste de bits:

Bit b,r	Testa bit b do registro r.
Bit b,(HL)	Testa bit b do valor endereçado por HL.
Bit b,(IX+d)	O mesmo para (IX+d)
Bit b,(IY+d)	O mesmo para (IY+d)
Set b,r	Seta bit b do registrador r
Set b,(HL)	Seta bit b conteúdo endereçado por HL
Set b,(IX+d)	Idem para (IX+d)
Set b,(IY+d)	Idem para (IY+d)
RES b,s	Reseta bit b do operando s.

Instruções de desvio e chamadas de subrotinas

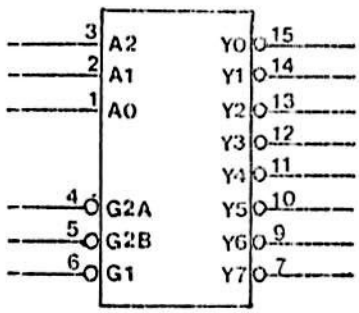
JP nn	Desvio incondicional para posição nn.
JP cc,nn	Se a condição cc for verdadeira, desvia para nn.
JR e	Desvio incondiconal para PC+e
JR c,e	Se c=1, desvia para PC+e
JR NC,e	Se c=0, desvia para PC+e
JR Z,e	Se z=1, desvia para PC+e
JR NZ,e	Se z=0, desvia para PC+e
JP (HL)	Carrega PC com conteúdo endereçado por (HL).
JP (IX)	Idem para (IX)
JP (IY)	Idem para (IY)

DJNZ,e	Decrementa registro B e desvia para PC+e se B=0
CALL cc,nn	Chama subrotina nn.
CALL cc,nn	Chama subrotina nn se a condição cc for verdadeira.
RET	Retorna da subrotina
RET cc	Retorna da subrotina se a condição cc for verdadeira
RET I	Retorna da interrupção
RET N	Retorna da interrupção não mascarada.
RST P	Carrega PC no stack, e carrega p em PC, prosseguindo a partir daí.

Instruções de I/O:

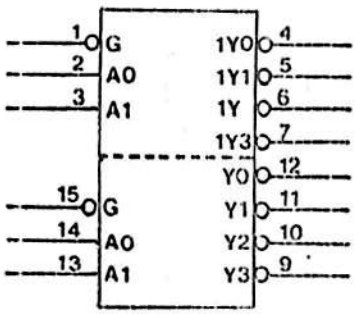
IN A,n	Carrega acumulador com conteúdo da porta n.
IN r,(C)	Carrega registrador r com o valor da porta endereçada por C.
INI	Carrega conteúdo da porta endereçada por C no endereço especificado por HL, decrementa B e incrementa HL.
INIR	Idem, mas efetua um loop até que B seja igual a zero.
IND	O mesmo que INI, mas também decrementa HL.
IND R	O mesmo que INIR, mas também decrementa HL.
OUT n,A	Carrega conteúdo do acumulador na porta n
OUT (C),r	Carrega conteúdo do registrador r na porta endereçada por c.
OUT I	Carrega porta endereçada c com o conteúdo endereçado por HL e decrementa B.
OUT I R	O mesmo, mas entra em loop até que B seja igual a zero.
OUT D	O mesmo que OVTI, mas decrementa HL

2. 74LS138



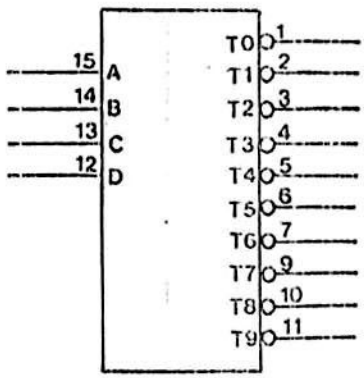
Inputs					Outputs							
Enable		Select										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

3. 74LS139



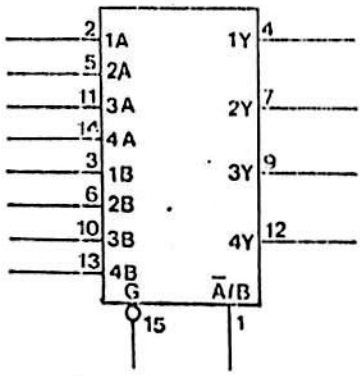
Inputs			Outputs			
Enable	Select					
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

4. 74LS145



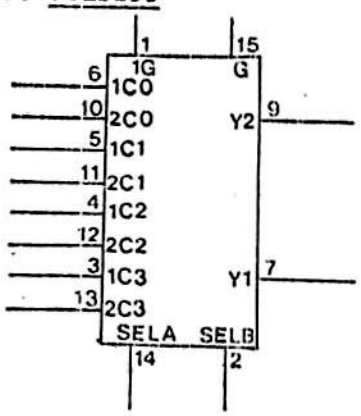
No.	Inputs				Outputs									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H

5. 74LS157



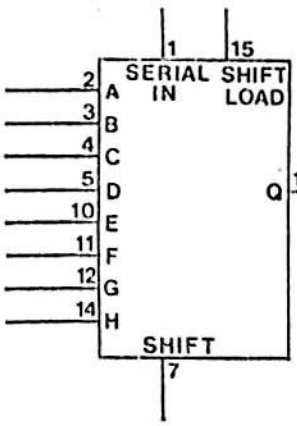
Inputs				Output Y	
Strobe	Select	A	B	157, L157A LS157, S157	LS158 S158
H	X	X	X	L	H
L	L	L	X	L	H
L	L	H	X	H	L
L	H	X	L	L	H
L	H	X	H	H	L

6. 74LS153



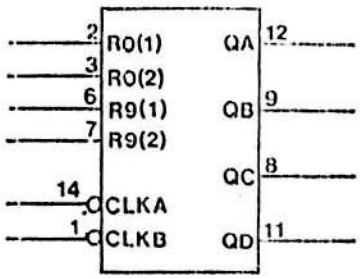
Select Inputs		Data Inputs				Strobe	Output
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

7. 74LS166



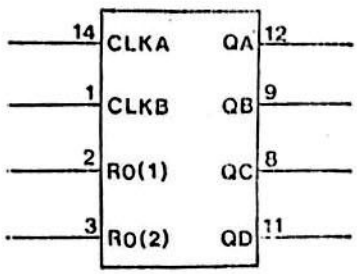
O sinal shift/load carrega as entradas paralelas quando vai a nível lógico "zero". A serialização é efetuada através do sinal shift, sendo que o primeiro bit a sair é o H. Caso o sinal shift load, fique em nível lógico "um" após o último bit ter saído será utilizada a entrada serial in.

8. 74LS90



Count	Output			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

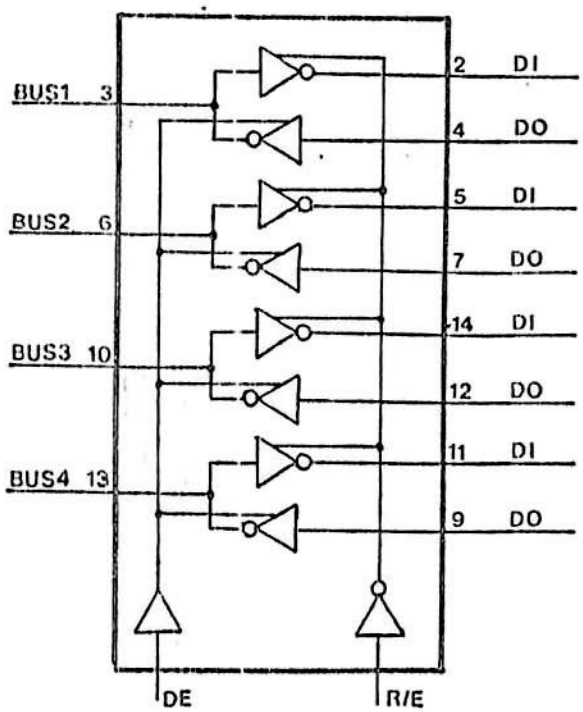
9. 74LS93



Count	Output			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

10. N8T26

O sinal DE quando em "0" desabilita a saída de dados.
O sinal R/E quando em "1" habilita a saída de dados.



PLACA PVIII

A PLACA PRINCIPAL DO CP500

DESCRIÇÃO DA PLACA PVIII

Endereçamento de memória

A placa PVIII é a parte principal do CP500, onde estão localizadas a CPU, a memórias RAM e EPROM, circuito de vídeo de cassete e os circuitos que controlam o acesso aos diversos periféricos.

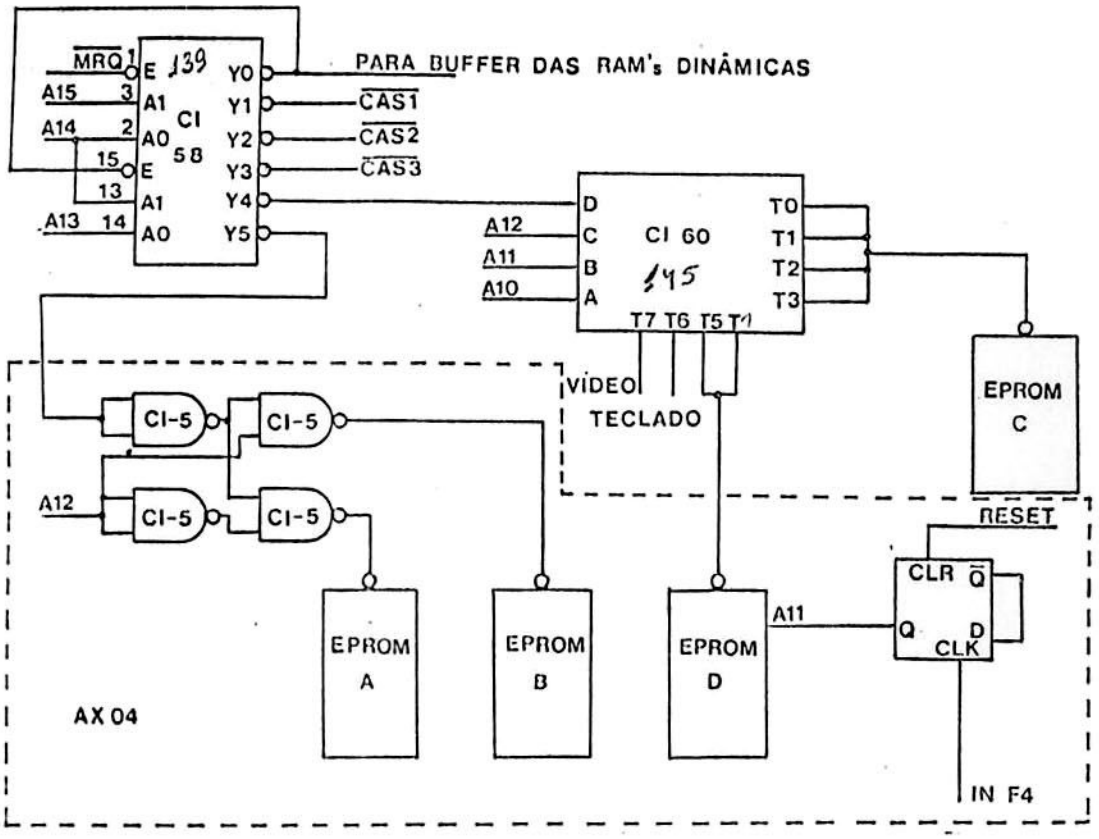
Todos os dispositivos estão mapeados de acordo com a tabela a seguir:

ENDEREÇO	DISPOSITIVO
0000 a 0FFF	EPROM A
1000 a 1FFF	EPROM B
2000 a 2FFF	EPROM C
3000 a 37E7	EPROM D OU MONITOR CHAVEADO
37E8 e 37E9	ESTADO DA IMPRESSORA
37EA e 37FF	EPROM D OU MONITOR CHAVEADO
3800 a 3BFF	TECLADO
3C00 a 3FFF	VÍDEO
4000 a 7FFF	BANCO RAM 1
8000 a BFFF	BANCO RAM 2
C000 a FFFF	BANCO RAM 3

Como podemos observar, cada dispositivo tem um endereço fixo de memória. Logo quando estivermos endereçando um determinado dispositivo os demais estarão desacessados.

Tal mapeamento de memória é feito com o auxílio de apenas 2 componentes: CI58 (74LS139) e CI60 (74LS145). Aconselhamos que a partir de agora a leitura do manual seja acompanhada da visualização dos esquemas elétrico e topológico da placa PVIII.

Observando o esquema abaixo, vemos que ao CI58 estão conectadas as linhas $\overline{MRQ}$, que tem por finalidade habilitar o dispositivo e A15, A14, A13 que por sua vez ativam as diversas saídas do decodificador.



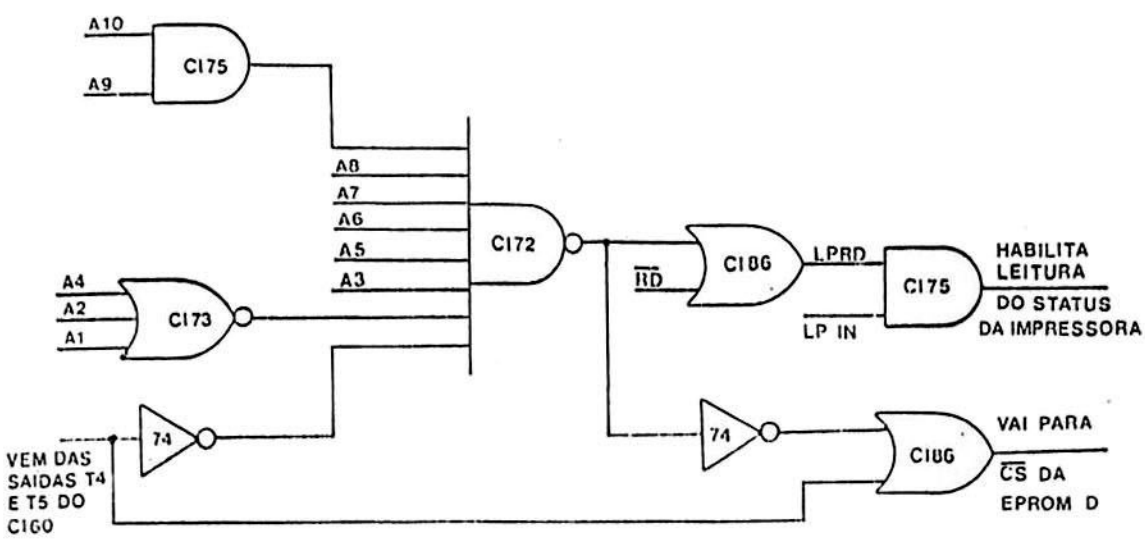
Desse modo a tabela de acionamento fica sendo a seguinte:

ENDREÇO BINÁRIO																END.	SAÍDAS
A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	HEXA	ACIONADAS
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000	Y0 CI58 AMBAS
																A	
0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0FFF	
0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1000	Y0 CI58 AMBAS
																A	
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1FFF	
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	2000	Y0 E Y1 CI58 HABILITA CI60 T0 CI60
0	0	1	0	0	1	X	X	X	X	X	X	X	X	X	X	A	T1 CI60
0	0	1	0	1	0	X	X	X	X	X	X	X	X	X	X		T2 CI60
0	0	1	0	1	1	X	X	X	X	X	X	X	X	X	X		T3 CI60
0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	2FFF	
0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	3000	T4 CI60
0	0	1	1	0	1	1	1	1	1	1	1	0	1	0	0	37E8	LÓGICA STATUS
0	0	1	1	0	1	1	1	1	1	1	1	0	1	0	0	37E9	IMPRESSORA
0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	37FF	T5 CI60
0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	3800	T6 CI60
																A	
0	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	3BFF	
0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	3C00	T7 CI60
																A	
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	3FFF	
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4000	Y1 CI58
																A	
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	7FFF	
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	8000	Y2 CI58
																A	
1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	BFFF	
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C000	Y3 CI58
																A	
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	FFFF	

Como vimos as linhas de endereço A15,A14 e A13, selecionam o CI58, sendo que as linhas A15 e A14 habilitam a segunda metade do CI58 quando estão em nivel lógico zero ou então comandam qual banco de RAM irá ser acessado atráves dos sinais $\overline{CAS1}$, $\overline{CAS2}$, $\overline{CAS3}$.

Já as linhas A12, A11 e A10 efetuam o contrôle do CI60, resposânvel pela seleção das EPROM's C e D, da leitura do teclado e do acesso ao circuito de vídeo.

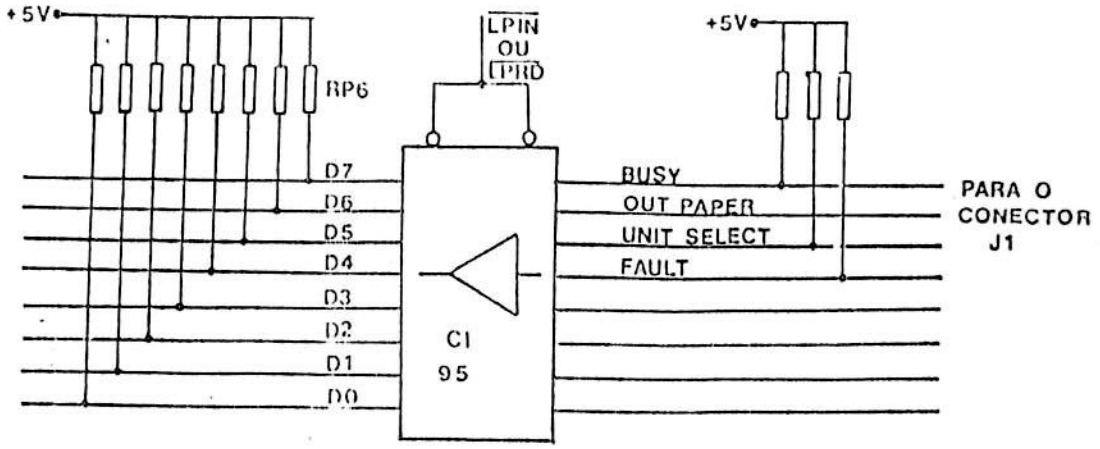
Podemos constatar pela figura 3 que a EPROM D possui dois endereços (37E8 e 37E9) em que ela não está sendo acessada. Tais endereços estão reservados para a leitura do status da impressora e sua seleção se dá atráves da lógica formada pelos CI's 72,73,74,75 e 86 (74LS30, 74LS27, 74LS04, 74LS08 e 74LS32 respectivamente), como indica o esquema a seguir:



Dessa maneira existem duas combinações que impedem a geração do $\overline{CS}$ para a EPROM D e fazem com que o sinal $\overline{LPRD}$ vá a zero. Tais combinações são:

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	HEXA
0	0	1	1	0	1	1	1	1	1	1	0	1	0	0	0	37E8
0	0	1	1	0	1	1	1	1	1	1	0	1	0	0	1	37E9

Esse sinal $\overline{LPRD}$ (que também pode ser gerado através do decodificador de I/O, pelo sinal $\overline{LPIN}$, como será visto posteriormente) irá habilitar o CI95 (74LS244), que é um buffer bidirecional e que traz o status da impressora como mostrado a seguir:



Assim, se for efetuada uma leitura nos endereços 37E8 ou 37E9, no barramento de dados da CPU chegará o status da impressora da seguinte maneira:

D7 → BUSY → 0 → impressora pronta
1 → impressora ocupada

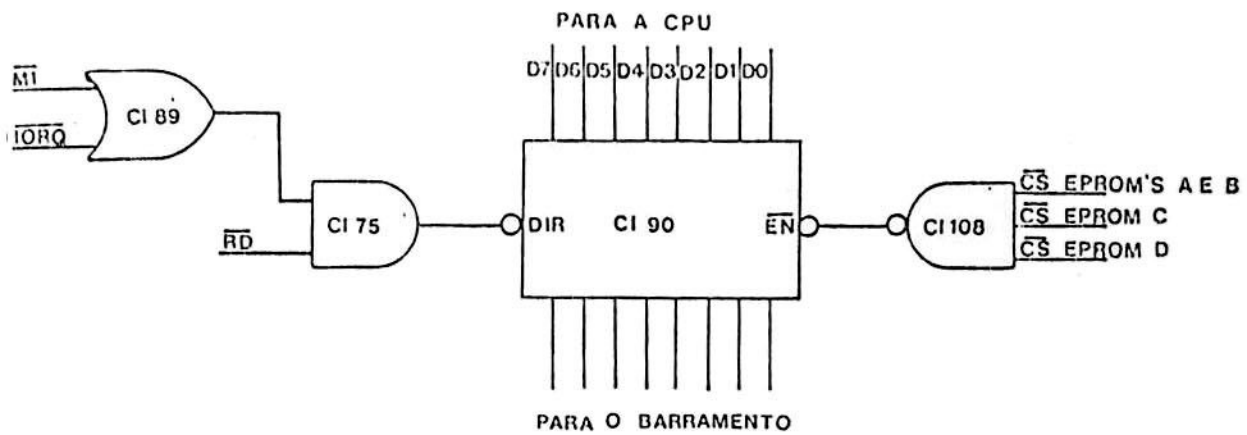
D6 → OUT PAPER → 0 → impressora com papel
1 → impressora sem papel

D5 → UNIT SELECT 0 → impressora não selecionada
1 → impressora selecionada

D4 → FAULT → 0 → indica condição de erro na impressora
1 → impressora ok

Os demais sinais (Y5,Y6,Y7 e Y8) podem ser utilizados para checar outros estados da impressora (por exemplo: caracteres em impressão gráfica), mas tais sinais só podem ser checados através de software.

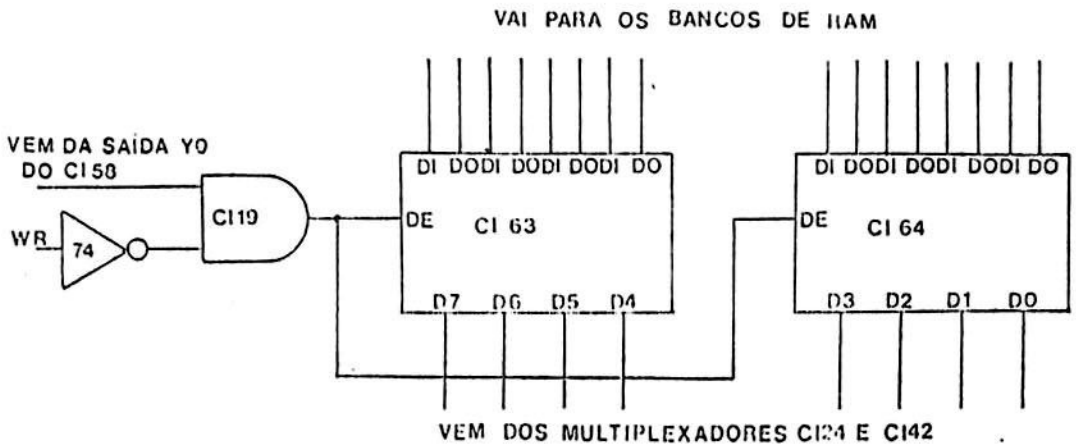
Durante a seleção das EPROM's podemos observar também que o barramento de dados da CPU é desconectado do restante da placa através da lógica formada pelos CI's 90 e 108 (74LS245 e 74LS10 respectivamente), como mostrado no esquema a seguir:



A direção do CI90 é determinada pelos sinais $\overline{M1}$, $\overline{IORQ}$ e RD, combinados nos CI's 75 e 89 (74LS08 e 74LS32 respectivamente). Assim se RD=0 ou se $(\overline{M1} + \overline{IORQ})=0$, o CI90 será posicionado de forma que os dados fluam do barramento para a CPU. Convêm observar que $(\overline{M1}+\overline{IORQ})=0$ indica um reconhecimento de interrupção ($\overline{INTACK}$).

Por outro lado podemos ver que quando EPROM (ou outro dispositivo) é acessada os barramentos dos bancos de RAM, CI's 63 e 64 (ambos N8T26) são posicionados de forma aos dados entrarem na RAM. Mas como não há sinal de $\overline{CAS}$, nada é gravado na RAM's.

Veja a fig.7 a seguir:

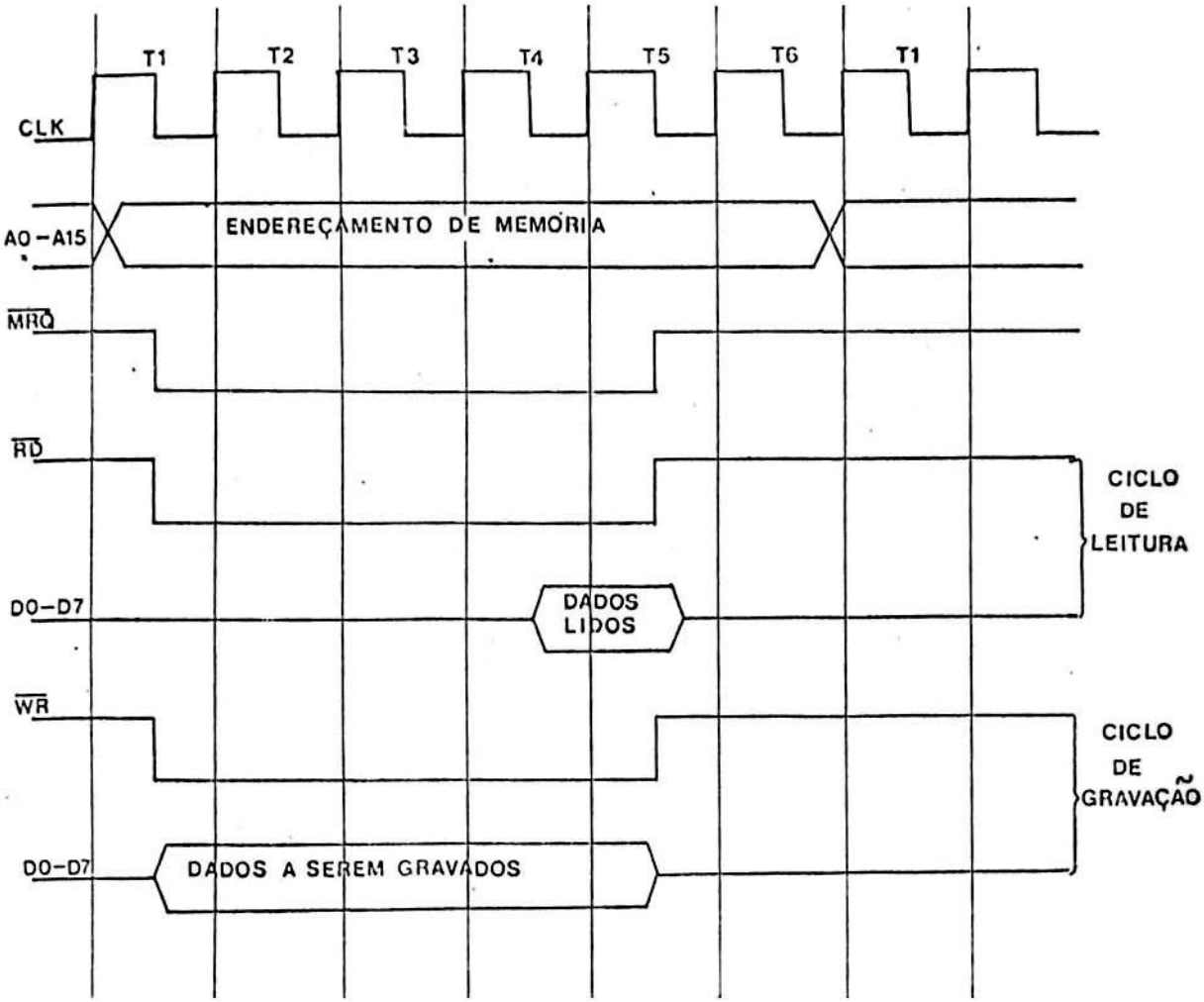


Geração dos sinais $\overline{RAS}$,$\overline{CAS}$ e MUX

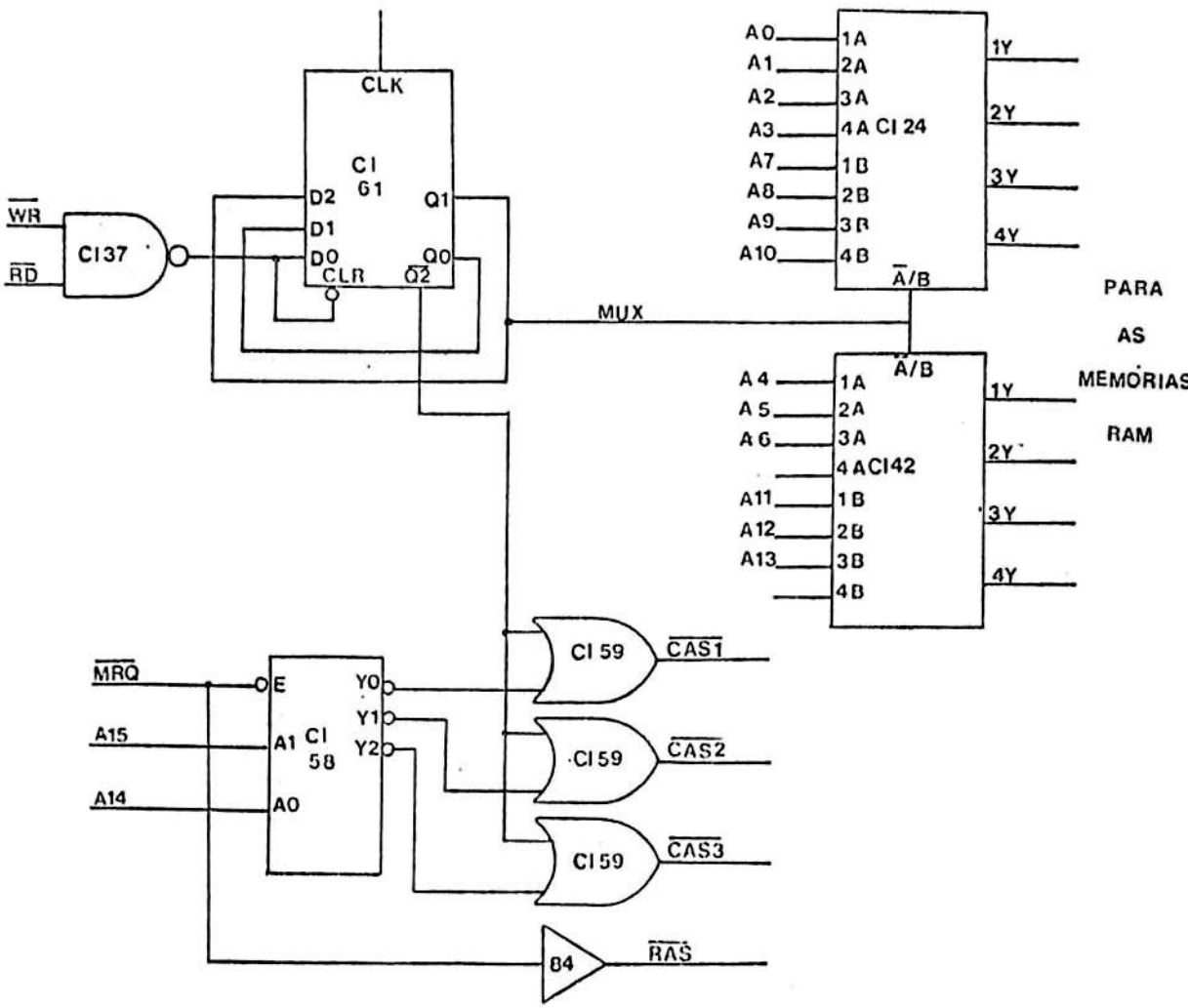
Os sinais $\overline{RAS}$,$\overline{CAS}$ e MUX são os responsáveis pelo endereçamento de linhas (ROW ADRESS STROBE), de colunas (COLUMN ADRESS STROBE) e pela multiplexação das linhas de endereço de A0 a A6 com A7 a A13.

O sinal $\overline{RAS}$ é gerado diretamente pelo sinal $\overline{MRQ}$, após passar pelo buffer, CI84 (74LS367) e daí é distribuído para os três bancos de RAM.

Abaixo temos representado um ciclo de leitura/escritura de memória para o Z80:

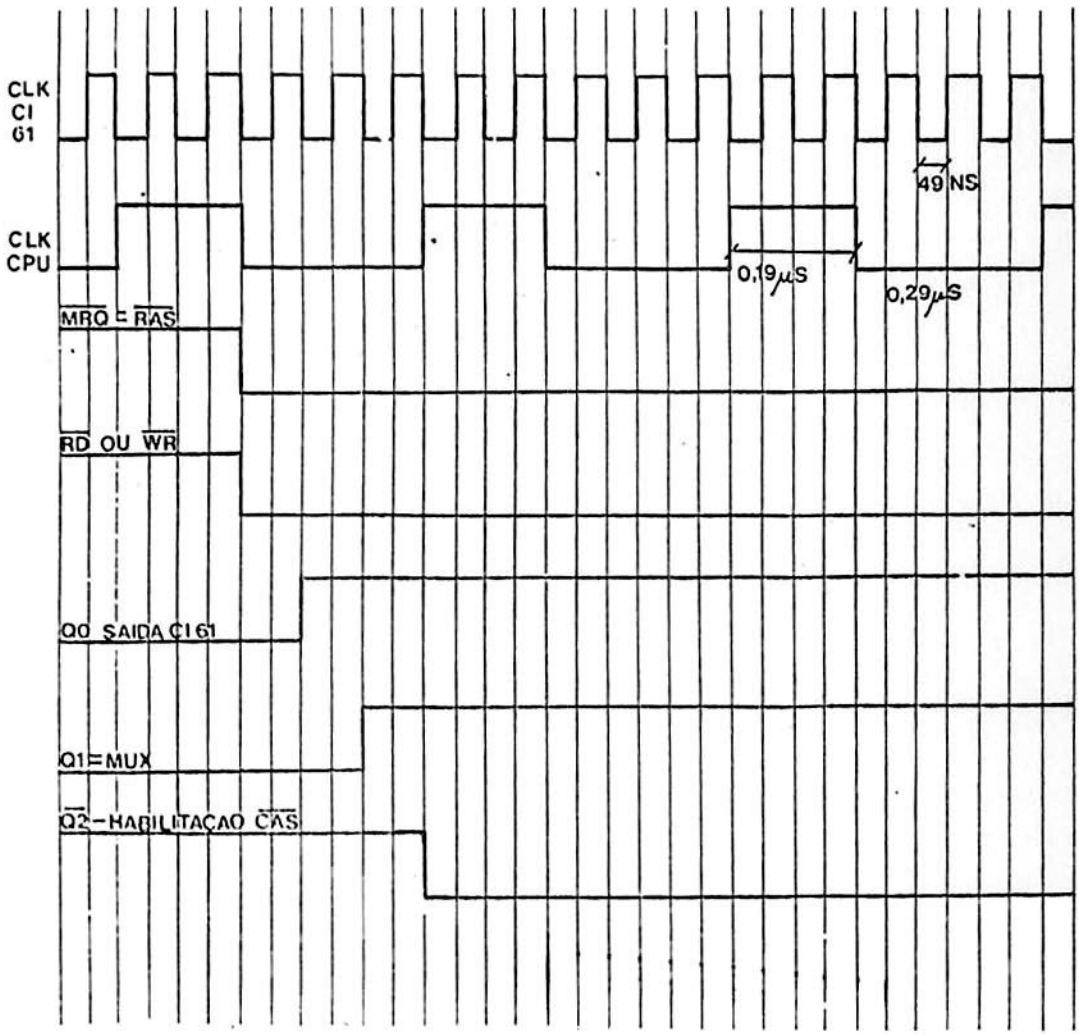

T1
T2
T3
T4
T5
T6
T1
CLK
A0-A15
ENDEREÇAMENTO DE MEMÓRIA
MRQ
RD
CICLO DE LEITURA
D0-D7
DADOS LIDOS
WR
CICLO DE GRAVAÇÃO
D0-D7
DADOS A SEREM GRAVADOS

Agora pela figura abaixo podemos obervar o circuito de geração dos sinais $\overline{CAS}$ e MUX.



Logo a seguir podemos ver como é um ciclo de geração de $\overline{RAS}$, MUX e $\overline{CAS}$ para as memórias RAM.

Antes, porém, é necessário observar que quando há o início de qualquer operação de leitura ou escritura de memória é gerado o sinal de $\overline{RAS}$ e é efetuado o endereçamento das linhas mais baixas (A0 a A6) das RAM's, pois com o surgimento do sinal $\overline{RD}$ (ou $\overline{WR}$), o latch CI61 (74LS175) é apagado, fazendo com que sejam selecionadas as entradas às nós multiplexers CI24 e 42 (74LS157).



Como vemos acima o CI61 faz com que haja um atraso de 0,19 s entre a geração e endereçamento das linhas ($\overline{RAS}$) e o surgimento do sinal MUX, que efetua a permutação das linhas de endereço A0 a A6 com as linhas A7 a A13 nos CI's 24 e 42.

Notemos também que há um atraso de 90ns entre a geração do sinal MUX e o sinal $\overline{CAS}$.

Dessa forma o CI61 gera a temporização adequada para o endereçamento das RAM's.

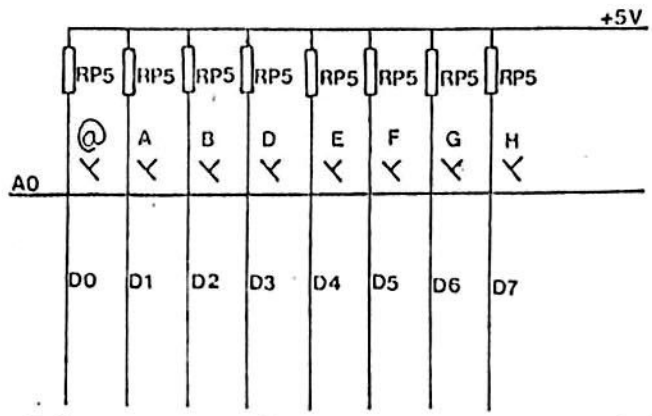
A seleção é feita pelas saidas Y0,Y1 e Y2 do CI58 conf traladas pelas linhas de endereço A15 e A14, correspondendo respectivamente aos sinais $\overline{CAS1}$,$\overline{CAS2}$ e $\overline{CAS3}$.

Veja a fig.9 e o esquema elètrico da PVIII.

Leitura de teclado

O teclado é formado por uma matriz, cujas linhas são determinadas pelas linhas de endereço de A0 a A7 e as colunas são formadas pelas linhas de dados de D0 a D7. Dessa forma, cada tecla possui uma única posição, identificada por uma linha de endereços e uma linha de dados.

Para exemplificar, vejamos o esquema abaixo, que corresponde à primeira linha do teclado:



Pelo esquema da PVIII vemos que os dois barramentos (dados e endereços) são buferizados pelos CI's 34,35,51 e 65 (74LS05 e MC14050). Observemos que o barramento de dados é invertido pelo CI66 (74LS240)

Como exemplo, vejamos as duas instruções que efetuam o teste da tecla BREAK. Essa rotina se inicia no endereço 028DH da memória, logo está contido na EPROM C, de acordo com a tabela de endereçamento.

```
028D    3A4038    LD    A,(3840H)
0290    E604      AND   04H
```

A primeira instrução faz com que o Z80 leia o conteúdo do endereço 3840H e o coloque no registro A. Como sabemos, tal endereço corresponde ao intervalo reservado para o teclado, sendo que em binário sua configuração é:

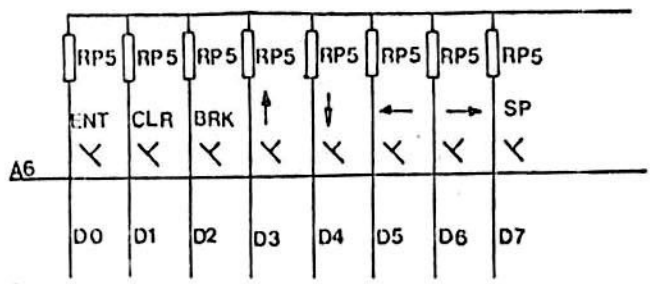
A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	0	1	1	1	0	0	0	0	1	0	0	0	0	0	0

seleciona saída Y1 CI58	seleciona saída T6 CI60 (teclado)	não usados

Como as linhas de endereço são invertidas antes de ativarem as linhas de teclado, o endereçamento das linhas de teclado ficará:

Linhas	1	2	3	4	5	6	7	8
	1	1	1	1	1	0	1	1

Agora vejamos como é montada a 6. linha de teclado, que é aquela que está ativa em zero:



Logo, se enquanto o Z80 estiver efetuando a leitura do endereço 3840H a tecla BREAK for pressionada, no barramento de dados do teclado teremos:

D0	D1	D2	D3	D4	D5	D6	D7
1	1	0	1	1	1	1	1

que após invertido pelo CI66, cairá no barramento de dados da CPU como :

D0	D1	D2	D3	D4	D5	D6	D7
0	0	1	0	0	0	0	0

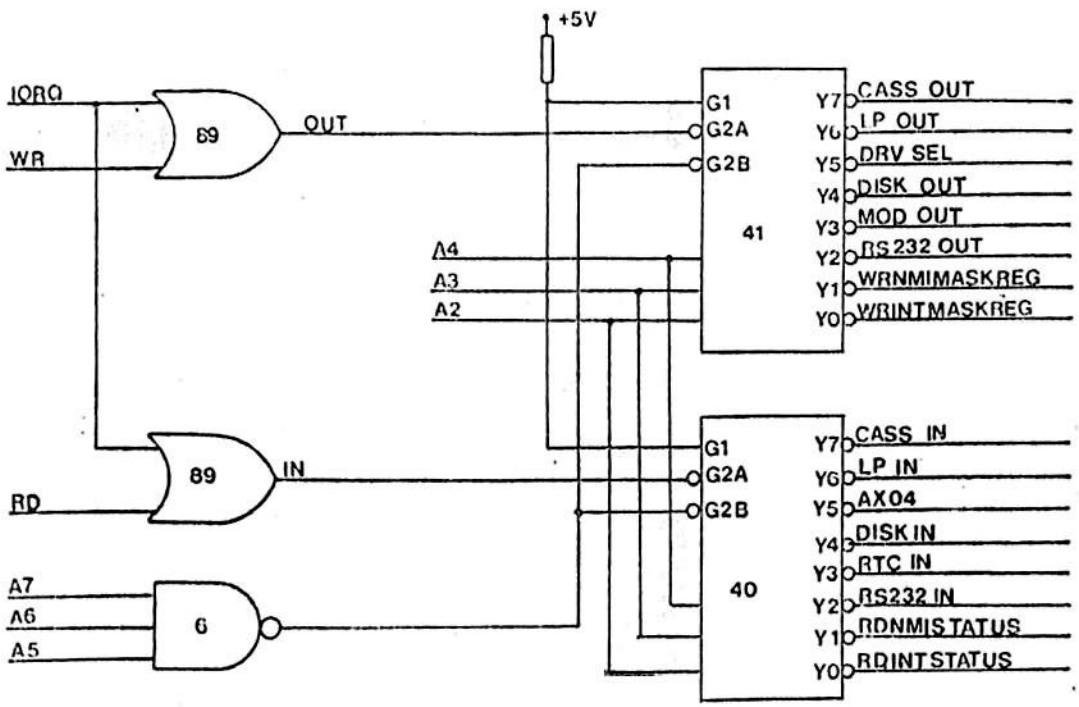
e então será armazenado no registro A.

A segunda instrução então compara este valor com o valor 04H e armazena o resultado no acumulador. Logo se a tecla BREAK foi acionada, teremos 04H no acumulador.

Endereçamento dos dispositivos de I/O:

A seleção dos dispositivos de I/O é feita por dois decodificadores, CI's 40 e 41 (74LS138), sendo que o CI40 é responsável pela seleção, dos dispositivos de leitura e o 41 é responsável pelos de escrita.

Os dispositivos de I/O do CP500 também são mapeados, ocupando o espaço de E0 a FF, inclusive. Veja a figura abaixo:



Vemos então, que os decodificadores só estarão habilitados quando as linhas de endereço A7,A6 e A5 forem 1 isto é quando houver um sinal IN (caso sejam acionados dispositivos de leitura pelo CI40) ou um sinal OUT (para dispositivos de escrita, CI41).

Também podemos notar que a ativação de uma determinada saída não depende das linhas de endereço A1 e A0. Assim sendo a cada saída correspondem quatro endereços de I/O. Como veremos adiante, na maioria das vezes esses quatro endereços agem como se fossem um único, mas no caso da CONTROL III e da placa RS 232C, cada um desses endereços tem uma função específica.

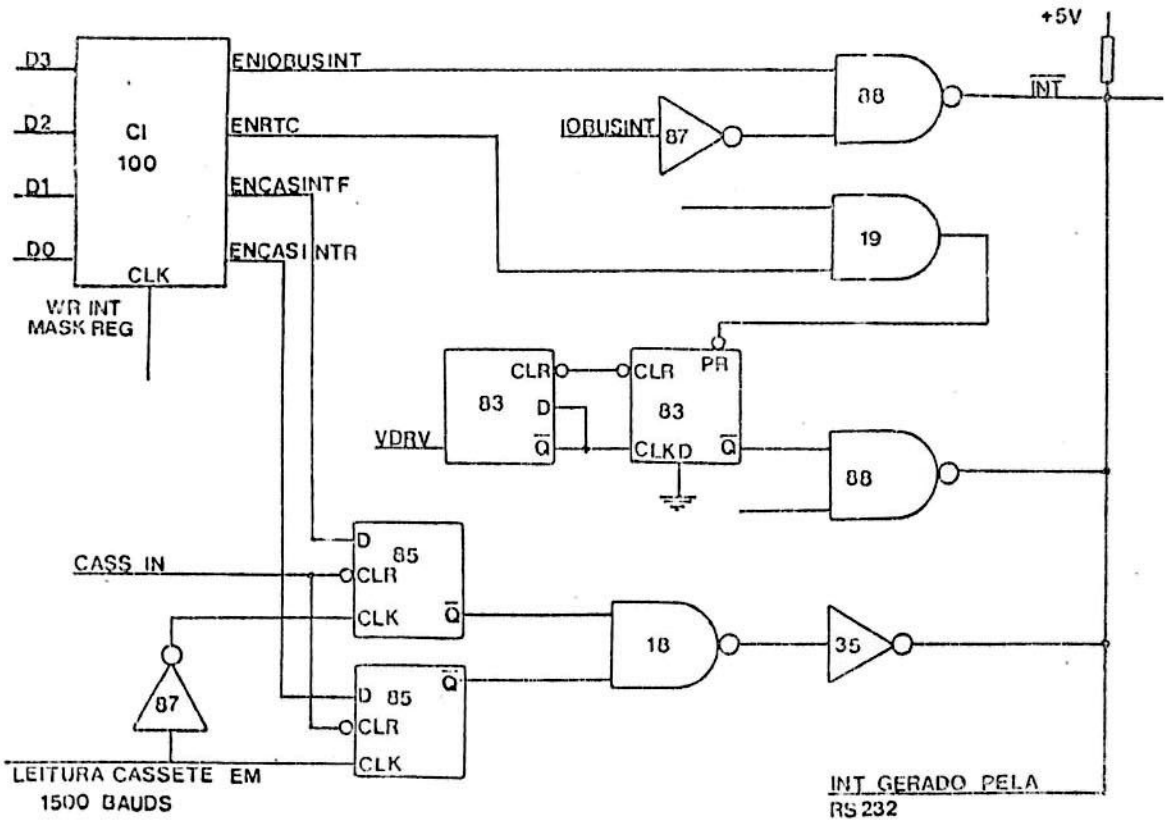
Vamos então detalhar a tabela de endereçamento de I/O que está dada a seguir:

ENDEREÇO								SAÍDA ATIVADA		
Binário								Hexa	Leitura	Escrita
A7	A6	A5	A4	A3	A2	A1	A0		IORQ + RD	IORQ + WR
1	1	1	0	0	0	X	X	E0 a E3	RD INT STATUS	WRINT MASKREG
1	1	1	0	0	1	X	X	E4 a E7	RD NMI STATUS	WRNMI MASKREG
1	1	1	0	1	0	X	X	E8 a EB	RS 232 IN	RS 232 OUT
1	1	1	0	1	1	X	X	EC a EF	RTC IN	MOD OUT
1	1	1	1	0	0	X	X	F0 a F3	DISK IN	DISK OUT
1	1	1	1	0	1	X	X	F4 a F7	MONITOR	DRV SEL
1	1	1	1	1	0	X	X	F8 a FB	LPIN	LP OUT
1	1	1	1	1	1	X	X	FC a FF	CASS IN	CASS OUT

WRINT STATUS

Este sinal tem por função programar qual dispositivo poderá gerar interrupção. Isso é feito através das linhas de dados de D0 a D3, que são colocadas no latch, CI100 (74LS174). Na saída desse circuito temos 4 dispositivos controlados através dos sinais ENIO BUSINT, ENRTC, ENCAS INF e ENCAS INTR.

Vejamos o esquema abaixo :


+5V
D3
D2
D1
D0
CI
100
CLK
ENIOBUSINT
ENRTC
ENCASINTF
ENCASINTR
WR INT
MASK REG
IOBUSINT
87
88
INT
19
CLR
83
D
Q
PR
VDRV
CASS IN
85
18
35
LEITURA CASSETE EM
1500 BAUDS
INT GERADO PELA
RS 232

Pelo esquema notamos que se D3 for zero, não será possível a geração de interrupção pelo barramento de I/O externo.

Se D2 for zero não será gerado o sinal $\overline{INT}$ por parte do sincronismo de vídeo.

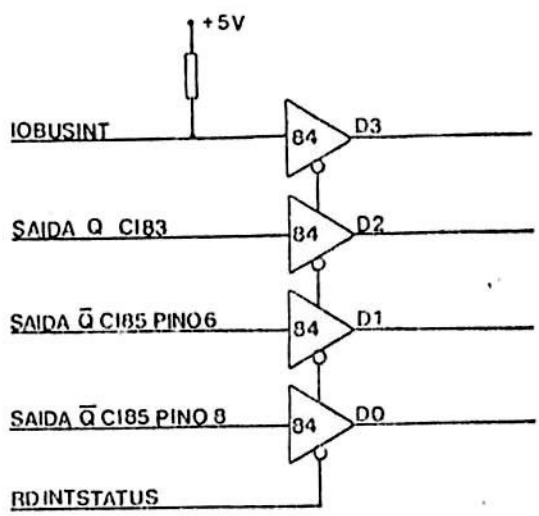
E finalmente se D0 a D1 forem ambos iguais a zero, não serão gerados pulsos de $\overline{INT}$ pelo circuito de leitua de cassete em 1500 Bauds (veja neste manual a parte referente ao cassete).

Dessa maneira o CPU pode dar níveis de prioridade aos diversos dispositivos, impedindo que este ou aquele gere interrupção.

RD INT STATUS

As operações de interrupção no CP500 são feitas no modo 1 (IM1). Assim quando um dispositivo gera interrupção, a CPU vai buscar a subrotina de interrupção no endereço 0038H de memória. Este sianl então é usado para efetuar a leitura do status de interrupção, descobrir qual despositivo a gerou e dar-lhe o tratamento adequado.

Isso é feito habilitando-se diversos buffers que dão acesso às linhas de dados D0,D1,D2 e D3, de acordo com o esquema abaixo :



A leitura do status de interrupção se dá através de uma rotina que se inicia no endereço 0038H.

A partir desse endereço o Z80 efetua uma varredura para descobrir qual dispositivo gerou a interrupção.

WR NMI STATUS

Este sinal tem por função programar a interrupção não mascarada na placa CONTROL III. Veja a seção destinada à placa CONTROL III.

RD NMI STATUS

Sua função é verificar qual dispositivo na placa CONTROL III gerou o sinal NMI.

RS 232 OUT

O sinal RS 232 OUT envia dados ou comandos para a interface RS232, proporcionando o envio de dados, a programação de velocidade, número de stop bits etc, de acordo com o endereço acessado, como está descrito abaixo :

Endereço	Função
E8	Reset da RS232
E9	Carga da velocidade de Baud Rate.
EA	Carga do registro de contrôle
EB	Envio de dados
	n.bits
	n.stop bits
	paridade

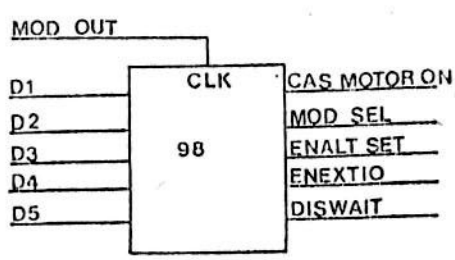
RS 232 IN

Este sinal efetua a leitura, tanto dos dados como do status da interface RS232, de acordo com a tabela abaixo:

Endereço	Função
E8	Leitura status modem
E9	Não usado
EA	Leitura status da UART
EB	Leitura do dado recebido

MOD OUT

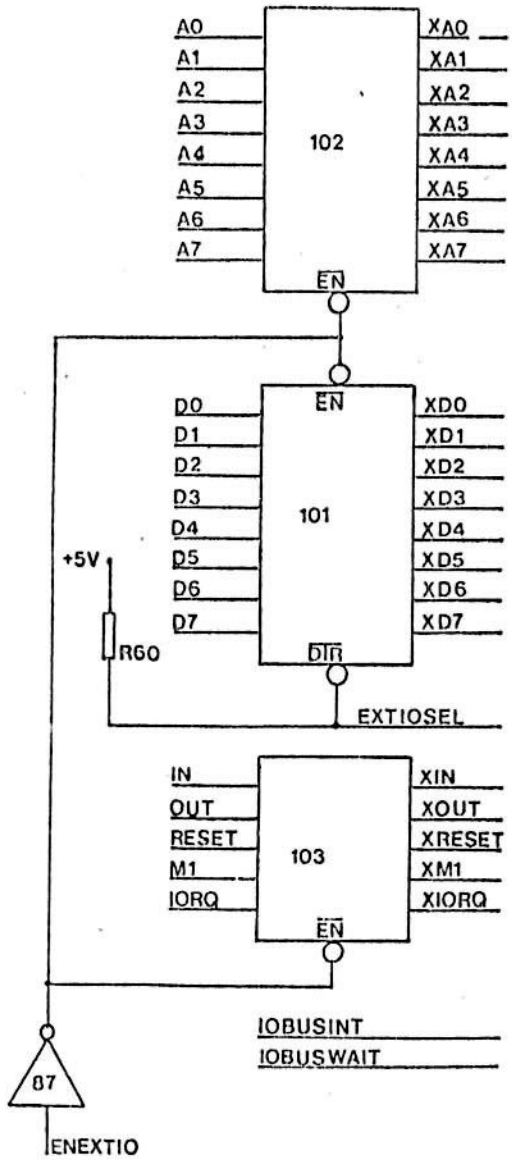
Este sinal controla o CI98 (74LS174) como está representado na fig.17 e tem por função controlar diversos dispositivos no CP500.



Assim, podemos montar a seguinte tabela :

D1 = CAS MOTOR ON	0 =	desliga motor do cassete
	1 =	liga motor do cassete
D2 = MOD SEL	0 =	64 caracteres por linha
	1 =	32 caracteres por linha
D3 = ENALTSET	0 =	desabilita caracteres alternativos
	1 =	habita caracteres alternativos
D4 = ENEXTIO	0 =	desabilita I/O externo
	1 =	habilita I/O externo
D5 = DISWAIT	0 =	desabilita espera de video
	1 =	habilita espera de video

Desses sinais iremos comentar agora somente o sinal ENEXT IO. A função deste sinal é habilitar ou desabilitar os três buffers tristate (CI's 101,102 e 102, 74LS245, 74LS244 e 74LS367 respectivamente), que controlam a entrada/saida de dados no barramento de I/O, como podemos ver no esquema a seguir :


A0
A1
A2
A3
A4
A5
A6
A7
102
XA0
XA1
XA2
XA3
XA4
XA5
XA6
XA7
EN
EN
D0
D1
D2
D3
D4
D5
D6
D7
101
XD0
XD1
XD2
XD3
XD4
XD5
XD6
XD7
DIR
+5V
R60
EXTIOSEL
IN
OUT
RESET
M1
IORQ
103
XIN
XOUT
XRESET
XM1
XIORQ
EN
IOBUSINT
IOBUSWAIT
87
ENEXTIO

Esse barramento pode ser facilmente habilitado utilizando-se a instrução OUT 236,241 do Basic. Note que quem determina a direção do barramento é o dispositivo externo, através do sinal EXT IO SEL. Se esse sinal for zero o barramento de dados ficará posicionado de forma que os dados entrem na PVIII.

Veja também que o dispositivo externo pode gerar WAIT ou INT para a CPU.

RTC CIN

Se este sinal for ativado (nível lógico zero) será cancelada a geração de interrupção por parte do sinal VDRV. Uma das funções desse sinal (RTC, Real Time Clock) é manter ajustado o relógio interno.

DISK OUT

A função deste sinal é controlar a saída de dados ou comandos para a placa CONTROL III, de acordo com a tabela abaixo:

Endereço	Função
F0	Efetua programação do FDC
F1	Endereça trilha
F2	Endereça setor
F3	Envia dados para a CONTROL III

DISK IN

Este sinal tem função inversa à do Disk Out, ou seja, ele efetua a leitura da CONTROL III, de acordo com a tabela abaixo :

Endereço	Função
F0	Lê status do FDC
F1	Lê número da trilha
F2	Lê número do setor
F3	Lê dados

Ambos os sinais (Disk in e Disk out) e suas funções serão descritos com maiores detalhes na seção referente à placa CONTROL III.

DRV SEL

Quando ativado, este sinal efetua a seleção do drive, da face, do modo de gravação (FM ou MFM), seleção de estado de espera ou não e seleção da precompensação da gravação.

Para tanto, cada bit do barramento de dados possui uma função de acordo com a tabela abaixo :

D7 = Seleção do modo leitura/gravação em FM ou MFM (simples ou dupla densidade, respectivamente). Se D7 for zero será selecionado o modo simples densidade.

D6 → Seleção do estado de espera ou não. Se D6 for zero não será selecionada a geração do sinal WAIT.

D5 → Seleção precompensação de gravação. Se D5 for 1 habilita a geração da precompensação de gravação.

D4 → Seleção da face do disco. Se D4 for zero, será selecionada a face 0 do disco. Caso contrário será selecionada a face 1.

D3 → Seleciona drive 4, quando ativo em 1

D2 → Seleciona drive 3, quando ativo em 1

D1 → Seleciona drive 2, quando ativo em 1

D0 → Seleciona drive 1, quando ativo em 1

AX04

De acordo com a fig.2 (pag.14), observamos que a EPROM4 tem seu endereço A11 conectado a um flip-flop tipo D e não diretamente ao barramento de endereços. Dessa forma, somente metade da EPROM4 (2KB) é endereçada diretamente pela CPU. A segunda metade (que contêm o MONITOR residente) é acessada quando é ativado o sinal AX04.

LP OUT

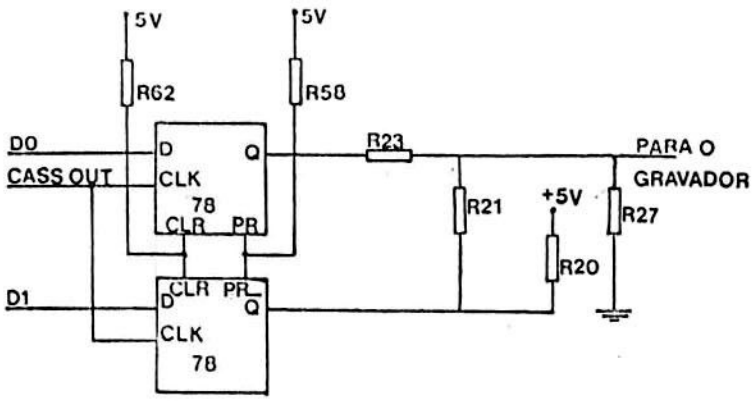
Sua função é enviar um caracter para a impressora. Para isso, esse sinal habilita o buffer CI94 (74LS244) e força a geração do pulso de strobe, através do monoestável CI93 (74LS123), pulso que dura aproximadamente 4μs.
O caracter a ser impresso fica disponível nas linhas D7 a D0, após o buffer.

LPIN

Este sinal efetua a leitura do status da impressora, através do CI75, como já foi descrito nas páginas 29 e 30.
Veja a fig.4.

CASS OUT

Sua função é criar os dados a serem gravados no cassete e apagar o flip-flop CI3 (74LS74) quando da leitura.
A gravação é feita através dos bits de dados D1 e D0, que são aplicados a um conversor digital/analógico e enviado diretamente ao gravador, como pode ser observado abaixo :



Abaixo temos a combinação dos dados D0 e D1 e a respectiva tensão de saida.

D1	D0	HEXA	Nivel saida
0	0	00	0,4V
0	1	01	0,8V
1	0	02	0,0V

CASS IN

Este sinal, como o próprio nome diz, tem por função efetuar a leitura de cassete. Mas além disso ele também é responsável pela leitura do status do sistema, informando à CPU as condições atuais do CP500. Para isso, este sinal habilita o CI99 (74LS244), cuja configuração está descrita a seguir:

D7 = leitura de cassete em velocidade baixa
D6 = Não definido
D5 = Verifica espera de video (veja MOD OUT)
D4 = Verifica se o I/O externo está habilitado
D3 = Verifica se os caracteres alternativos estão habilitados
D2 = Verifica modo 64/32 caracteres por linha
D1 = Verifica se o motor do cassete está ligado
D0 = Leitura de cassete em velocidade alta

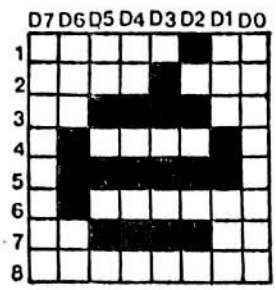
VÍDEO

Antes de descrevemos o circuito de vídeo, verifiquemos como os caracteres são formatados e como são apresentados na tela.

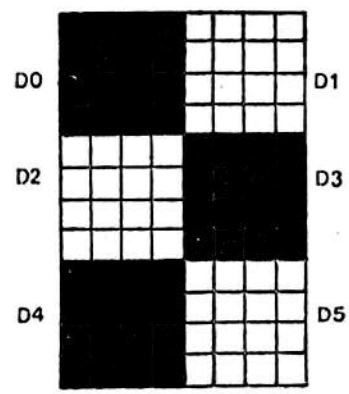
No caso do CP500 existem três tipos de caracteres: os alfanuméricos, os semigráficos e os especiais.

Os caracteres alfanuméricos ocupam os códigos de 20H a 7FH, os semigráficos de 80H a BFH e os especiais estão divididos entre os intervalos de 00H a 1FH e de C0H a FFH.

A formatação dos caracteres alfanuméricos e especiais é feita sobre uma matriz de 8 linhas por 8 colunas, enquanto que para os caracteres gráficos é utilizada uma matriz de 12 linhas por oito colunas, conforme exemplificado abaixo :



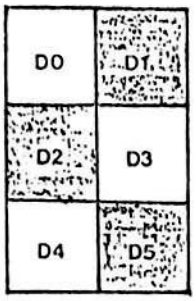
CARACTER 03H



CARACTER 99H

Os caracteres alfanuméricos e especiais estão gravados numa EPROM, enquanto os caracteres semigráficos são gerados no momento de sua impressão no vídeo. No caso dos caracteres alfanuméricos e especiais, a cada coluna corresponde uma linha de dados e cada linha do caracter possui um endereço determinado na EPROM de vídeo.

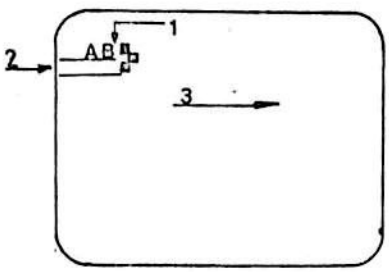
Os caracteres gráfico são divididos em "pixels", cada pixel correspondendo a um quadradinho de quatro linhas por quatro colunas. Este é o menor ponto endereçável na tela do CP500 (veja no manual de Basic as instruções Set e Reset) Cada pixel está associado a uma linha de dados da CPU de D0 a D5. Dessa forma, com esse conhecimento e sabendo-se que os caracteres gráficos iniciam-se em 128 podemos calcular o código de um caracter gráfico conhecendo-se sua apresentação na tela. Por exemplo, o caracter a seguir:



Apresenta o código 2+4+32+128=166 (A6H), pois seus "pixels" acesos são correspondentes aos bits D1 (peso 2); D2 (peso 4) e D5 (peso 32). O 128 é devido ao primeiro código de caracter gráfico.

Apresentação no vídeo

Como sabemos a varredura de vídeo é feita da esquerda para a direita e de cima para baixo, sendo que a varredura horizontal no CP500 possui a frequência de 15840Hz e a vertical a frequência de 60Hz.



Na figura acima está a representação de uma tela com diversos caracteres. A seta 1 indica a separação entre caracteres, que é gerada por software (gravada na EPROM de vídeo). A seta número dois indica o espaçamento entre duas linhas de caracteres e que corresponde a 4 linhas de varredura separação esta que não existe no modo gráfico.

A seta número três indica a direção da varredura horizontal.

Como uma linha tem 64 caracteres e cada caracter 8 colunas, temos que durante uma linha de varredura horizontal são varridos 512 pontos na tela, sendo que a cada 8 pontos

varridos faz-se necessária a substituição do caracter por um novo.

Quando passa-se à linha de baixo, o ciclo se reinicia, com o primeiro caracter.

Todos os caracteres do vídeo do CP500 ficam armazenados em uma memória de vídeo, que possui a capacidade de armazenar 1024 caracteres (extamente o que cabe em uma tela de 64 colunas x 16 linhas).

No modo 32 caracteres/linhas são apresentados apenas 512 caracteres no vídeo. Isso é feito endereçando-se apenas as posições pares da memória de vídeo.

Descrição do circuito de vídeo

O circuito de vídeo no CP500 é visto como um dispositivo a mais de memória pela CPU. Desse modo a CPU escreve e lê o vídeo utilizando-se as linhas de endereço de A15 a A0, sendo que as linhas A15,A14,A13,A12,A11 e A10 efetuam a seleção do circuito de vídeo como foi visto na seção referente a endereçamento de memória.

Como o vídeo é um dispositivo muito mais lento que a CPU, toda vez que esta quiser efetuar uma leitura ou escritura no vídeo, terá que esperar até que o vídeo termine a atual linha de varredura. Isso é feito através da geração de um estado de WAIT para a CPU. Tal estado de WAIT tem a duração máxima de 63μs, que é o tempo de uma varredura horizontal.

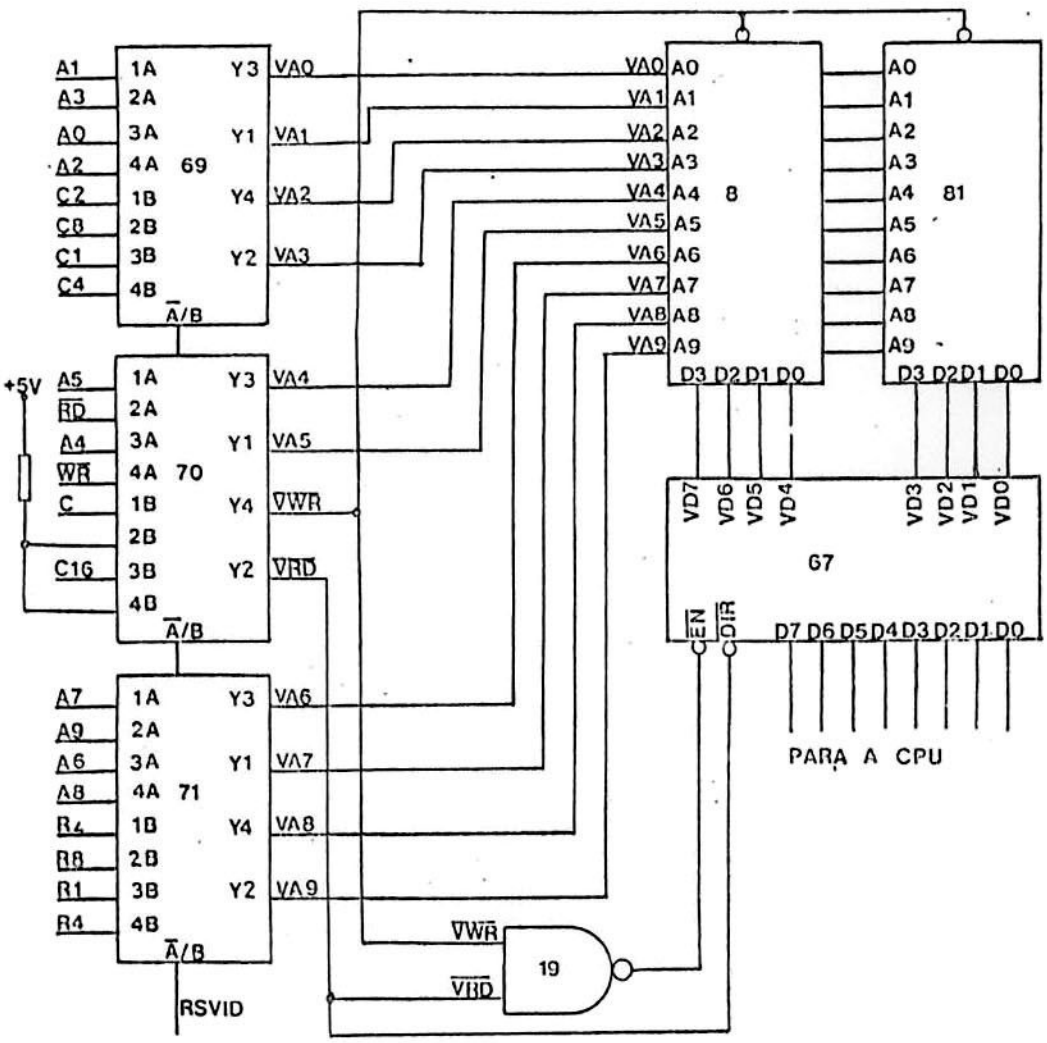
Logo, durante a execução de programas que se utilizem muito do vídeo a maior parte do tempo de processamento é consumido pela própria espera do vídeo.

Para armazenar os caracteres de vídeo são utilizadas duas memórias 2114 (1Kx4), perfazendo um total de 1024 caracteres, o que em última análise, é o total de caracteres do vídeo (64 x 16).

O circuito de vídeo pode ser dividido em quatro partes:

1. Multiplexação da RAM de vídeo
2. Contrôle do modo de apresentação no vídeo
3. Endereçamento e geração de sincronismo
4. Contrôle do sinal WAIT da CPU

Iniciaremos com o circuito de multiplexação da RAM de vídeo que pode ser visto a seguir :


A1
A3
A0
A2
C2
C8
C1
C4
1A
2A
3A
4A
1B
2B
3B
4B
69
Y3
Y1
Y4
Y2
VA0
VA1
VA2
VA3
Ā/B
+5V
A5
RD
A4
WR
C
C16
70
VA4
VA5
VWR
VRD
A7
A9
A6
A8
R4
R8
R1
R4
71
VA6
VA7
VA8
VA9
RSVID
VWR
VRD
19
VA0
VA1
VA2
VA3
VA4
VA5
VA6
VA7
VA8
VA9
A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
8
D3 D2 D1 D0
81
VD7
VD6
VD5
VD4
VD3
VD2
VD1
VD0
67
CEN
DIR
D7 D6 D5 D4 D3 D2 D1 D0
PARA A CPU

Podemos ver pela figura acima que as memórias de vídeo (CI82 e 81) são endereçadas tanto pelas linhas de endereçamento da CPU como pelos sinais C1,C2,C4,C8,C16,C32, R1, R2,R4 e R8 que são provenientes dos contadores de colunas e linhas respectivamente (que serão vistos posteriormente).

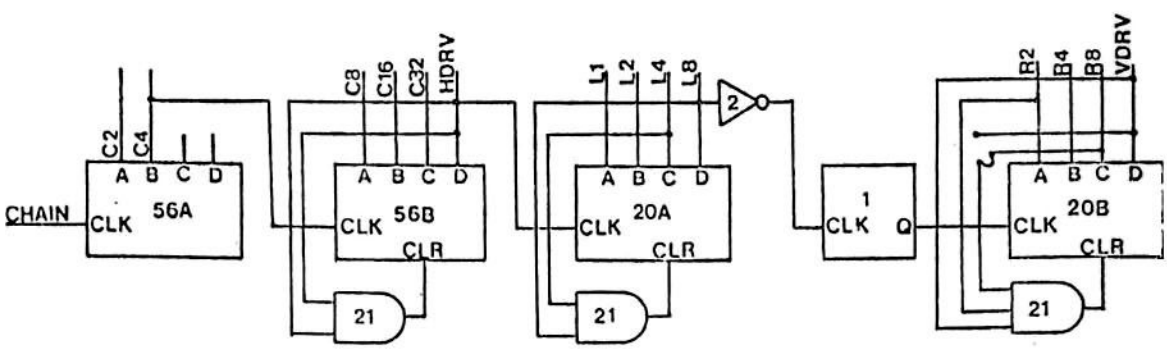
O sinal RS VID é o responsável por esse selecionamento. Tal sinal é gerado a partir do sinal VID, que nada mais é que a saída T7 do CI60 (74LS145). O CI67 (74LS245) tem por função isolar o circuito de vídeo do restante, e é controlado pelos sinais VRD e VWR, combinados no CI19 (74LS08).

Dessa forma se VRD ou VWR forem zero haverá a habilitação do CI67, cuja direção será comandada pelo sinal VRD.

Esses sinais (VRD e VWR) são provenientes da CPU, após passarem pelo multiplexador, CI70 (74LS157).

Note-se que quando os contadores estão endereçando as RAM's de vídeo, os sinais VRD e VWR vão a nível 1, pois as entradas 2B e 4B do CI70 estão ligadas a um resistor de "pull-up".

Vamos ver agora como funciona o circuito contador. Abaixo podemos ver seu esquema elétrico:



O sinal CHAIN é equivalente à frequência de clock de 10,1376MHZ dividida por 16, o que nos dá uma frequência principal de 633,6KHZ. Este clock será dividido por dois e por quatro no CI56 A (74LS393), resultando as frequências C2=316,8KHZ e C4=158,4KHZ. Esta última frequência será injetada no CI56 B (74LS393) que é um contador módulo 10.

Nesse contador teremos portanto as frequências:

C8=79,2 KHz
C16=39,6 KHz
C32=15840 Hz
HDRV=15840 Hz

Será esse sinal HDRV que irá gerar os pulsos de sincronismo horizontal. Além disso esse sinal será aplicado à entrada do CI20 A (74LS393), um contador módulo 12, gerando os sinais :

L1=7920 Hz
L2=3960 Hz
L4=1320 Hz
L8=1320 Hz

O sinal L8 será então invertido, dividido por dois no CI1 (74LS74) e aplicado à entrada de clock do CI208 (74LS393), gerando os sinais:

R1=660 Hz
R2=330 Hz
R4=165 Hz
R8= 60 Hz
VDRV=60 Hz

O que ocorrerá se o jumper entre R8 e R4 estiver em R4, pois assim o contador atuará como módulo 11.

Caso o jumper esteja ligado em R8, o circuito atuará como um contador módulo 13, resultando em VDRV uma frequência de 50,74 Hz. Esse sianl VDRV irá gerar o sinal de sincronismo vertical.

Vejamos então como esses contadores atuam no endereçamento das RAM's e contrôle do vídeo.

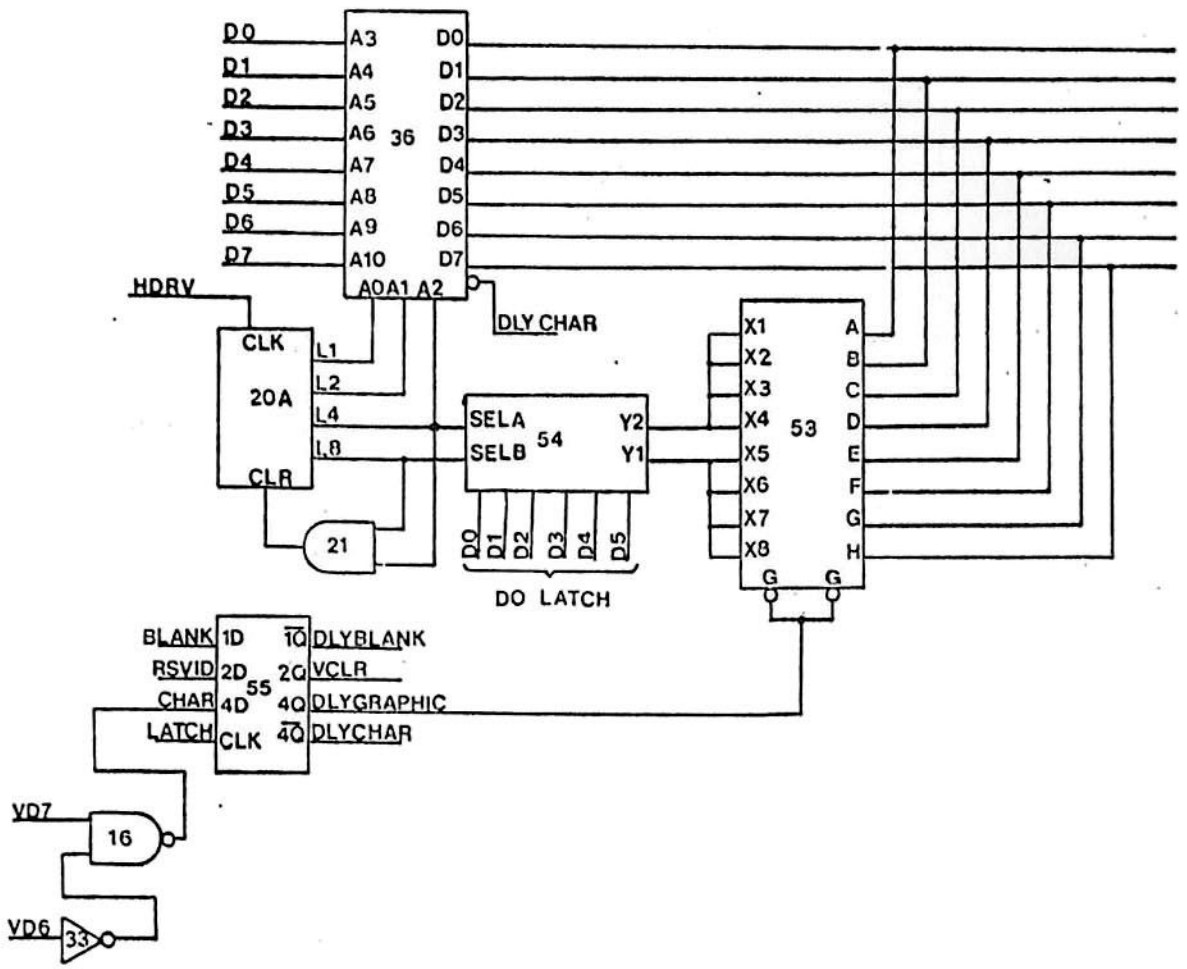
Os CI's 56 A e 56 B têm por finalidade gerar os endereços de A1 a A5 para a RAM de vídeo e gerar o sinal HDRV, que após passar pelo CI23 (74LS221) irá formar os pulsos de sincronismo. O CI23 serve para tornar o sinal HDRV compatível com o tempo exigido pela placa de vídeo (VT801).

O CI20 B gera as linhas restantes de endereço da RAM, de vídeo e o sinal VDRV que, de maneira análoga ao sinal HDRV, é injetado na segunda metade do CI23 para gerar o sincronismo vertical.

Quando da apresentação de caracteres no vídeo, esses contadores estão continuamente endereçando as RAM's de vídeo. Neste ponto cabe ressaltar que o endereço A0 das RAM's não é gerado pelos contadores, mas sim por outro circuito que será visto depois.

Os dados lido da RAM (pois nesse momento VWR=1, por causa do resitor de "pull-up" no CI70) irão para o latch CI68 (74LS273), cujo sinal de clock é gerado em um divisor (CI5, 74LS93), que será visto em detalhes. A partir desse latch os dados se dividem em dois caminhos. O primeiro é o caminho que leva à EPROM de vídeo, CI36, responsável pela, apresentação dos caracteres no modo alfanumérico. O segundo leva ao circuito gráfico, composto pelos CI's 54 e 53 (74LS155 e 74LS244, respectivamente). Tanto a saída da EPROM como a saída do circuito gráfico se encontram no CI52 (74LS 166), que é responsável pela serialização dos dados, para sua apresentação no vídeo.

A seguir temos representados os circuitos alfanumérico e gráfico, com seus principais componentes:


D0
D1
D2
D3
D4
D5
D6
D7
A3
A4
A5
A6
A7
A8
A9
A10
36
D0
D1
D2
D3
D4
D5
D6
D7
A0 A1 A2
HDRV
DLY CHAR
CLK
20A
CLR
L1
L2
L4
L8
21
SELA
SELB
54
Y2
Y1
D0
D1
D2
D3
D4
D5
DO LATCH
X1
X2
X3
X4
X5
X6
X7
X8
53
A
B
C
D
E
F
G
H
G
G
BLANK
RSVID
CHAR
LATCH
1D
2D
4D
CLK
55
1Q
2Q
4Q
4Q
DLYBLANK
VCLR
DLYGRAPHIC
DLYCHAR
VD7
16
VD6
33

Vejamos primeiramente a parte alfanumèrica do circuito. Após ter passado através do latch os dados provenientes da RAM de vídeo vão servir de endereço para a EPROM de caracteres. Notemos porèm que os endereços mais baixos da EPROM (A0,A1 e A3) são fornecidos pelo contador, CI20 A. Ou seja, a cada pulso de HLDV (o que corresponde à varredura de uma linha do vídeo) è incrementado um endereço da EPROM. Dessa forma temos :

L8	L4	L2	L1	
0	0	0	0	1. linha do caracter
0	0	0	1	2. linha do caracter
0	0	1	0	3. linha do caracter
0	0	1	1	4. linha do caracter
0	1	0	0	5. linha do caracter
0	1	0	1	6. linha do caracter
0	1	1	0	7. linha do caracter
0	1	1	1	8. linha do caracter
1	0	0	0	9. linha do caracter
1	0	0	1	10.linha do caracter
1	0	1	0	11.linha do caracter
1	0	1	1	12.linha do caracter

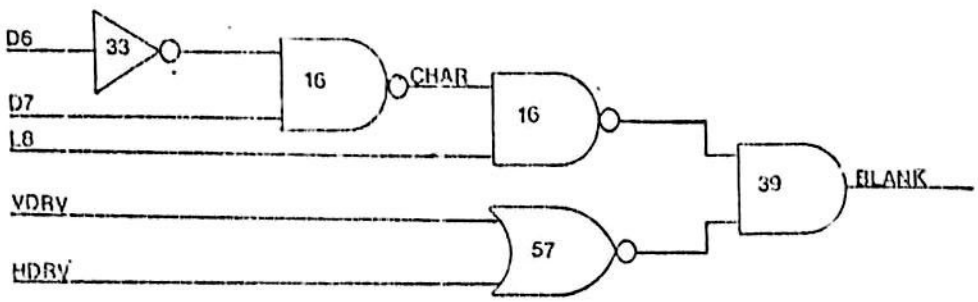
Porèm a partir da 8. linha, através de um circuito auxiliar, são enviados somente brancos para a tela. Isso faz com que entre um caracter e outro hajam 4 linhas de varredura, fazendo a separação vertical entre caracteres.

A separação horizontal, depende daquilo que está gravado na memòria EPROM.

Vejamos, por exemplo como se encontra gravado o caracter 03H (Veja fig.20) :

ENDEREÇOS											DADOS							
A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	1	0	0
0	0	0	0	0	0	1	1	0	0	1	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	1	0	1	0	0	0	1	1	1	1	0	0
0	0	0	0	0	0	1	1	0	1	1	0	1	0	0	0	0	1	0
0	0	0	0	0	0	1	1	1	0	0	0	1	1	1	1	1	1	0
0	0	0	0	0	0	1	1	1	0	1	0	1	0	0	0	0	0	0
0	0	0	0	0	0	1	1	1	1	0	0	0	1	1	1	1	0	0
0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0	0	0	0

Quando o contador chega à 9. linha, entra em ação o circuito abaixo:



É este circuito que irá forçar o apagamento do feixe durante as 4 linhas de varredura que separam os caracteres ou durante os retraços horizonal e vertical.

Sua saída é :

$$BLANK=((\overline{D6}.D7).L8).(\overline{VDRV+HDRV})$$

Observe que a combinação dos dados VD6 e VD7 gera o sinal CHAR. Assim :

$$BLANK=(\overline{CHAR}.L8).(\overline{VDRV+HDRV})$$

Dessa maneira o sinal BLANK será zero se uma das seguintes condições for satisfeita :

1. VDRV ou HDRV for zero
2. D7=0, D6=X e L8=1
3. D7=X, D6=1 e L8=1

Durante a apresentação dos caracteres alfanuméricos, vemos que seus códigos variam de 00H a 7FH e de C0H a FFH.

Logo ou D7=0 e D6=1 ou D7=1 e D6=1. Logo as condições 2 e 3 podem ser satisfeitas desde que L8=1.

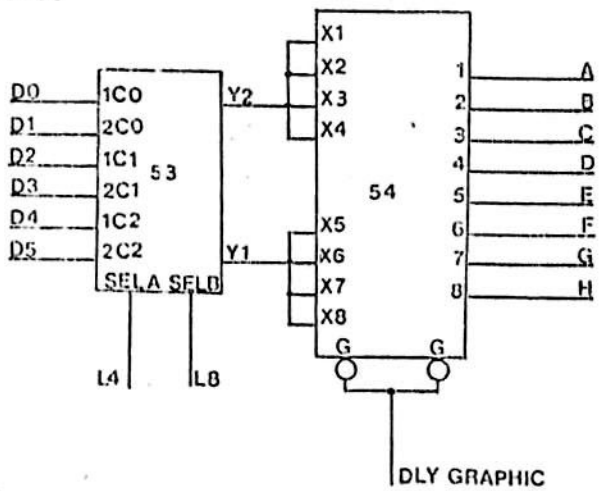
Assim, durante a apresentação de caracteres alfanuméricos, o sinal CHAR fica sendo igual a 1. Logo no momento em que L8 chega a 1 (9. linha de varredura) o sinal BLANK vai a zero. Este sinal é invertido e transferido para o shift register através do CI55 (sinal DLY BLANK), fazendo com que seja selecionada a entrada serial do shift register. Mas essa entrada está aterrada, fazendo com que saiam somente zeros na saída serial.

Então, durante quatro linhas de varredura (da 9. à 12.) o vídeo fica apagado, separando os caracteres. Também durante os retraços horizontal e verical, o vídeo se mantém apagado.

Mas durante a apresentação de caracteres gráficos o sinal BLANK só será ativado por VDRV ou HDRV. Isso se deve ao fato de o código dos caracteres gráficos estar contido entre 80H e BFH, forçando D7=1 e D6=0, desabilitando então o sinal L8.

Assim, o apagamento das quatro linhas é inibido se o caracter que estiver sendo apresentado for gráfico.

Abaixo temos representado o circuito de geração dos caracteres gráficos.



Como podemos observar na figura acima os bits D6 e D7 não entram no multiplexador CI54 (74LS153), pois estes são usados para gerar os sinais DLY GRAPHIC e DLY CHAR.

Quando da apresentação de caracteres gráficos, DLY GRAPHIC=0 e DLY CHAR=1, o que força a desabilitação da EPROM de vídeo e a habilitação do CI53. O multiplexador CI53 é controlado pelo contador 20 A através das linhas L8 e L4.

Como exemplo vejamos como é feita a apresentação do caracter 99H-1001 1001 (fig.20).

L8	L4	L2	L1	D5	D4	D3	D2	D1	D0	Y1	Y2	H	G	F	E	D	C	B	A
0	0	0	0	0	1	1	0	0	1	1	0	1	1	1	1	0	0	0	0
0	0	0	1	0	1	1	0	0	1	1	0	1	1	1	1	0	0	0	0
0	0	1	0	0	1	1	0	0	1	1	0	1	1	1	1	0	0	0	0
0	0	1	1	0	1	1	0	0	1	1	0	1	1	1	1	0	0	0	0
0	1	0	0	0	1	1	0	0	1	0	1	0	0	0	0	1	1	1	1
0	1	0	1	0	1	1	0	0	1	0	1	0	0	0	0	1	1	1	1
0	1	1	0	0	1	1	0	0	1	0	1	0	0	0	0	1	1	1	1
0	1	1	1	0	1	1	0	0	1	0	1	0	0	0	0	1	1	1	1
1	0	0	0	0	1	1	0	0	1	1	0	1	1	1	1	0	0	0	0
1	0	0	1	0	1	1	0	0	1	1	0	1	1	1	1	0	0	0	0
1	0	1	0	0	1	1	0	0	1	1	0	1	1	1	1	0	0	0	0
1	0	1	1	0	1	1	0	0	1	1	0	1	1	1	1	0	0	0	0

Note que a variação das linhas L8 e L4 faz com que sejam alteradas as saídas do multiplexador a cada 4 linhas de varredura. Assim dois bits controlam as 8 colunas, sendo 4 colunas para cada bit. Observe que a função do CI54 é bloquear o sinal no caso de estarem sendo apresentados caracteres alfanuméricos e dar o fan-out necessário aos 4 bits de saída.

Voltemos agora ao modo de apresentação no vídeo.

Como sabemos, a tela do CP500 pode ser formatada em 64 ou 32 caracteres por linha através do software.

Por exemplo, entre no Basic residente (ou disco) do CP500, apague a tela e digite a seguinte instrução:

```
?CHR$(23)
```

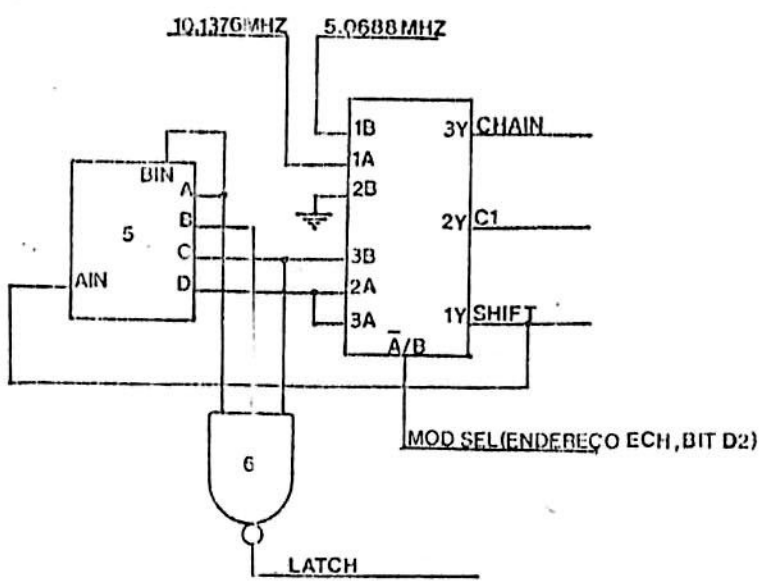
A tela deve ter mudado para o formato expandido. Agora digite várias letras e tecle <ENTER>. Execute então a instrução:

```
?CHR$(28)
```

Sobraram vários espaços em branco. Isso se deve ao fato de quando da apresentação em 32 caracteres por linha, serem usados somente os endereços pares da RAM de vídeo. Somente serão apresentados 512 caracteres (32x16) nesse modo.

Vejamos então como isso é feito.

Lembremos que as RAM's de vídeo são endereçadas pelos contadores, com exceção do endereço A0 que é fornecido pelo sinal C1, proveniente do circuito abaixo:



A partir do circuito mostrado na pagina anterior vemos que se MOD SEL for igual a zero, teremos a seguinte configuração na saida:

CHAIN=SHIFT/16= 633KHz
C1 =SHIFT/16= 633KHz
SHIFT=10.1376MHz

O sinal CHAIN é a frequência principal de vídeo, que irá gerar os sinais de sincronismo horizontal, vertical e endereços das RAM's, conforme visto anteriormente.

O sinal C1 é o endereço A0 das RAM's e o siral shift é o responsável pela serialização dos dados no shift register e pela geração do sinal latch, após ter sido dividido pelo C15 (74LS93). Observe que o sinal latch é gerado a cada 8 shifts, ou seja, a cada oito colunas impressas no vídeo.

Veja então o que acontece quando o sinal MOD SEL muda para 1:

CHAIN=SHIFT/8= 633KHz
C1=0
SHIFT=5.0688MHz

A frequência básica não mudou, mas mudaram os sinais C1, shift e latch.

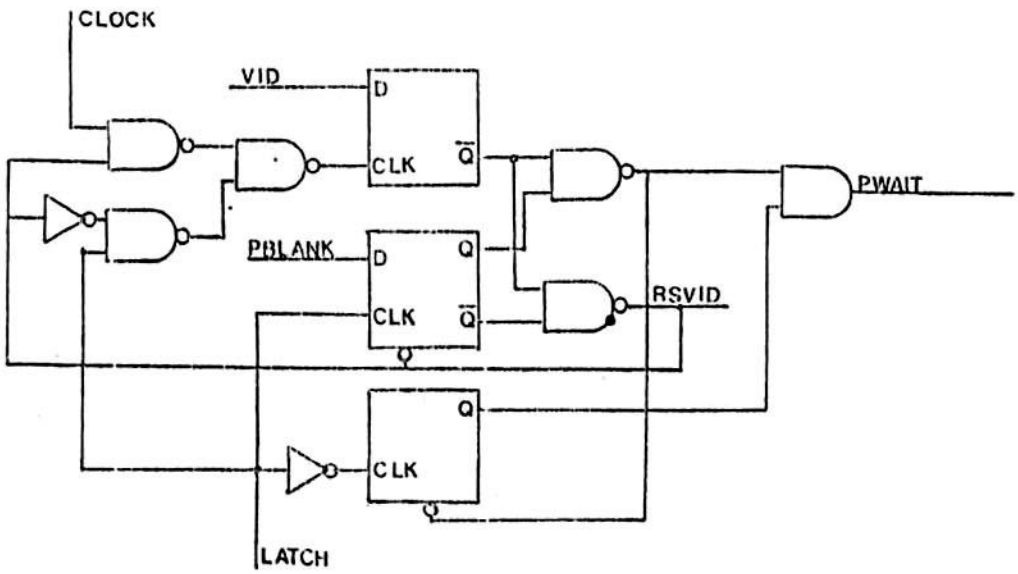
Sendo o sinal C1 correspondente ao endereço A0 das RAM's e como os contadores acessam as RAM's de vídeo somente para leitura, vemos que só serão lidos os enderec,os pares da memória. Vemos também que sendo shift e latch correspondente à metade do tempo anterior um ponto ficará exposto na tela durante o dobro do tempo, expandindo o caracter.

Passemos então ao circuito de geração de Wait para a CPU.

Como havíamos dito anteriormente, toda vez que a CPU tentar acessar o vídeo e estiver sendo apresentado um caracter, o circuito de vídeo gerará um sinal de wait para a CPU.

Logo a CPU só pode ler ou escrever no vídeo, durante os retraços horizontais e verticais ou durante as quatro linhas de apagamento que separam as linhas de caracteres.

A seguir vemos o circuito de geração de Wait.



Observe que o sinal PBLANK é gerado pela combinação do sinal BLANK e DISWAIT na porta AND, CI39 (74LS08). Lembre-se que o sinal DISWAIT é gerado a partir do sinal MODOUT e do bit D5, no CI100 e serve para desabilitar a geração de WAIT para a CPU.

Então se o sinal PBLANK for zero (BLANK ou DISWAIT=0) teremos, após um pulso de latch, 0 no pino 10 do CI16 e 1 no pino 5 do CI15. Isso forçará 1 na saída 8 do CI16.

Logo teremos o sinal PWAIT também igual a 1, pois a entrada 4 do CI19 (74LS08) estará em 1 em consequência do CI1 não estar apagado.

Assim, caso o sinal VID seja igual a zero, este passará para a saída do CI17 (74LS74) invertido e forçará o sinal RSVID para zero, o que fará a multiplexação dos endereços de vídeo, permitindo então que a CPU leia ou escreva nas RAM's.

Porém, se o sinal PBLANK for igual a 1, teremos 1 no pino 10 do CI16 e o no pino 5 do CI16. Isso força o sinal RSVID em 1, fazendo com que os contadores enderecem as RAM's

Agora, se o sinal VID for a zero, indicando que a CPU irá fazer uma leitura ou escritura nas RAM's de vídeo, teremos 0 na saída 8 do CI16, o que forçará o sinal PWAIT em 0, gerando assim um estado de WAIT passa a CPU, até que o sinal PBLANK vá a 0.

MANUAL TÉCNICO CP500

CICUITO DE LEITURA E GRAVAÇÃO EM CASSETE

No CP500 a gravação em K7 é feita através de um conversor digital-analógico e é efetuada de duas velocidades diferentes, selecionáveis por software: 500 e 1500 bauds.

Vamos discutir primeiramente como os dados são gravados na fita, para depois examinarmos o circuito de gravação.

Como sabemos, existem dois tipos de programas diferentes que podem ser gravados em fita: os que estão em Basic e aqueles que estão em linguagem de máquina (SYSTEM). Para cada um desses tipos existe um formato diferente de gravação. Porém, para que ocorra a leitura tanto de uma fita em modo SYSTEM, como para uma fita em BASIC é necessário que haja um sincronismo inicial dos dados gravados na fita.

Para isso, no início de qualquer programa são gravados 255 bytes de zeros e um byte correspondente ao valor A5.

A partir daí começam as mudanças.

Para programas em Basic, ao byte A5 seguem-se 3 bytes D3 e código ASCII do nome do programa. Logo em seguida estão gravados os códigos hexadecimais das instruções BASIC (de acordo com a pag.162 do manual de operação) e os códigos ASCII dos textos. O fim do programa é indicado por dois bytes consecutivos iguais a zero.

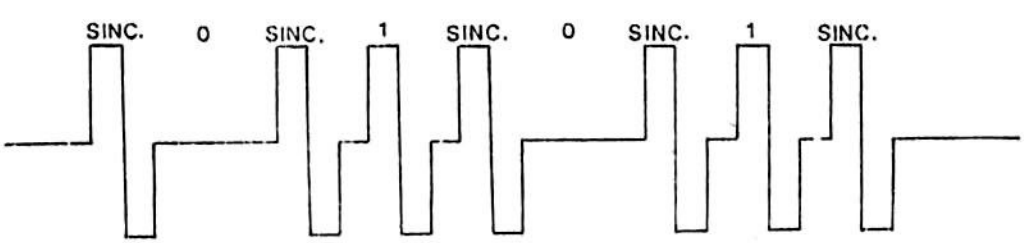
Já para as fitas no modo SYSTEM, ao byte de sincronismo segue-se um byte 55H, para indicar que a fita está no formato SYSTEM. Em seguida vêm seis bytes reservados para o código ASCII do nome do programa e um byte 3C, indicando início de bloco.

Cada bloco contém 256 bytes e após o byte 3C de início de bloco, vem um byte correspondente ao endereço menos significativo de carga do bloco e um byte contendo o endereço mais significativo de carga. Ao fim do bloco, existe um byte correspondente ao checksum desse bloco, calculado em módulo 256.

A partir daí sucedem-se os blocos, sempre iniciando com 3CH, até que seja encontrado o caracter 78H, que indica o fim de programa.

Em seguida a esse caracter 78H estão dois bytes que indicam a parte menos e mais significativa do endereço de início do programa.

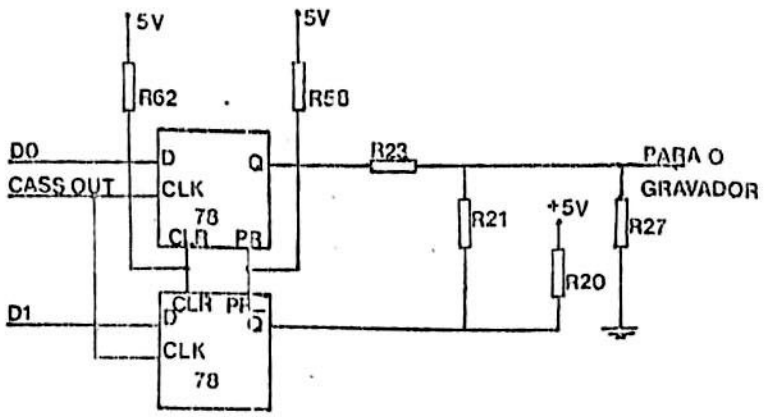
Os dados para serem gravados em velocidade baixa são codificados de acordo com a figura abaixo, que mostra a forma de onda do dado 5H (0101).



Já para a velocidade alta é usada somente uma tensão de gravação, sendo que a indicação de bit um ou zero é dada pelo tempo entre dois pulsos consecutivos, com frequências que variam entre 1320Hz ("1") e 2680Hz ("0").

Passemos então, ao circuito de gravação em K7.

Observemos pela figura 31:



Como vemos o circuito de gravação em cassete é constituído por dois flip-flops, cujos dados de entrada correspondem aos bits D0 e D1. Os resistores R23, R21, R20 e R27 formam a malha do conversor D1A, sendo que podemos ter as seguintes saídas :

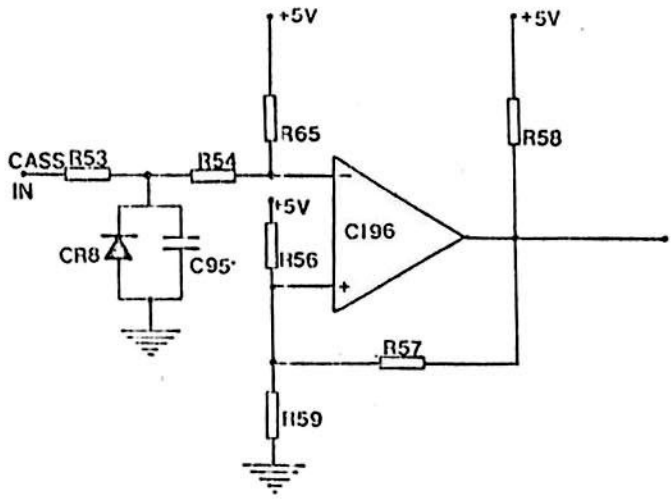
D1	D0	Saída
0	0	0,4V
0	1	0,8V
1	0	0,0V
1	1	não usado

O contrôle do clock dos flip-flops é efetuado pelo sinal CASSOUT (porta FCH).

Observe que tanto para velocidade alta como baixa, o circuito de gravação é o mesmo.

Já para leitura, existem dois circuitos separados, um para cada velocidade.

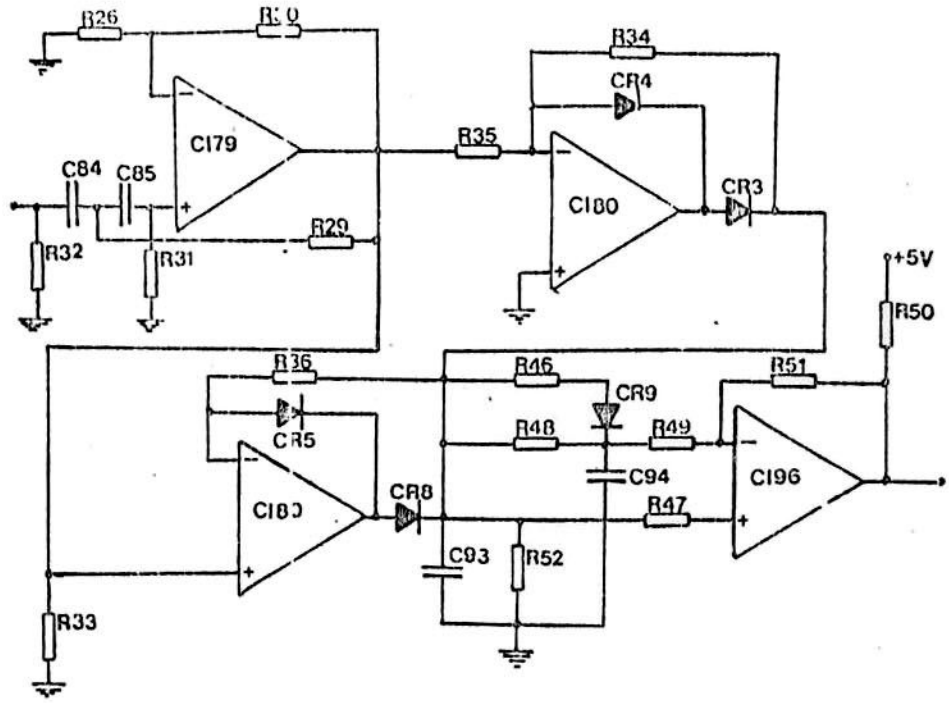
Vejamos primeiramente o circuito de leitura em 1500 bauds, representado a seguir :



O CI96 (LM339) atua como um deletor de passagem por zero. A função dos resistores R59 e R57 é fornecer em nível quiescente de 50mV na entrada positiva do CI96.

O sinal de saída do CI96 vai para a linha de dados D0, onde é lido, e para os flipsflops, CI85, onde servirá para gerar interrupção. Observe que a interrupção só é gerada em velocidade alta, não sendo portanto gerada em velocidade baixa.

Abaixo temos o circuito para leitura em velocidade baixa :



O CI79 (MC1741) e componentes associados formam um filtro passa alta, eliminando o ruído de 60Hz. Após passar por esse filtro o sinal é retificado pelos dois amplificadores formados pelo CI80 (MC1458) e então aplicado ao comparador, CI 96 (LM339). O sinal de saída é então invertido pelo CI2 (74LS04) e aplicado ao flip-flop CI3 (74LS74). Para cada pulso recebido, este flip-flop é apagado pelo sinal CASSOUT. O sinal de saída é lido pela linha de dados D7.

A CONTROLADORA DE DRIVES

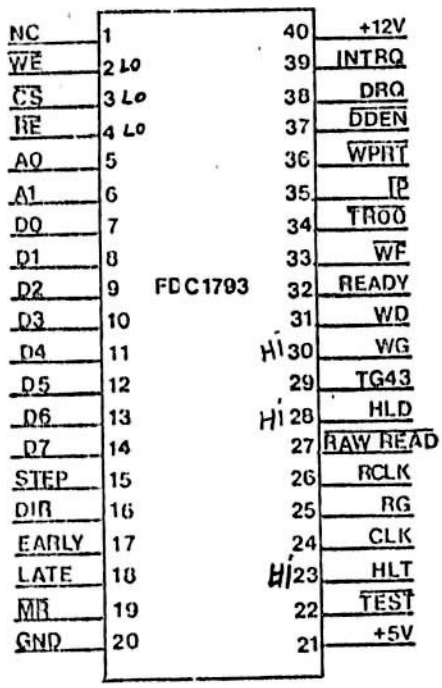
CONTROL III

MANUAL TECNICO CP500

DESCRIÇÃO DOS PRINCIPAIS COMPONENTES DA CONTROL III

1. FDC 1793

O FDC 1793 é um controlador de drives de 5"1/4 ou de 8" que efetua as funções de movimentação da cabeça do drive, gravação e leitura de dados com verificação (CRC), podendo operar nos modos de simples ou dupla densidade.
Abaixo vemos a configuração de sua pinagem :



Descrição da pinagem :

1-NC - não conectado. Internamente este pino está ligado ao substrato do chip e deve ser deixado desconectado.

2-WE - (WRITE ENABLE) um nivel lógico baixo nesta entrada faz com que o FDC efetue a leitura dos dados contidos no barramento, desde que CS=0.

3 CS - (CHIP SELECT) - um nivel lógico baixo nesta entrada habilita o FDC 1793.

4 RE - (READ ENABLE) - um nivel lógico baixo nesta entrada faz com que o dado contido no registrador selecionado por A0 e A1 seja colocado no barramento de dados.

5,6 A0 A1 (REGISTER SELECT LINES) Essas entradas selecionam os diversos registradores internos do FDC para entrada/saida de dados, controladas pelos sinais RE e WE de acordo com a tabela abaixo:

A1	A0	RE	WE
0	0	registro de status	registro de comando
0	1	registro de trilha	registro de trilha
1	0	registro de setor	registro de setor
1	1	registro de dados	registro de dados

7 14 - D0 a D7 - (linhas de acesso de dados) - são oito linhas bidirecionais, usadas para receber e transmitir dados, contrôle e status do FDC.

15 - STEP - Pulso de passo para o step motor do drive. Para cada pulso o cabeçote do drive se desloca uma trilha.

16 DIRC - (DIRECTION) - Indica a direção de deslocamento do step-motor do drive. Se 0, este se deslocará da trilha 0 para trilha 40.

17 EARLY - Quando ativo em alto, este sinal indica que o dado a ser gravado deve ser adiantado para precompensação de gravação.

18 LATE - Quando ativo em alto, este sinal indica que o dado a ser gravado deve ser atrasado para precompensação de gravação.

19 MR - (MASTER RESET) um nivel baixo nesta entrada reseta o FDC 1793, gravando 03H no registro de comando. Quando MR volta a 1 é executado um comando de restore (cabeçote do drive vai para a trilha zero) e é carregado 01H no registrador de setor.

20 GND - (GROUND) - terra

21 VCC - +5V

22 - TEST - essa entrada é usada para testes gerais e deve ser ligada aos +5V.

23 - HLT - (HEAD LOAD TIMING) esse sinal é utilizado para reconhecer quando a cabeça de leitura/gravação está em contato com o disquete. É ativa em nivel lógico alto.

24 - CLK - (CLOCK) ENTRADA DE CLOCK DO FDC. Além do clock, essa entrada também indica qual tipo de drive está sendo usado pela frequência de operação (2MHz - 8"; 1MHz - 5"1/4).

25 - RG - (READ GATE) um sinal alto nesta saida indica ao circuito separador de dados que um campo de "zeros" ou "uns" foi encontrado e é utilizado para a sincronização.

26 - RCLK - (READ CLOCK) um clock de onda quadrada derivado do sinal de leitura deve ser aplicado a esta entrada. A fase entre este sinal e o sinal RAW READ é importante para a leitura.

27 - RAW READ - Os dados lidos do disquete vêm diretamente para essa entrada. O sinal deve possuir uma transição negativa (de 1 para 0) para cada transição de fluxo gravada.

28 - HLD - (HEAD LOAD) esse sinal controla o atracamento do solenóide do drive, para posicionar a cabeça de leitura/gravação sobre o disquete. É ativo em nivel lógico alto.

29 - TG43 - (TRACK GREATER THAN 43) esse sinal serve para indicar que a cabeça de leitura/gravação ultrapassou a trilha 43 e que deve ser inciado o processo de precompensação de gravação.

30 - WG - (WRITE GATE) sinal de saida, ativo em nivel lógico alto, serve para indicar ao drive que serão gravados dados.

31 - WD - (WRITE DATA) pino por onde os dados saem serializados e com pulsos de sincronismo.

32 - READY - entrada, quando em nivel lógico alto indica que o drive está pronto para operações de leitura escritura. Caso esteja em nivel baixo e seja tentada uma leitura ou gravação de dados, o FDC gera um pedido de interrupção à CPU.

33 - WF - (WRITE FAULT) esse é um sinal bidirecional que tem como função indicar erro de gravação no disquete e habilitar o circuito separador de dados. Quando WG=1, WF funciona como entrada. Se nesse momento WF for forçado a zero, todas as operações de escrita serão imediatamente terminadas. Quando WG=0, WF funciona como saída. Este sinal irá a nível lógico baixo durante uma operação de leitura, após HLT ter ido a 1.

34 - TR00 - (TRACK 00) essa entrada informa ao FDC que a cabeça de leitura/gravação do drive está posicionada na trilha 0.

35 - IP - (INDEX PULSE) essa entrada informa ao FDC que foi encontrado o furo de index do disquete.

36 - WPRT - (WRITE PROTECTED) essa entrada é testada sempre que um comando de gravação é recebido. Se seu valor for zero, é interrompido o comando e é setado o bit de "proteção contra gravação" do byte de status.

37 - DDEN - (DOUBLE DENSITY) essa entrada faz a seleção entre os modos de simples e dupla densidade. Se DDEN=0, é seleccionado o modo dupla densidade.

38 - DRQ - (DATA REQUEST) essa saída indica que o registrador de dados contêm dados prontos para leitura ou que o registrador está vazio, durante operações de gravação de dados. Deve ser usado um resistor de "pull-up" de 10K nessa saída.
Obs: esta é uma saída do tipo "coletor aberto".

39 - INTRQ - (INTERRUPT REQUEST) essa saída é setada após o completamento ou finalização de qualquer operação e é resetado durante a introdução de um novo comando ou quando o registrador de status é lido. Deve ser ligado um resistor de "pull-up" de valor de 10K nessa saída. Obs: essa é uma saída do tipo coletor aberto.

40 - VDD - +12V

Descrição de funcionamento do FDC 1793

O FDC 1793 possui internamente 6 registradores de 8 bits cuja função é descrita a seguir :

Registrador de deslocamento de dados : esse registrador tem por função montar os dados lidos serialmente da entrada de leitura de dados (RAW READ) durante operações de leitura e de serializar os dados para a saída WD, durante as operações de gravação.

Registrador de dados : esse registrador é usado durante operações de leitura ou gravação de dados. Durante operações de gravação de dados, estes são transferidos do "Registrador de dados" para o "registrador de deslocamento de dados". Durante a operação de leitura o fluxo é invertido.

Registrador de setor : durante operações de gravação esse registrador contém o setor no qual o dado será gravado e durante operações de leitura, esse registrador contém o número do setor do qual o dado foi lido.

Registrador de trilha : a função desse registrador é indicar em qual trilha o dado será gravado e de qual trilha foi lido. O conteúdo do registrador de trilha é comparado com o número gravado no campo de identificação do setor durante operações de gravação, leitura e verificação (Obs: essa comparação também é valida para o registrador de setor)

Registrador de comando : esse registrador contém o comando atualmente em execução. Esse comando é carregado do barramento de dados da CPU.

Registrador de status : A função desse registrador é indicar o estado atual do FDC 1793 à CPU.

Além desses registradores, o FDC 1793 possui ainda diversos dispositivos internos de verificação e contrôle de dados. Tais dispositivos estão descritos abaixo :

Lógica de CRC : é utilizado para gerar os 16 bits do "Cyclic Redundance Check" (CRC). A função utilizada para seu cálculo é $G(X)=X^{16}+X^{12}+X^{5}+1$.

Unidade lógica e aritmética : a ULA do FDC 1793 é um comparador serial, incrementador e descrementador, usados para modificações e comparações com os dados gravados no campo de identificação do setor.

Temporização e Contrôle : Todos os contrôles entre o drive e a CPU são feitas por esse dispositivo.

Deletor de marca de endereçamento : esse dispositivo deleta o campo de identificação, campo de dados e marcas de endereçamento durante operações de leitura e gravação.

Operação do FDC 1793

Operação de leitura em disco : O comprimento de um setor do disco pode ser 128, 252, 512 ou 1024 bytes, tanto no formato FM com MFM (simples ou dupla densidade, respectivamente). Isso é determinado por um byte especial no campo de identificação. Se o byte de comprimento de setor for 00H, o setor possuirá 128 bytes; se for 01H será de 256 bytes; se for 02H será de 512 bytes e se for igual a 03H o comprimento do setor será igual a 1024 bytes. O número de setores por trilha deve estar entre 1 e 255 setores.O número de trilhas deve estar entre 0 e 255 trilhas.

Para operações de leitura, o FDC 1793 requer RAW READ DATA, ou seja, os dados vindos diretamente do disquete, com pulsos de 250ns por transição de fluxo e um sinal de clock (READ CLOCK) para indicar os espaços entre transições de fluxo. Esse sinal de clock pode ser obtido por circuitos PLL (caso do CP500), técnicas de contadores e circuitos "one shot". Em adição é forrecido um sinal "Read Gate" na saída pino 25, que pode ser usado para obter o sincronismo inicial do PLL. Quando da leitura em dupla densidade, "Read Gate" é mantido ativo durante 4 bytes de 00H ou FFH, se esses são detectados.

Durante operações de leitura, (WG=0), o sinal WF é fornecido para sincronização do circuito PLL. Nas operações de leitura em disco o sinal "data request" (DRQ) é ativado toda vez que o registrador de dados é carregado. Esse sinal é apagado quando os dados são lidos pela CPU. Se o registrador de dados é lido após um ou mais caracteres terem sido perdidos, o bit de "Lost Data" é setado no registrador de status.

Operações de gravação em disco : durante a gravação, o sinal "write gate" (WG) é ativado. Caso o sinal "write protected" esteja em nível lógico baixo, todas as operações de gravação são inibidas, o bit de "write protected" do registrador de status é setado e é gerada uma requisição de interrupção.

Para operações de escrita o FDC 1793 utiliza as saídas "write gate" (WG) e "write data" (WD). Os dados de gravação consistem de pulsos de 250ns no modo MFM (DDEN=0). Também durante a gravação, dois sinais adicionais são usados para precompensanção da gravação. São eles: "early" e "late".

"Early" é ativado quando o pulso de gravação deve ser adiantado e "late" é ativado quando o pulso deve ser atrasado. Desde que a precompensação de gravação varia de acordo com o modelo de drive usado e outros fatores intrínsecos do disco, o seu real valor é determinado por circuitos "one shot" ou por linhas de atraso localizados externamente ao FDC.

A cada dado gravado é ativado o sinal "Data request", informando que o registrador de dados está vazio. Esse sinal é resetado quando o registrador de dados é carregado com um novo byte. Se um novo dado não é carregado durante o tempo em que o próximo byte é serializado, é gravado um byte

00H e é ativado o bit de "lost data" do registrador de status.

Ao completar qualquer comando um INTRQ é gerado. INTERQ é resetado quando é efetuada uma leitura do registrador de status ou pela carga de um novo comando no registrador de comandos.

Comandos do FDC 1793

Serão discutidos neste manual somente os comandos de maior interesse. Para maiores informações consulte a bibliografia.

O FDC 1793 aceita 11 tipos diferentes de comandos.

Palavras de comando podem ser carregadas no registrador de comandos, desde que o bit "Busy" do registrador de status seja igual a zero. Uma exceção é o comando para forçar interrupção. Enquanto um comando está sendo executado o bit de status "Busy" é setado e quando o comando é terminado, o bit "Busy" é resetado e uma interrupção é gerada. O registrador de status se encarrega de indicar se a operação foi bem sucedida ou não.

Abaixo estão descritos os tipos de comandos com uma tabela indicando o seu formato:

COMANDO	BITS							
	D7	D6	D5	D4	D3	D2	D1	D0
RESTORE	0	0	0	0	h	V	r1	r0
SEEK	0	0	0	1	h	V	r1	r0
STEP	0	0	1	u	h	V	r1	r0
STEP IN	0	1	0	u	h	V	r1	r0
STEP OUT	0	1	1	u	h	V	r1	r0
READ SECTOR	1	0	0	m	F2	E	F1	0
WRITE SECTOR	1	1	0	0	0	E	0	0
READ ADRESS	1	1	1	0	0	E	0	0
READ TRACK	1	1	1	1	0	E	0	0
WRITE TRACK	1	1	1	1	0	E	0	0
FORCE INTERRUPT	1	1	0	1	I3	I2	I1	I0

Os comandos Restore, Seek, Step in e Step out, pertencem todos ao mesmo tipo de comando, comandos do tipo 1 e contêm um campo de velocidade (r1,r0) que determina a velocidade do step-motor de acordo com a tabela abaixo :

CLK :	1MHz	1MHz
DDEN	0	1
TEST	1	1
r1 r0		
0 0	6ms	6ms
0 1	12ms	12ms
1 0	20ms	20ms
1 1	30ms	30ms

Também neste tipo de comando existe um "flag" (h) para indicar a carga da cabeça. Esse flag indica que o sinal HLD deve ser ativado no início do comando, caso seja igual a 1.

Se h=0, HLD é desativado. Após a carga da cabeça o FDC a manterá assim até que um comando ordenando o seu desselecionamento seja dado. Porém se o FDC estiver desativo durante mais de 15 revoluções do drive, automaticamente a cabeça será desatracada. Nesse tipo de comando também há um "flag" (V) de verificação da execução das operações. Se V=1 a verificação é realizada.

Durante a verificação, a cabeça é carregada e após um atraso interno de 15ms o sinal HLT é checado. Se HLT está ativo, o primeiro campo de identificação é lido do disco.

A trilha do campo de identificação é então comparada com a trilha do registrador de trilhas. Se forem iguais e se o CRC do campo de identificação for válido, uma requisição de interrupção é gerada e o bit "Busy" do registrador de status é resetado. Se as trilhas não conferirem, mas o CRC do campo de identificação for válido, é gerada uma interrupção, o bit "seek error" do registrador de status é setado e o de "Busy" é resetado. Se as trilhas conferissem, mas o CRC não, o bit "CRC error" do registrador de status é setado e o próximo campo de identificação é lido para verificação. Se nenhum campo de identificação com um CRC válido pode ser encontrado após quatro revoluções do drive, o FDC finaliza a operação e gera uma interrupção.

Os comandos STEP, STEP IN e STEP OUT possuem um "flag" (u) de atualização. Se u=1, o registrador de trilha é atualizado a cada novo step.

Restore - Após receber este comando, o sinal TR00 é checado. Se seu valor for igual a 0 indica que a cabeça de

leitura/gravação está posicionada sobre a trilha zero. Então o registrador de trilha é carregado com zero e uma interrupção é gerada. Se o valor de TR00 for igual a 1, pulsos de STEP (com a velocidade programada por r1 r0) são gerados até que TR00 seja 0. Se após 255 pulsos de step o FDC não for sinalizado a respeito da trilha 0, será gerada uma interrupção e o bit de status "seek error" será ativado Observe que um comando de restore ocorre sempre que um reset é dado no FDC.

Seek - Este comando assume que o registrador de trilhas possui a posição corrente da cabeça e que o registrador de dados contém a próxima posição da cabeça. Quando executado, ele colocará no registrador de trilhas o valor do registrador de dados e enviará tantos steps quantos forem necessários para o posicionamento da cabeça na posição final Uma interrupção é gerada ao fim do comando.

Step - Após receber este comando, o FDC enviará um pulso de step para o drive. Uma interrupção é gerada após a execução do comando.

Step in - Após receber este comando, o FDC 1793 envia um pulso de step, indicando a direção da trilha 40 (através de DIRC). Se o "flag" u está setado, o registrador de trilhas é incrementado de 1. Uma interrupção é gerada ao fim da execução da operação.

Considerações finais

Os pulsos de step enviados para os drives possuem duração de 2 s no formato MFM. Para cada pulso enviado, o drive move um trilha na direção indicada pelo sinal DIRC. Este sinal é válido 12 s antes de qualquer pulso de step.

Abaixo temos uma tabela com a configuração do registrador de status e sua respectiva explicação:

COMANDO	BIT STATUS							
	D7	D6	D5	D4	D3	D2	D1	D0
TODOS TIPO I	NOT READY	WPRT	HL	SEEK ERROR	CRC ERROR	TRACK Ø	INDEX	BUSY
READ SECTOR	NOT READY	Ø	RT	RNF	CRC ERROR	LOST DATA	DRQ	BUSY
WRITE SECTOR	NOT READY	WPRT	WF	RNF	CRC ERROR	LOST DATA	DRQ	BUSY
READ ADRESS	NOT READY	Ø	Ø	RNF	CRC ERROR	LOST DATA	DRQ	BUSY
READ TRACK	NOT READY	Ø	Ø	Ø	Ø	LOST DATA	DRQ	BUSY
WRITE TRACK	NOT READY	WPRT	WF	Ø	Ø	LOST DATA	DRQ	BUSY

NOT READY = Este bit indica que o drive não está pronto

WPRT = (WRITE PROTECTED) Este bit indica que o disco está protegido contra gravação.

HL = (HEAD LOADED) Este bit indica que a carga da cabeça foi efetuada corretamente.

SEEK ERROR = Quando setado indica que a trilha procurada não foi encontrada.

CRC ERROR = Indica que o CRC não foi verificado em um ou mais campos do setor, ou seja, que os dados lidos não são confiáveis.

TRACK 0 = Quando em 0 indica que a cabeça de leitura/gravação se encontra posicionada sobre a trilha zero.

INDEX = Quando setado, indica que a marca de índice foi detectada.

BUSY = Quando setado indica que o comando está em execução. Quando resetado indica que nenhum comando está sendo executado.

RT = (RECORD TYPE) Durante a leitura indica leitura do código do tipo de setor, constante do campo de dados. Durante a gravação, indica erro de gravação.

RNT = (RECORD NOT FOUND) Quando setado indica que o setor, trilha ou face procurado não foram encontrados.

LOST DATA = Quando setado indica que a CPU não respondeu ao sinal DRQ e que dados foram perdidos em consequência disso.

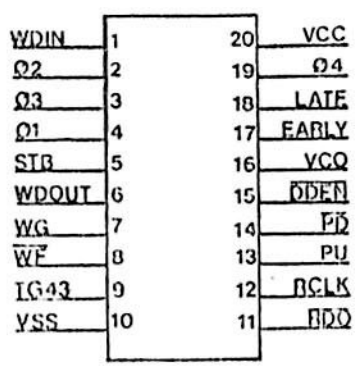
DATA REQUEST = Quando setado indica que há dados para serem retirados do registrador de dados, no caso de leitura, ou que o registrador de dados está vazio, no caso de gravação.

2. WD 1691

O WD 1691 é um separador de dados, que gera o sinal RCLK para o FDC, fazendo uso da frequência gerada por um VCO externo.

Durante a gravação, o WD 1691 proporcionará a precompensação do sinal de gravação.

Abaixo temos sua pinagem e a descrição do funcionamento de cada pino :



WDIN = (WRITE DATA IN) Entrada de dados para gravação.

Ø1,Ø2,Ø3,Ø4 = Entrada de 4 fases para gerar um pedido de atraso, para precompensação de gravação.

STB = (STROBE) Saida, permanecerá em nivel alto na borda de subida do sinal WDIN e em nivel baixo na borda de subida do sinal fase 4 (Ø4).

PD = Saida tristate que irá a nivel baixo, quando for necessária uma decrementação da frequência de PLL.

WD OUT = (WRITE DATA OUT) Saida de dados para gravação. Os dados já saem precompensados.

WG - (WRITE GATE) Indica ao WD 1691 que será efetuada uma gravação.

WF - Habilita variações na frequência do VCO.

TG43 - (TRACK GRATTER THAN 43) Indica que a cabeça de escrita/leitura do drive ultrapassou a trilha 43 e que, portanto, deve ser iniciada a precompensação de gravação.

VSS - Terra.

RDD - Sinal de leitura proveniente diretamente do drives.

RCLK - Sinal de clock, separado dos dados. Este sinal é gerado pelo WD 1691 a partir dos sinais RDD e VCO.

PU - Sinal de saída, tristate, irá a nivel alto quando o WD 1691 necessitar de um incremento da frequência de VCO.

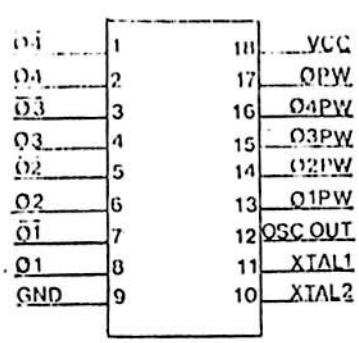
DDEN - Habilitação para dupla densidade. Quando em 1, a frequência de VCO é internamente dividida por dois.

VCO - Entrada de clock, fornecida pelo VCO externo que deve ser de 2MHz (drive 5"1/4) quando o circuito estiver inativo (sem efetuar leitura ou gravação).

EARLY e LATE - Sinais utilizados para gerar a precompensação, provenientes do FDC 1793.
VCC - +5V

3. WD 2143

WD 2143 é um circuito projetado para gerar as fases para o WD 1691. A largura de pulso fornecido por cada fase é determinado por resistores externos. A seguir temos representada sua pinagem:



Ø1 a Ø4 - Quatro fases de saída para contrôle da pre-compensação de gravação, ativas em nível lógico alto.

Ø1 a Ø4 - Idem anterior, porém ativas em nível lógico baixo.

GND - Terra

XTAL1, TTAL2 - Entrada para cristal externo.

OSC OUT - Saída da frequência do cristal, dividida por 4.

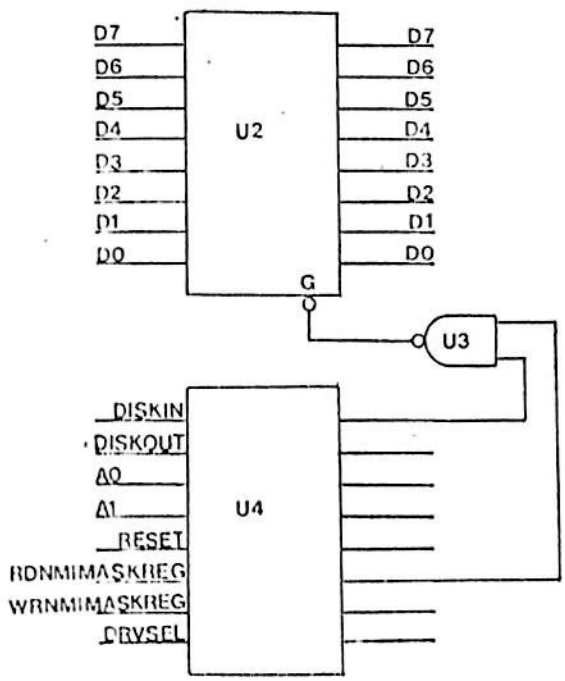
Ø1PW A Ø4PW - Ajuste da largura de cada pulso das fase. Tal ajuste é feito por resistores externos. Se for usada a entrada OPW, estes pinos podem ser deixados abertos.

OPW - Entrada para contrôle da largura de pulsos de todas as fases.

VCC - VCC.

DESCRIÇÃO DA PLACA CONTROL III

A entrada e saida de dados e comandos na placa CONTROL III é controlada por dois buffers: CIU2 (74LS245, bidirecional) e CIU4 (74LS244, unidirecional) de acordo com o esquema abaixo :



Observe que os sinais que controlam o direcionamento do CIU2 são DISKIN e RDNMI MASK REG. Ou seja, o barramento será direcionado da placa CONTROL III para a PVIII quando for necessária uma leitura do status de interrupção ou quando for efetuada uma leitura nos registradores do FDC.

Como estamos vendo até aqui, todos os dispositivos de I/O e memória do CP500 são mapeados. Conforme foi descrito na seção "Endereçamento dos dispositivos de I/O" vimos que os sinais DISKIN E DISOUT, que controlam a placa CONTROL III estão localizados nos endereços F0 e F3. Além desses sinais, temos ainda os sinais RD NMI MASK REG, WR NMI MASK REG e DISK SEL que atuam na CONTROL III. Abaixo temos um descrição desses sinais :

DISK OUT

Endereço F0 (A1=0;A0=1) - Escreve comando no FDC. Esses comandos são aqueles descritos na seção referente a "Comandos do FDC 1793".

Endereço F1 (A1=0;A0=1) - Registra o número da trilha

para onde o cabeçote se deslocará.

Endereço F2 (A1=1;A0=0) # Registra o setor onde o dado será gravado.

Endereço F3 (A1=1;A0=1) # Registra o dado a ser gravado.

DISK IN

Endereço F0 (A1=0;A0=0) # efetua a leitura do registrador de status. Veja a tabela de status, na descrição do FDC 1793.

Endereço F1 (A1=0;A0=1) # Lê o registrador de trilha.

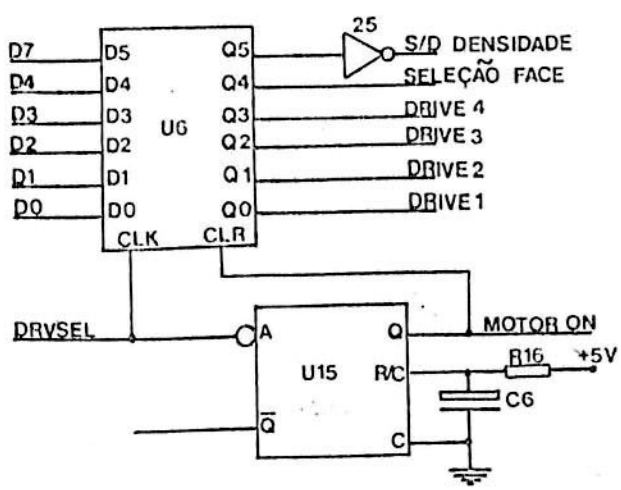
Endereço F2 (A1=1;A0=0) # Lê o registrador de setor.

Endereço F3 (A1=1;A0=1) # Lê o registrador de dados.

DRV SEL

Este sinal tem por funções selecionar o drive, a densidade de gravação e o número de faces; acionar o motor do drive, controlar a lógica de WAIT e acionar a precompensação de gravação.

Para seleção do drive, número de faces e modo de gravação, o sinal DRVSEL atuará como clock de um latch, CIU6 (74LS174) conforme figura abaixo:

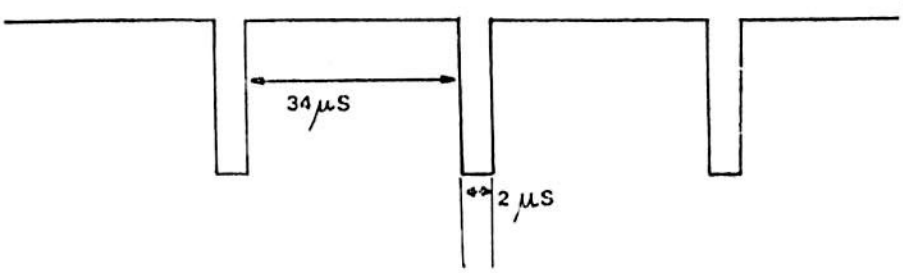


Assim temos que o bit D0 corresponde à seleção do drive 1; D1 à seleção do drive 2; D2 à seleção do drive 3. D4 controla qual face do drive será acessada permitindo assim, a expansão para drive dupla face. E D7 controla a densidade, possibilitando que o sistema também opere com disquetes gravados em densidade simples.

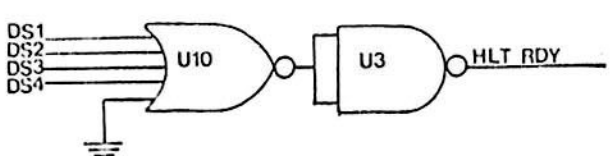
Observe no esquema elétrico da placa CONTROL III que todos os sinais de saída são buferizados e invertidos pelos CI's U1, U9 e U21 (7416, todos). Note também que os sinais que selecionam os drives externos se dirigem às saídas do conector externo (J1).

A função do CIU15 (74LS123) é temporizar o acionamento do motor do drive. Se após o tempo de duração da saída motor on, ainda estiver sendo efetuada alguma operação com o drive, um novo pulso DRVSEL se fará presente, forçando assim, a continuidade da rotação do drive.

A forma de onda típica do sinal DRVSEL com o drive acessado e a mensagem "Disquete?" na tela, pode ser vista na fig.39.



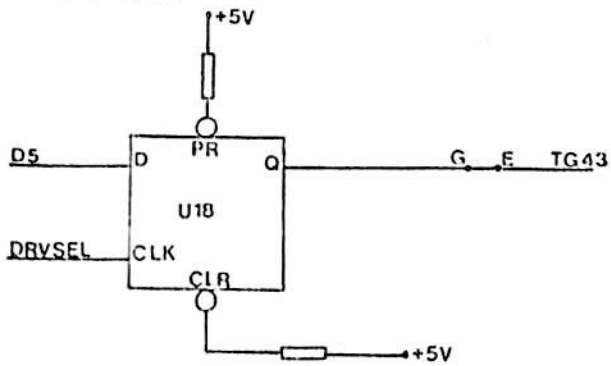
Também quando é selecionado um drive, há a simulação dos sinais HLT e RDY para o FDC, pela lógica formada pelos CI's U10 e U3 (74LS260 e 74LS00, respectivamente), conforme pode ser visto abaixo :



Assim se algum drive é selcionado, temos 0 na saida do CIU10 que será invertido por U3 para gerar os sinais HLT e RDY.

O sinal DRVSEL também serve para comandar o inicio da precompensação de gravação a partir da trilha 22.

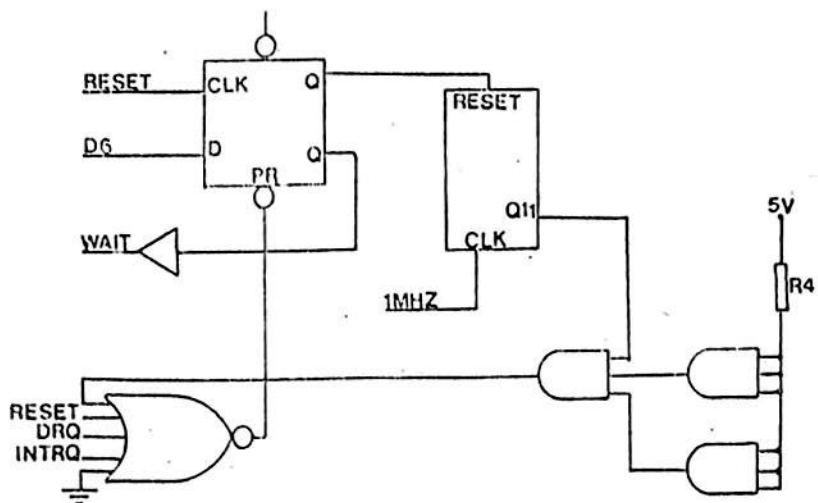
Isso é feito utilizando-se metade do flip-flop, CIU18 (74LS74) e da linha de dados D5. Quando há necessidade do inicio da precompensação o dado D5 é colocado em 1 e ao mesmo tempo enviado um sinal DRVSEL. Isso faz com que a saida do flip-flop vá a 1. Observe que esta saida está ligada à entrada TG43 do CIU11 (WD1691). Dessa forma este sinal está simulando para o CIU11, a passagem pela trilha 43, quando na ralidade o drive está na trilha 22. Isso se deve ao fato do FDC só fornecer sinal para inicio da precompensação a partir da trilha 43, fazendo-se então necessário, simulá-lo para o uso com drive 5"1/4.



O contrôle da gravação de WAIT é feito do sinal DRVSEL e do bit D6.

Toda vez que é feita uma operação de leitura ou gravação com os drives, o sinal DRVSEL se encarrega de gerar um WAIT para a CPU até que a operação esteja terminada.

Veja o circuito abaixo :



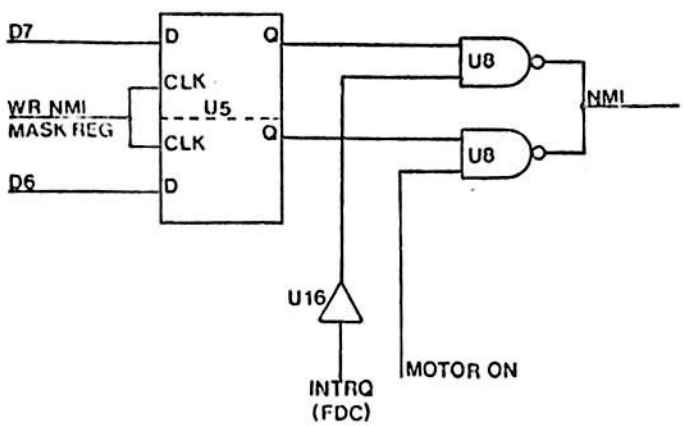
Observe que quando é gerado um wait para a CPU, esse wait pode ser interrompido por somente 4 fatores : RESET, DRQ, INTRQ e a saída Q11 do contador. Ou seja, até que a operação em andamente tenha acabado ou até que se o sinal Q11 seja gerado, a CPU se mantêm em WAIT.

A função desse sinal Q11 é impedir que o estado de wait seja muito prolongado, para que não ocorra o apagamento das RAM's dinâmicas por falta de refresh.

Esse pulso é gerado a cada 1024 s. Observe que o sinal wait foi desabilitado por algum dos sinais DRQ, INTRQ ou RESET, o sinal Q11 não é gerado, pois o CIU20 é resetado.

WR NMI MASK REG

A função deste sinal é programar o flip-flop CIU5 (74LS74) para habilitar a interrupção pelo FDC, pelo acionamento do motor, por ambos ou por nenhum.



RD NMI MASK REG

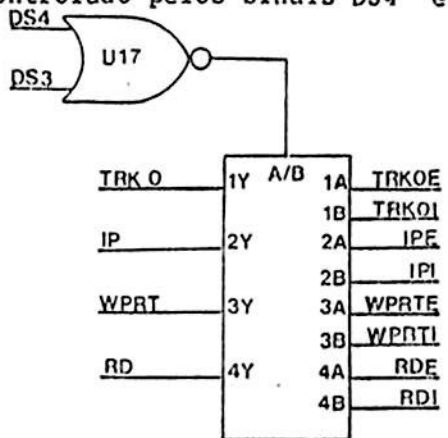
A função deste sinal é descobrir qual dispositivo (FDC ou acionamento do motor) gerou uma interrupção NMI. Isso é feito habilitando-se o CIU19 (74LS368), que nos seus pinos 13 e 11 apresentará o status dos sinais MOTOR ON e INTRQ respectivamente. É bom salientar novamente, que toda vez que uma operação e encerrada pelo FDC, um INTRQ é gerado por este.

Seleção drives externos/internos

Como sabemos, o CP500 pode suportar até quatro drives, sendo 2 externos e 2 internos. Para isso todos os sinais de saída (WD, WG, DIR, STEP, MOTOR ON, e SD SEL) são duplicados pelos buffers U1, U9 e U21 (todos 7416).

Então esses sinais são distribuidos para seus respectivos conectores (externo ou interno).

Já os sinais de entrada vem para a CONTROL em duplicata (por exemplo, sinal RD dos drives externos e sinal RD dos drives internos). Para selecionálos há um multiplexador, CIU22 (74LS157) que é controlado pelos sinais DS4 e DS3, conforme esquema abaixo :



Ajustes R5, R6 e R7

A seguir damos a rotina de ajustes para os trimpots R5, R6 e R7.

1. Ajuste da frequência de PLL

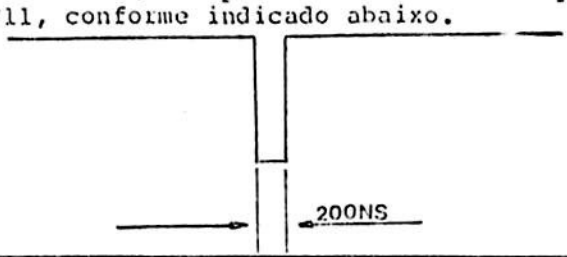
1.1. Com os drives desativados, ajuste R7 para obter uma leitura de 1,4V no pino 2 do CIU14.

1.2. Regule R7 para obter uma frequência de 2.000.000Hz ± 100Hz no pino 7 do CIU14.

2. Ajuste da frequência de precompensação de gravação :

2.1 Inicie a formatação de um disquete em qualquer um dos drives.

2.2. Espere que o cabeçote cheque a trilha 22. A partir daí e com o auxílio de um osciloscópio, ajuste R5 de forma a obter pulsos de 200ns na parte baixa do sinal que sai do pino 4 do CIU11, conforme indicado abaixo.



A PLACA INTERFACE VII

INTERFACE RS 232 DO CP500

DESCRIÇÃO DOS PRINCIPAIS COMPONENTES DA INTERFACE VII

1. TR1602

O TR1602 é um circuito integrado de 40 pinos que tem por funções serializar os dados para envio, paralelizar os dados recebidos, checar e controlar esses dados e a linha, verificando os sinais de "hand shake". Este circuito somente opera de forma assincrona, possuindo 6 registradores internos que são :

1. Registrador de transmissão: Nesse registrador ficam armazenados os dados (1 byte de cada vez), esperando que o registrador de deslocamento e transmissão esteja livre.

2. Registrador de deslocamento e transmissão: Para esse registrador vão os dados que estavam no registrador de transmissão, para serem serializados.

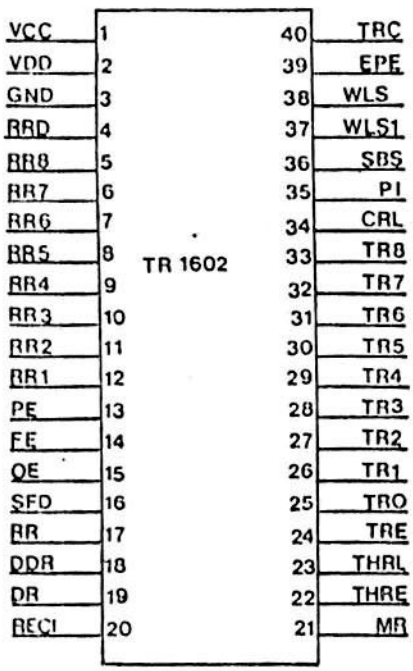
3. Registrador de contrôle: esse registrador carrega as caracteristicas dos dados a serem enviados, e recebidos (paridade, tamanho da palavra, número de stop bits).

4. Registrador de status: é nesse registrador que fica armazenado se o dado foi recebido ou transmitido corretamente ou se ouve erro (paridade, erro de protocolo, perda de dados).

5. Registrador de recepção e deslocamento: este registrador tem por finalidade receber e paralelizar os dados, enviandoos posteriormente para o registrador de recepção.

6. Registrador de recepção : recebe os dados do registrador de recepção e deslocamento e os envia para a linha de dados.

A seguir temos a pinagem do TR1602 e suas respectivas funções :



Alimentação:

1. VCC - +5V
2. VDD - -12V
3. GND - 0V

Contrôle

34 - CRL - Carga do registrador de contrôle. Um nivel alto nesta entrada efetua a carga do registrador de contrôle. Os sinais de contrôle segue abaixo:

35 - PI - Um nivel alto nesta entrada, quando è ativado CRL, determina que a geração de paridade serà inibida. Ao mesmo tempo forçarà a saida PE para nivel baixo.

36 - SBS - Seleciona o número de stop bits. Um nivel alto seleciona dois stop bits e um nivel baixo seleciona um stop bit. Um stop bit e meio è automaticamente gerado se o tamanho da palavra è de 5 bits e SBS està em nivel lógico alto.

37,38 - WLS1,WLS2 Controlam o tamanho da palavra de acordo com a tabela abaixo :

WLS2	WLS1	TAMANHO DA PALAVRA (bits)
0	0	5
0	1	6
1	0	7
1	1	8

39 - EPE - Esta entrada determina se a paridade a ser gerada será par (nível lógico alto) ou ímpar (nível lógico baixo).

STATUS :

13 - PE - Um nível alto nesta saída indica que foi recebido um dado com paridade inválida.

14 - FE - Um nível alto saída indica que foi recebido um dado com número de stop bits inválido.

15 - OE - Um nível alto nesta saída indica que foi perdido um dado.

16 - SFD - Essa entrada tem por função desconectar as saídas do registrador de status do barramento de dados, quando em nível alto.

19 - DR - Um nível alto nesta saída indica que um caracter foi recebido e está no registrador de recepção.

22 - THRE - Quando em nível alto, esta saída indica que o registro de transmissão está vazio.

24 - TRE - Indica que o registrador de deslocamento e transmissão está vazio quando em nível lógico alto.

Entrada e saída de dados :

5 - 12 - RR8 a RR1 - saída de dados. Se for dado um nível baixo na entrada RRD, os dados presentes no registrador de recepção são colocados nessas saídas.

4 - RRD - um nível baixo nesta entrada coloca os dados presentes no registrador de recepção nas saídas RR8 a RR1.

17 - RRC - Entrada de clock de recepção.

18 - DRR - Tem por função desabilitar a linha de status DR, quando for aplicado um nível lógico baixo nesta entrada.

20 - RI - Entrada de dados seriais.

23 - THRL - Um nível baixo nesta entrada introduz um byte no registrador de transmissão.

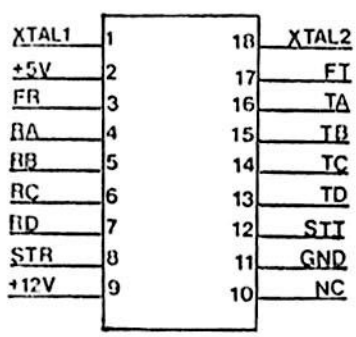
25 - TRO - Saída serial de dados.

26 - 33 - TR1 a TR8 - Entrada de dados para o registrador de transmissão.

40 - TRC - Entrada de clock para transmissão.

2. BR1941

O BR1941 é um chip que tem por função gerar diversas frequências de clock para programar a velocidade de transmissão e recepção do TR1602.
Abaixo temos sua pinagem e descrição:



1-18 - XTAL1,XATL2 - colocação cristal externo
3-FR - Frequência de recepção
17-FT - Frequência de transmissão
8-STR - Strobe do registro de recepção
12-STT - Strove do registro de transmissão

4 a 7 - RA,RB,RC,RD - entrada do registro de recepção Veja tabela abaixo.

16 a 13 - TA,TB,TC,TD - Entrada do registro de transmissão. Veja tabela a seguir :

RD	RC	RB	RA	TD	TC	TB	TA	Velocidade (Bauds)
0	0	0	0	0	0	0	0	50
0	0	0	1	0	0	0	1	75
0	0	1	0	0	0	1	0	110
0	0	1	1	0	0	1	1	134,5
0	1	0	0	0	1	0	0	150
0	1	0	1	0	1	0	1	300
0	1	1	0	0	1	1	0	600
0	1	1	1	0	1	1	1	1200
1	0	0	0	1	0	0	0	1800
1	0	0	1	1	0	0	1	2000
1	0	1	0	1	0	1	0	2400
1	0	1	1	1	0	1	1	3600
1	1	0	0	1	1	0	0	4800
1	1	0	1	1	1	0	1	7200
1	1	1	0	1	1	1	0	9600
1	1	1	1	1	1	1	1	19200

DESCRIÇÃO DA PLACA INTERFACE VII

Como havíamos estudado na parte de endereçamento de I/O a placa INTERFACE VII é um dispositivo mapeado.

O contrôle do mapeamento da INTERFACE VII é feito através do CI8(74LS139), que é controlado pelos sinais RS 232 IN e RS 232 OUT e pelas linhas de endereço A0 e A1.

Vejamos então como atuam estes sinais na INTERFACE VII.

RS 232 IN - conforme foi visto na seção de endereçamento de I/O da placa PVIII, o sinal RS 232 IN é ativo entre os endereços E8 e EB, inclusive, sendo subdividido da seguinte forma :

Endereço	Função
E8	Leitura do status do modem
E9	Não usado
EA	Leitura do status da UART
EB	Leitura do registrador de recepção.

Os únicos endereços que varima de E8 a EB são A1 e A0, que estão ligados nas entradas de seleção do CI8.

Assim se RS 232 IN estiver ativo, teremos :

Endereço E8 - A1=0;A0=0 - Ativa a saída INE8 do CI8, habilitando o CI5 (74LS367), efetuando assim a leitura do status do modem, de acordo com a tabela abaixo :

Bit	Leitura de:
D7	CTS
D6	DSR
D5	CD
D4	RI
D0	RD

Endereço E9#A1=0; A0=1 # Ativa saída INE9 do CI8, que está desconectada, não tendo função portanto.

Endereço EA#A1=1; A0=0 # Ativa saída INEA do CI8, habilitando portanto o CI4(74LS367), efetuando assim a leitura do status da UART, de acordo com a tabela abaixo :

Bit	Leitura de :
D7	DR (dado recebido)
D6	THRE (registrador de transmissão vazio)
D5	OE (perda de dados)
D4	FE (erro de protocolo)
D3	PE (erro de paridade)

Endereço EB#A1=1; A0=1 # Ativa saída INE8, que tem por função colocar os dados contidos no registrador de recepção da UART, no barramento ao mesmo tempo habilita o buffer tristate CI3 (74LS244).

RS 232 OUT # Similarmente ao sinal RS 232 IN, este sinal é ativo entre os endereços E8 e EB, inclusive, servindo, entretanto, para escritura.
A subdivisão deste sinal é a seguinte :

Endereço	Função
E8	Resetar a UART
E9	Carga da velocidade de recepção e transmissão
EA	Carga do registrador de transmissão
EB	Carga do registrador de contrôle dos sinais de hand shake (RTS e DTR)

Endereço E8#A0=0; A0=0 # Ativa a saída OUT E8 do CI8, que age diretamente sobre a entrada MR da UART, resentadoa.

Endereço E9#A1=0; A0=1 # Atua sobre as entradas STT e STR do gerador de baud rate. As linhas de dados de D0 a D3 deverão conter o código da frequência de recepção, (RA a RD) e as linhas de D4 a D7 deverão conter o código de transmissão (TA a TD).

Endereço EA # A1=1; A0=0 # Ao mesmo tempo que carrega o registrador de contrôle da UART, através de seu pino CRL, atua como clock do CI6 (74LS174), gerando os sinais RTS, DTR, SRTS, STD, SUN de acordo com a tabela abaixo :

Bit	Saída
D0	RTS
D1	DTR
D3	SRTS
D4	STD
D5	SUN

A saída 2Q do C16, correspondente à entradz 2D (bit D2) habilita ou não a transmissão de dados, através do CI16 (1488), pino 13.

Endereço EB#A1=1; A0=1 # controla a carga de dados no registrador de armazenamento de transmissão, atuando diretamente sobre o pino THRL da UART.

Além dos sinais RS 232 IN e RS 232 OUT, dois outros sinais controlam a INTERFACE VII. São eles :

WR INT MASK REG
RD INT MASK REG

O sinal WR INT MASK REG programa o CI10 (74LS174) para determinar qual dos seguintes sinais gerará uma interrupção:

OE	perda de dados
FE	erro de protocolo
PE	erro de paridade
THRE	registro de transmissão vazio
DR	dado recebido

Isso é feito com o auxílio da linhas de dados D6, D5 e D4 (74LS38).

Caso ocorra algum erro, ou um Dado seja recebido, é gerada uma interrupção. Quando isto ocorre, é ativado o sinal RD INT STATUS, que habilitando o CI9 (74LS368) efetua a leitura do bit que gerou a interrupção.

A PLACA VT01

CONTROLE DE VÍDEO DO CP 500

MANUAL TÉCNICO CP500

A placa VT01 tem por função compatibilizar e controlar os sinais de vídeo enviados pela PVIII, para o tubo de raios catódicos. Podemos dividi-la em 3 partes :

1. sincronismo vertical
2. sincronismo horizontal
3. Contrôle do sinal vídeo

1. Sincronismo Horizontal

O sincronismo horizontal é gerado através de um cricuito monoestável, formado pelo CI2 (555) e compoentes associados.

Os pulsos de sincronismo horizontal gerados pela PVIII são injetados no CI2 através do transistor T5 e C29. A saída pino 3 do CI2 está ligada ao transistor T4, que serve de chave para o transformador TP1. Este transformador tem por função isolar as duas partes do circuito e fornecer pulsos com tensão suficiente para excitar a base de T1. O diodo que está representado em paralelo com T1 é interno ao transistor e serve para proteger este dos transientes provocados pelo FLY BACK. O trimpot TP1 tem por função ajustar a frequência horizontal e os indutores L1 e L2 fazem o ajuste da linearidade horizontal. Observe que o sinal é dividido em C3 indo parte para as bobinas de varredura horizontal LH1 e LH2 no YOKE e a outra parte indo para o FLY BACK. Aí este sinal tem sua tensão elevada, sendo que em seguida ele é retificado em meia onda, por um diodo de alta tensão, localizado no interior do próprio FLY BACK. Sua filtragem é feita pelo capacitor formado pelo aquadag e o exterior do cinescópio, que é recoberto de grafite e aterrado.

2. Sincronismo Vertical

O sincronismo vertical é gerado por um circuito TDA1170 que controla a linearidade, a frequência e o sincronismo vertical propriamente ditos.

Três trimpots são responsáveis pelas diversas regulagens :

TP5 - em conjunto com R12 e C17 este trimpot ajusta a frequência vertical.

TP3 - Conjuntamente com R11 esse trimpot ajusta a amplitude da rampa de saída do TDA1170, variando assim a altura, no vídeo.

TP2 - Sua função é ajustar a linearidade do sinal de saída.

3. Contrôle do sinal de vídeo

O sinal de vídeo vindo da PVIII é amplificado pelo transitor T2, mas antes disso há um trimpot, TP7, que regula seu nível de entrada, atuando assim como um primeiro contrôle do brilho.

Em seqüência existem dois trimpots : um externo, que é o contrôle de brilho e um interno, TP6, que age sobre a primeira grade do tubo e atua como contrôle de contraste.

O foco é regulado através de um trimpot ligado à última grade (TP4).

A FONTE DE ENERGIA DO CP 500

MANUAL TÉCNICO CP500

A fonte do CP500 é do tipo convencional, sendo suas tensões de saída estabilizadas por circuitos do tipo LM723, 7912 e 7812.

Abaixo seguem as tensões de entrada e saída da fonte, lembrando que as tensões de saída são fornecidas em relação ao terra.

CN1/4 e CN1/3 = 11VCA
CN1/1 e CN1/2 = 20VCA
CN2/3 e CN2/1 = 16VCA
CN2/4 e CN2/1 = 16VCA

Obs:As tensões alternadas podem variar consideravelmente (+e15%) em relação a este valor, devido a fatores tais como rêde elétrica, caracteristicas particulares do trafo etc.

CN4/3
CN5/4
CN6/4 = +5VDC
CN7/2
CN8/1
CN9/1

CN4/1
CN5/1 = +12VDC
CN6/1

CN7/6
CN8/3 = +12VDC
CN9/3

CN7/5
CN8/4 = e12VDC
CN9/4

A tensão de +5VDC para a alimentação das RAM's é gerada na própria placa PVIII pelo regulador VR1 (79L05 ou 7905)

MATERIAL PARA REPARO DO CP 500

MANUAL TÉCNICO CP500

FERRAMENTAL NECESSÁRIO PARA REPARO DO CP500

1. CHAVE TUBO 7mm
1. CHAVE TUBO 8mm
1. ALICATE BICO
1. ALICATE CORTE
1. FERRO SOLDA DE NO MAXIMO 35W
1. SUGADOR SOLDA
1. CHAVE FENDA MÉDIA
1. CHAVE FENDA GRANDE
1. CHAVE PHILIPS MÉDIA
1. CHAVE PLASTICA PARA AJUSTE DE BOBINA
1. MULTÍMETRO DIGITAL
1. OSCILOSCÓPIO COM AS SEGUINTES CARACTERÍSTICAS :
   - Duplo feixe
   - Soma algébrica de canais
   - Inversão de pelo menos um canal
   - Frequência mínima de 30mhz
   - Trigger externo

Obs: tal osciloscópio também pode ser usado para alinhamento de drives.

1. FREQUENCÍMETRO DIGITAL (OPCIONAL)
   - Solda
   - Álcool isopropílico (para limpeza dos drives)
   - 1,1,1 Tricloroetano (para limpeza das placas)
   - Algodão
   - Flanela
   - Pincel
   - Cola Super Bonder
   - Gravador K7
   - Fitas K7
   - Disquetes (no mínimo 3 : 1 com programas de teste e 2 virgens)

MATERIAL DE ESTOQUE

Abaixo sugerimos uma lista de material que deve ser mantido em estoque, cuja quantidade deverá ser dimensionada de acordo com o parque de máquinas instaladas.

- Z80
- 74LS74
- 74LS138
- 74LS244
- 74LS245
- 74LS367
- 4116
- 74LS273
- N8T26
- LM723
- 79L05 ou 7905
- 7912
- 7812
- 74LS157
- CIRCUITO IMPRESSO FLEXÍVEL 20 VEIAS
- CHAVE LID
- FUSÍVEL
- DRIVE 5" 1/4

MANUAL TÉCNICO CP500

VERSÕES DE EPROM

O CP500 apresenta atualmente três versões de EPROM, que são :

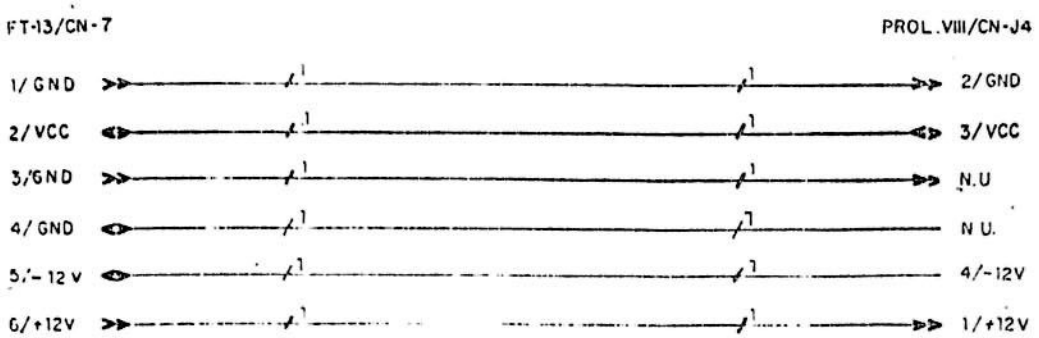
900#34#1 máquinas antigas (até junho/82)
900#34#2 usam teclas S e P juntas para efetuar o
900#34#3 HARDCOPY
900#34#4

900#34#0 após junho/82
900#34#2 aceitam shift + * para efetuar o HARDCOPY
900#34#3 possuem monitor Ver.1.1 (aceita BREAK)
900#34#P4

100#108
100#107 apenas alteração do código da versão
100#106 anterior
100#109

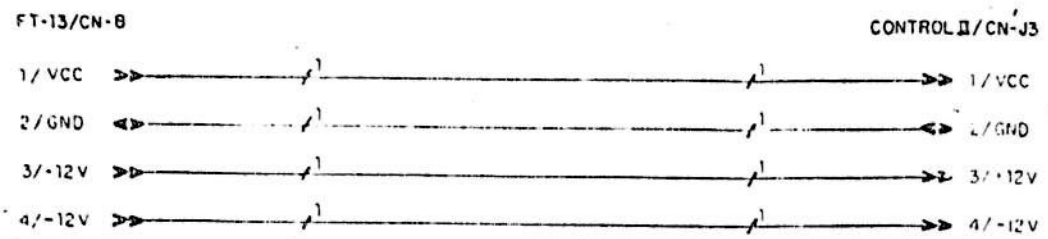
FALTAM PÁGINAS 100 A 120



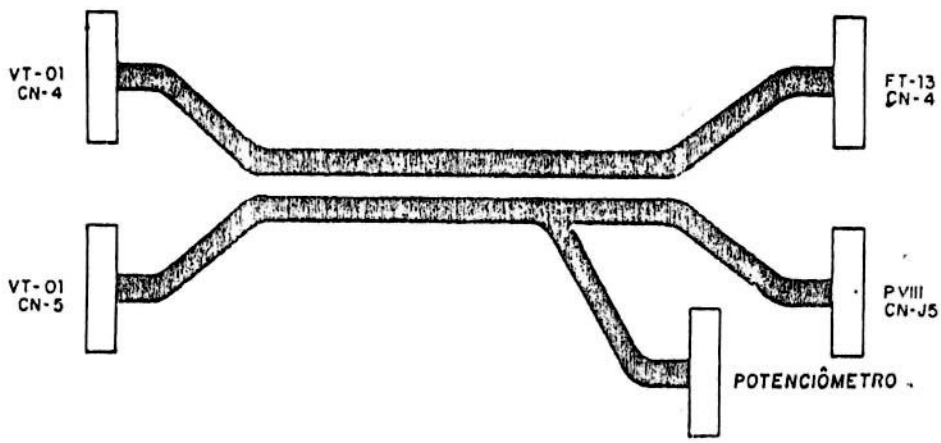


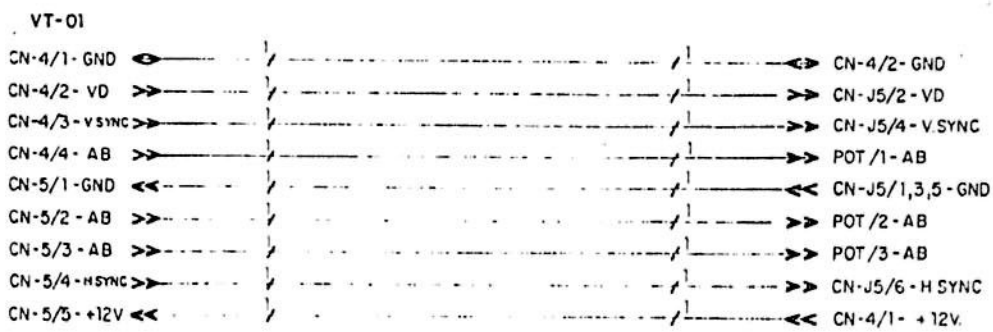
MNM	NOME	FT-13 CN-7	PROL.VIII CN-J4	BITOLA	COR
GND	TERRA	1	2	20	VM
VCC	+ 5V	2	3	20	PR
GND/NU	TERRA/NÃO UTILIZ	3	-	-	-
GND/NU	TERRA/NÃUTIL	4	-	-	-
- 12V	- 12V	5	4	20	AM
+ 12V	+ 12V	6	1	20	AZ





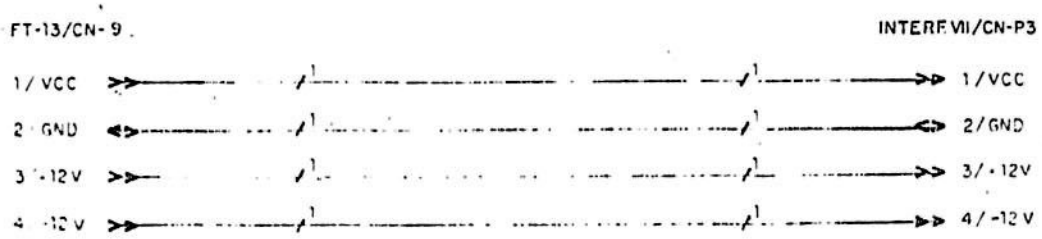
MNM	NOME	FT-13 CN-8	CONTROL III CN-J3	BITOLA (AWG)	COR
VCC	5V	1	1	FITA//22	MR
GND	TERRA	2	2	"	VM
+12V	+12V	3	3	"	LB
-12V	-12V	4	4	"	AM



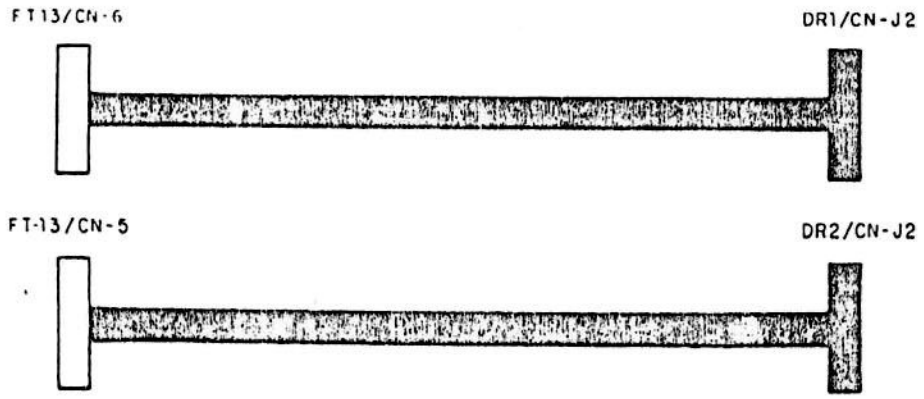


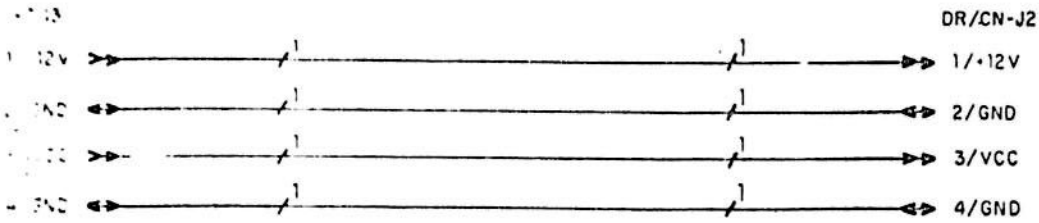
MNM	NOME	VT-01 CN-4	VT-01 CN-5	FT-13 CN-4	PVIII CN J5	POTENC.	BITOLA (AWG)	COR
GND	TERRA	1	-	?	-	-	FITA//22	MR
VD	VIDEO	2	-	-	2	-	FIO 20	VM
V.SYNC	SINCRONISMO VERTICAL	3	-	-	4	-	FIO 20	AM
AB	AJUSTE BRILHO	4	-	-	-	1	FITA//22	VD
GND	TERRA	-	1	-	1,3,5	-	FIO 20	PR
AB	AJUSTE BRILHO	-	2	-	-	2	FITA//22	AZ
AB	AJUSTE BRILHO	-	3	-	-	3	FITA//22	LI
HSYNC	SINCRONISMO HORIZONTAL	-	4	-	6	-	FIO 20	AZ
+12V	+12V	-	5	1	-	-	FITA//22	VM



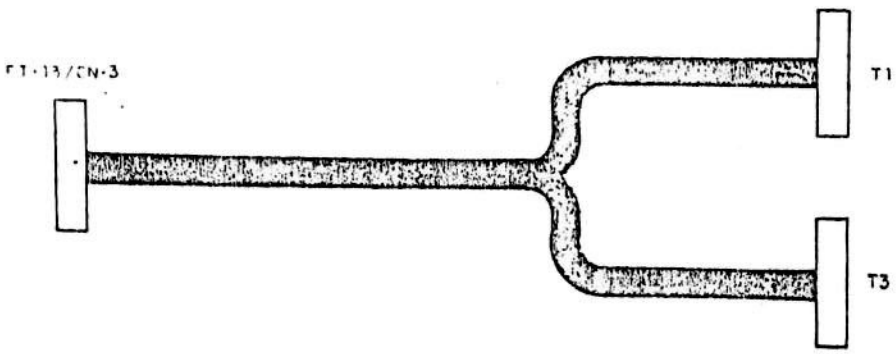


MNM	NOME	FT-13 CN-9	INTERF. VII CN-P3	BITOLA (AWG)	COR
VCC	+5V	1	1	20	VM
GND	TERRA	2	2	"	PR
+12V	+12V	3	3	"	AM
-12V	-12V	4	4	"	AZ

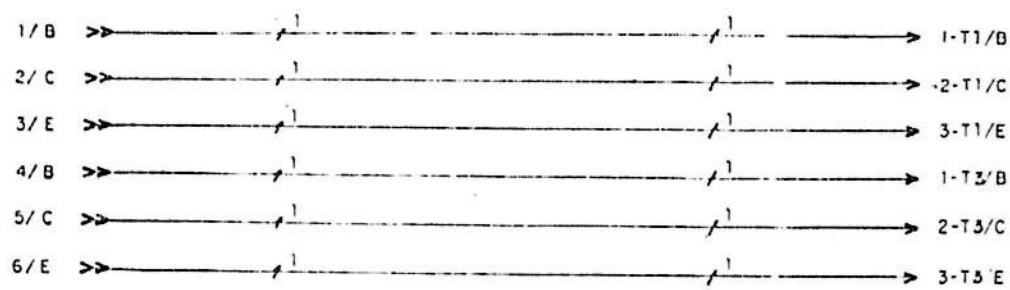




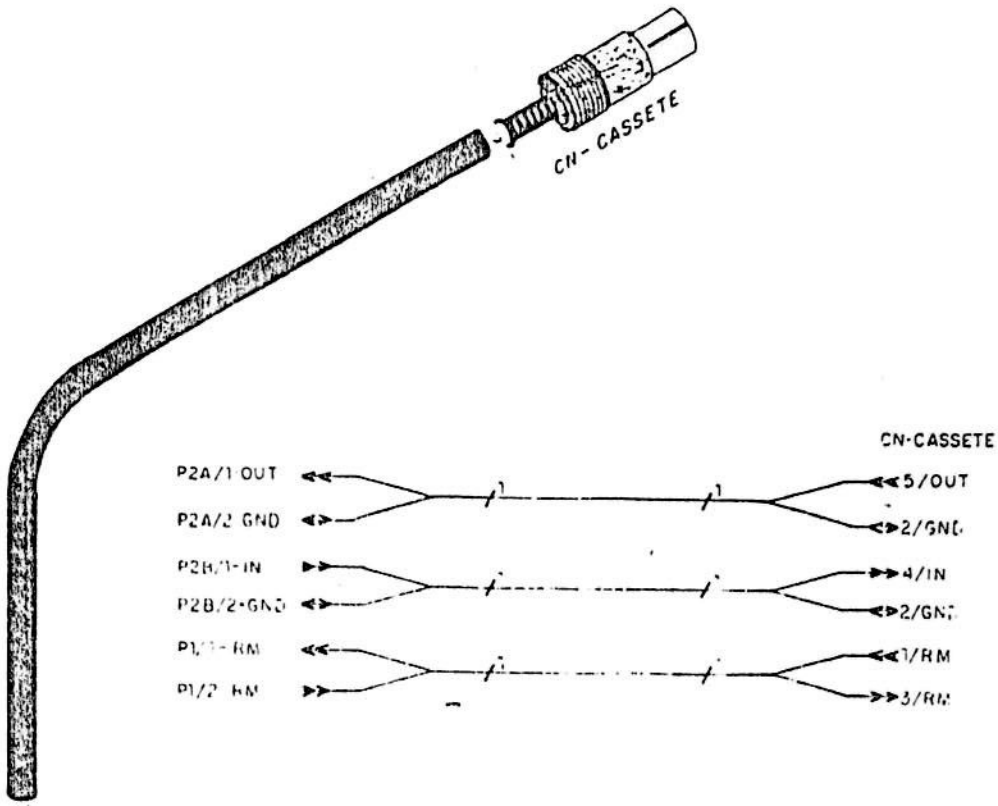
MNM	NOME	FT-13 CN-6/CN-5	DR1/DR2	BITOLA (AWG)	COR
+12V	+12V	1	1	FITA//22	MR
GND	TERRA	2	2	"	VM
VCC	+5V	3	3	"	LR
GND	TERRA	4	4	"	AM



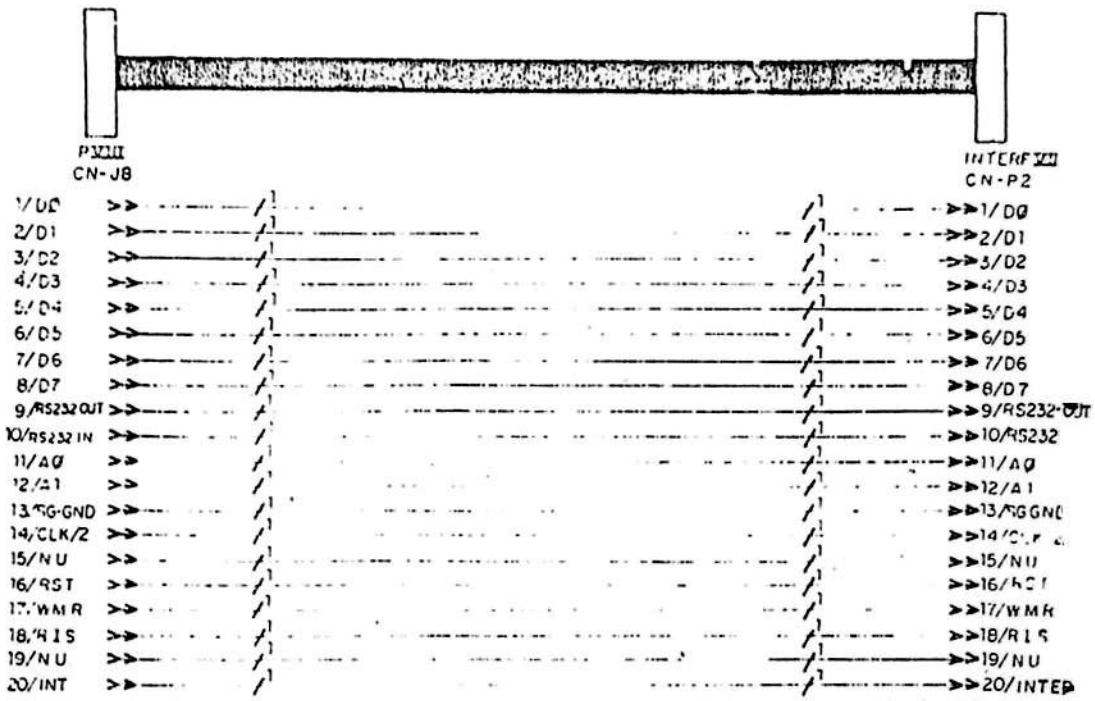
FT-13/CN-3



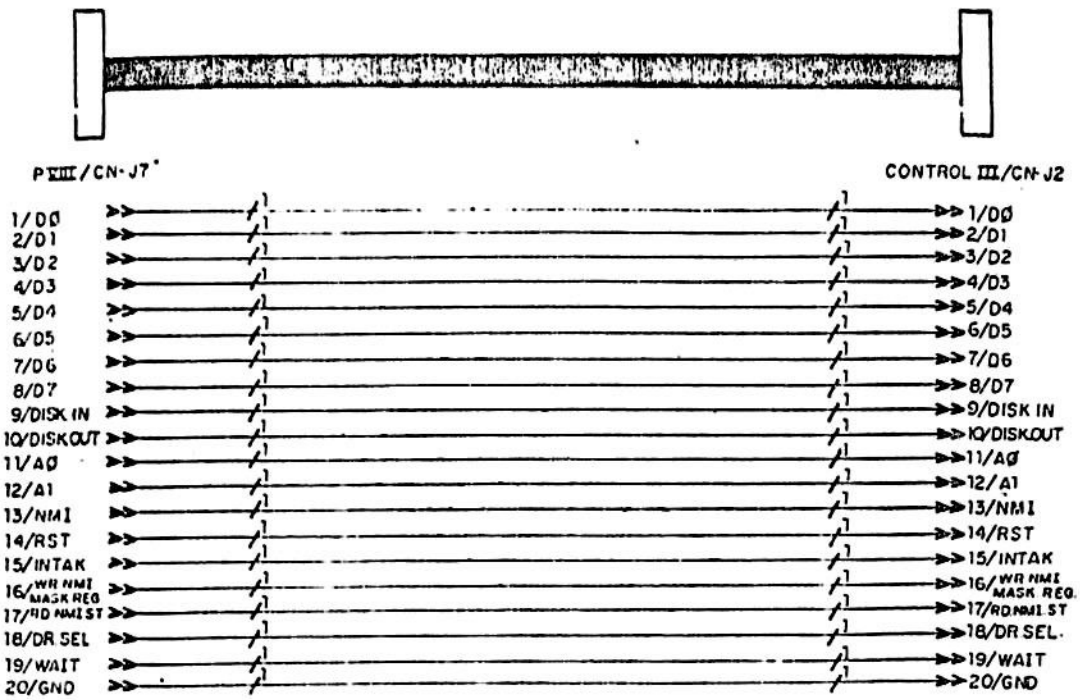
MNM	NOME	CN-1	T1	T3	BITOLA (AWG)	COR
B	BASE	1	1	—	18	VM
C	COLETOR	2	2	—	18	AM
E	EMISSOR	3	3	—	18	BR
B	BASE	4	—	1	18	VD
C	COLETOR	5	—	2	18	PR
E	EMISSOR	6	—	3	18	AZ



MNM	NOME	P1	P2A	P2B	CN CASSETE	BITOLA AWG	COR
OUT	OUT PUT	—	1	—	5	24	CZ
GND	TERRA	—	2	2	2	"	CZ
IN	IMPUT	—	—	1	4	"	CZ
RM	REMOTO	1	—	—	1	"	PR
RM	REMOTO	2	—	—	3	"	PR

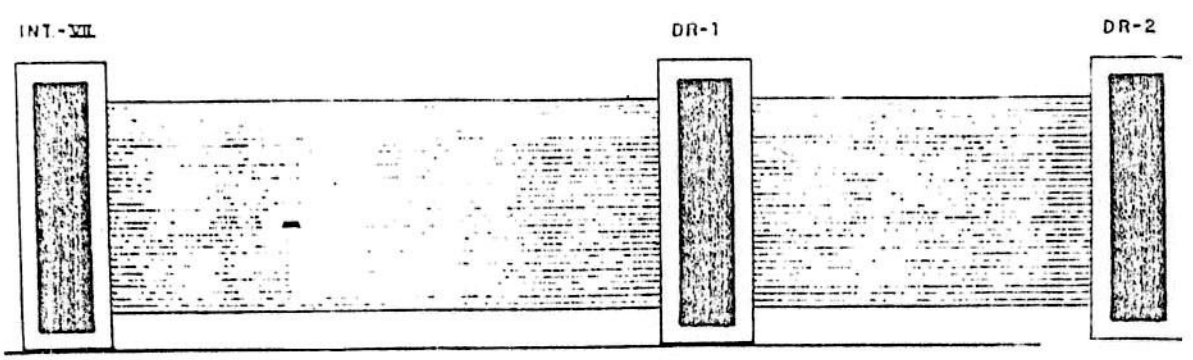


MNM	NOME	CN-J8	CN-P2
D0	DADO Ø	1	1
D1	DADO 1	2	2
D2	" 2	3	3
D3	" 3	4	4
D4	" 4	5	5
D5	" 5	6	6
D6	" 6	7	7
D7	" 7	8	8
RS232 OUT	RS 232 - OUT PUT	9	9
RS232 IN	RS 232 - IN PUT	10	10
A0	ENDEREÇO Ø	11	11
A1	" 1	12	12
SG GND	TERRA	13	13
CLK-2	CLOCK-2	14	14
NU	NÃO UTILIZADO	15	15
RST	RESET	16	16
WMR	WRINT MASK REGISTER	17	17
RIS	READ INTERRUPT STATUS	18	18
NU	NÃO UTILIZADO	19	19
INT	INTERRUPT	20	20



M N M	NOME	CN-J7	CN-J2
DØ	DADO Ø	1	1
D1	" 1	2	2
D2	" 2	3	3
D3	" 3	4	4
D4	" 4	5	5
D5	" 5	6	6
D6	" 6	7	7
D7	" 7	8	8
DISK IN	DISK INPUT	9	9
DISK OUT	" OUT PUT	10	10
AØ	ENDEREÇO Ø	11	11
A1	" 1	12	12
NMI	NON MASKABLE	13	13
RST	RESET	14	14
INTAK	INTAK	15	15
WR NMI MASK REG	WRITE NMI MASK REG.	16	16
RD NMI ST	READ NMI STATUS	17	17
DR SEL	DRIVER SELECT	18	18
WAIT	WAIT	19	19
GND	TERRA	20	20

INT-XII CN-J4	DR-1 CN-A	DR-2 CN-A
1/GND	1/GND/1	1/GND
2/NU	2/NU/2	2/NU
3/GND	3/GND/3	3/GND
4/NU	4/NU/4	4/NU
5/GND	5/GND/5	5/GND
6/NU	6/NU/6	6/NU
7/GND	7/GND/7	7/GND
8/IP	8/IP/8	8/IP
9/GND	9/GND/9	9/GND
10/DS1	10/DS1/10	10/DS1
11/GND	11/GND/11	11/GND
12/DS2	12/DS2/12	12/DS2
13/GND	13/GND/13	13/GND
14/NU	14/NU/14	14/N.U
15/GND	15/GND/15	15/GND
16/MTON	16/MTON/16	16/MT.ON
17/GND	17/GND/17	17/GND
18/DIR	18/DIR/18	18/DIR
19/GND	19/GND/19	19/GND
20/STEP	20/STEP/20	20/STEP
21/GND	21/GND/21	21/GND
22/CWD	22/CWD/22	22/CWD
23/GND	23/GND/23	23/GND
24/WG	24/WG/24	24/WG
25/GND	25/GND/25	25/GND
26/TRKØ	26/TRKØ/26	26/TRKØ
27/GND	27/GND/27	27/GND
28/WPRT	28/WPRT/28	28/WPRT
29/GND	29/GND/29	29/GND
30/RD	30/RD/30	30/RD
31/GND	31/GND/31	31/GND
32/SDSEL	32/SDSEL/32	32/SDSEL
33/GND	33/GND/33	33/GND
34/NU	34/NU/34	34/N.U.

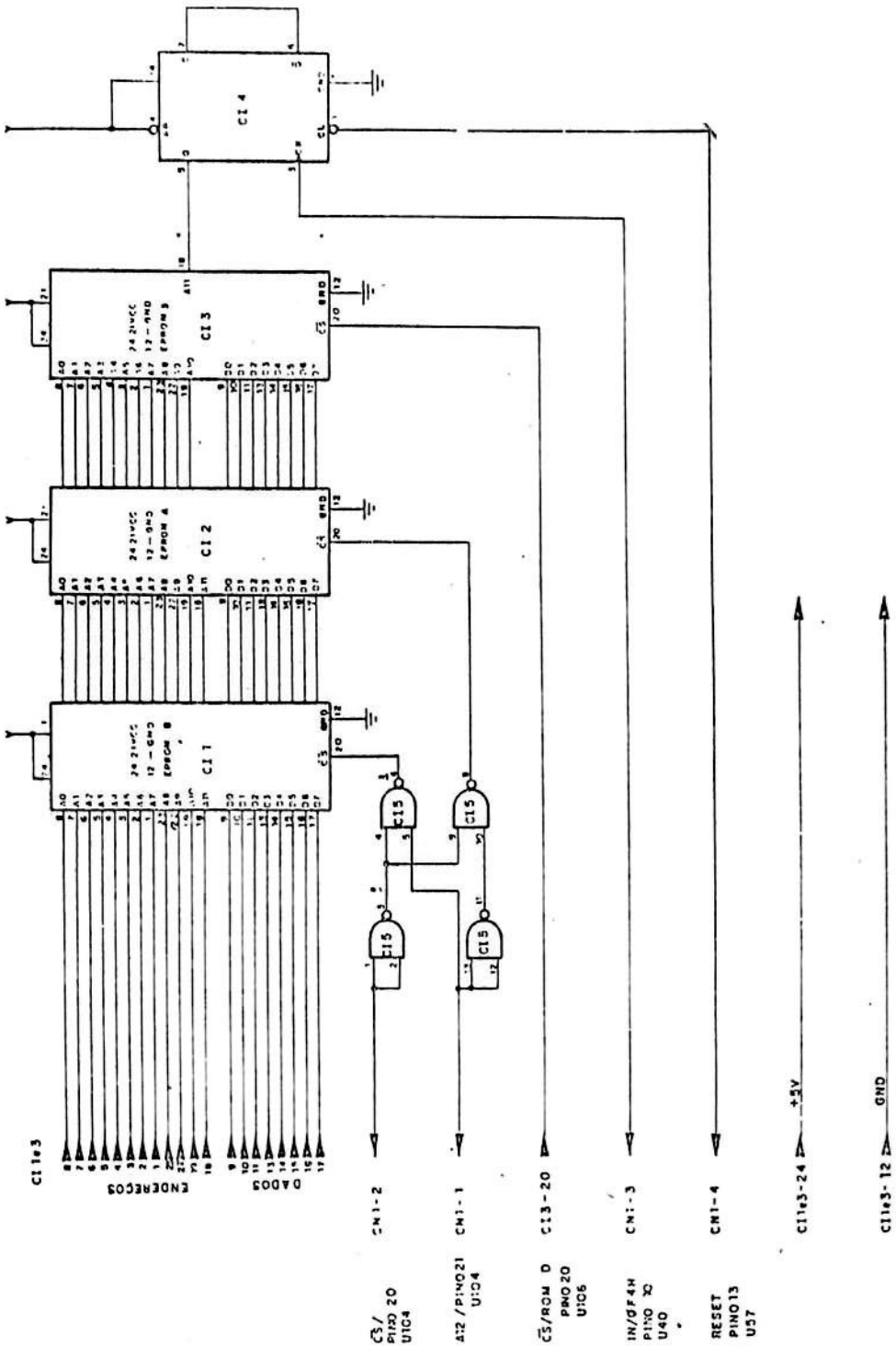


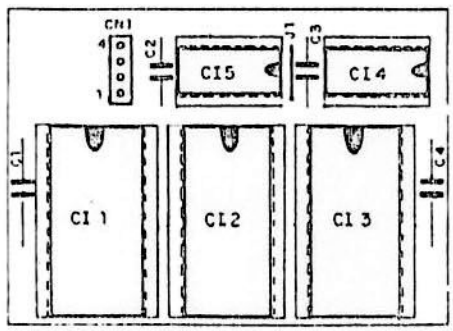
M N M	NOME	CN-J4	DR-1 CN-A	DR-2 CN-A	BITOLA
GND	TERRA	1	1	1	FLAT CABLE
NU	NÃO UTILIZADO	2	2	2	" "
GND	TERRA	3	3	3	" "
NU	NÃO UTILIZADO	4	4	4	" "
GND	TERRA	5	5	5	" "
NU	NÃO UTILIZADO	6	6	6	" "
GND	TERRA	7	7	7	" "
IP	INDEX	8	8	8	" "
GND	TERRA	9	9	9	" "
DS1	DRIVER SELEÇÃO 1	10	10	10	" "
GND	TERRA	11	11	11	" "
DS2	DRIVER SELEÇÃO 2	12	12	12	" "
GND	TERRA	13	13	13	" "
NU	NÃO UTILIZADO	14	14	14	" "
GND	TERRA	15	15	15	" "
MT ON	MOTOR ON	16	16	16	" "
GND	TERRA	17	17	17	" "
DIR	DIREÇÃO	18	18	18	" "
GND	TERRA	19	19	19	" "
STEP	STEP	20	20	20	" "
GND	TERRA	21	21	21	" "
CWD	WRITE DATA	22	22	22	" "
GND	TERRA	23	23	23	" "
WG	WRITE GATE	24	24	24	" "
GND	TERRA	25	25	25	" "
TRKØ	TRACK Ø	26	26	26	" "
GND	TERRA	27	27	27	" "
WPRT	WRITE PROTECT	28	28	28	" "
GND	TERRA	29	29	29	" "
RD	READ DATA	30	30	30	" "
GND	TERRA	31	31	31	" "
SD SEL	SIDE SELECT	32	32	32	" "
GND	TERRA	33	33	33	" "
NU	NÃO UTILIZADO	34	34	34	" "

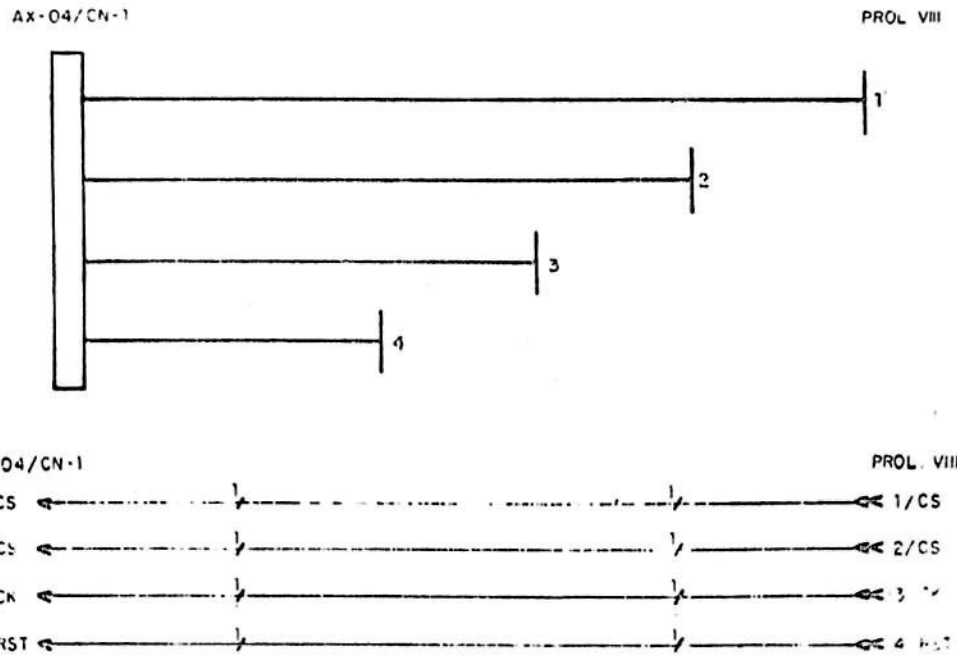
MNM	NOME	PROL VIII CN-J6	PTL-03 CN-P1	BITOLA
A0	ENDEREÇO Ø	1	1	FLAT CABLE
A1	" 1	2	2	" "
A2	" 2	3	3	" "
A3	" 3	4	4	" "
A4	" 4	5	5	" "
A5	" 5	6	6	" "
A6	" 6	7	7	" "
A7	" 7	8	8	" "
DØA	DADO ØA	9	9	" "
D1A	" 1A	10	10	" "
D2A	" 2A	11	11	" "
D3A	" 3A	12	12	" "
D4A	" 4A	13	13	" "
D5A	" 5A	14	14	" "
D6A	" 6A	15	15	" "
D7A	" 7A	16	16	" "
N.U.	NÃO UTILIZADO	17	17	" "
N.O.	NORMAL / ABERTO	18	18	" "
O.P.	COMUM	19	19	" "
N.C.	NORMAL / FECHADO	20	20	" "

PROL VIII / CN-J6 PTL-03/CN-P1

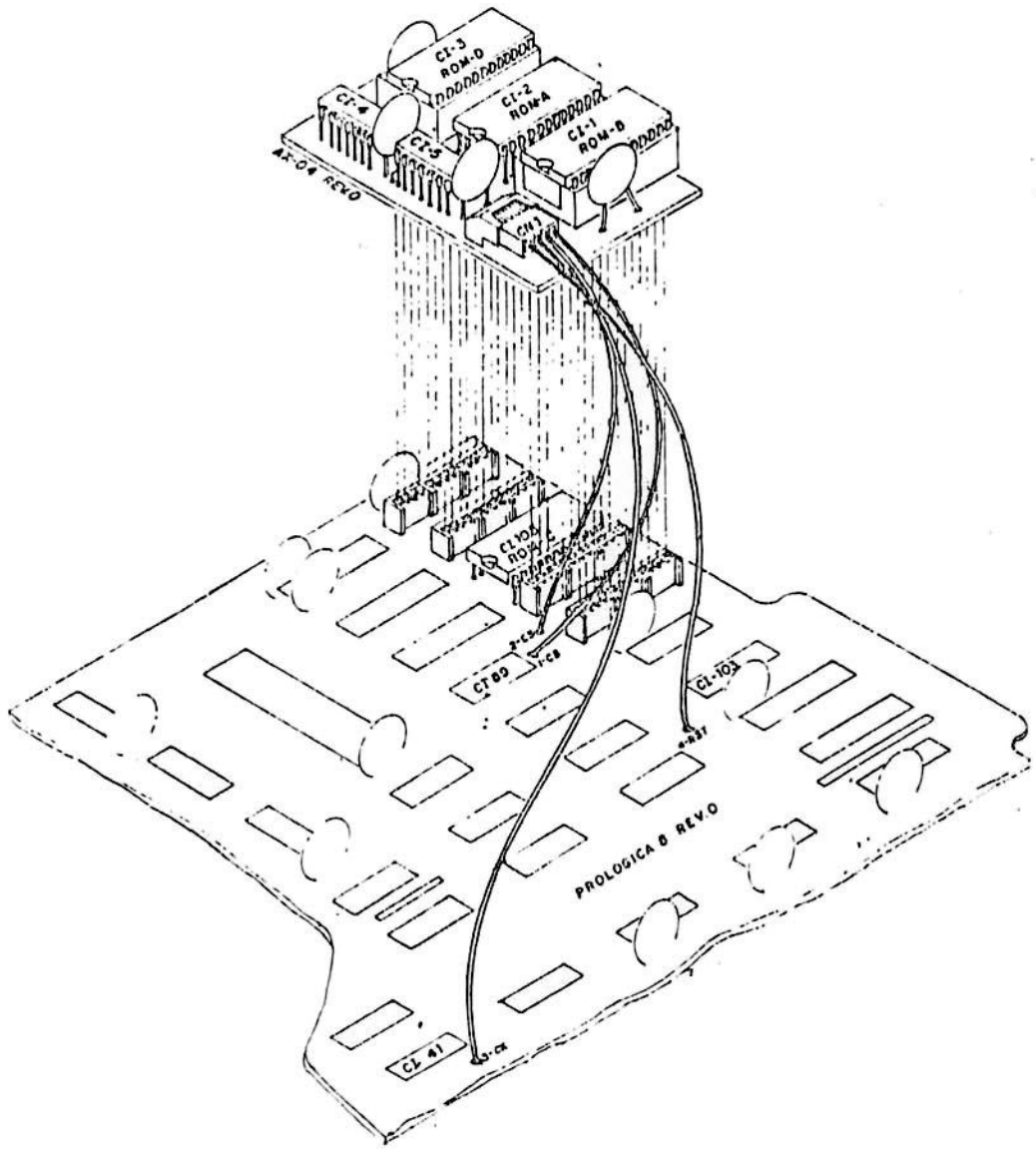


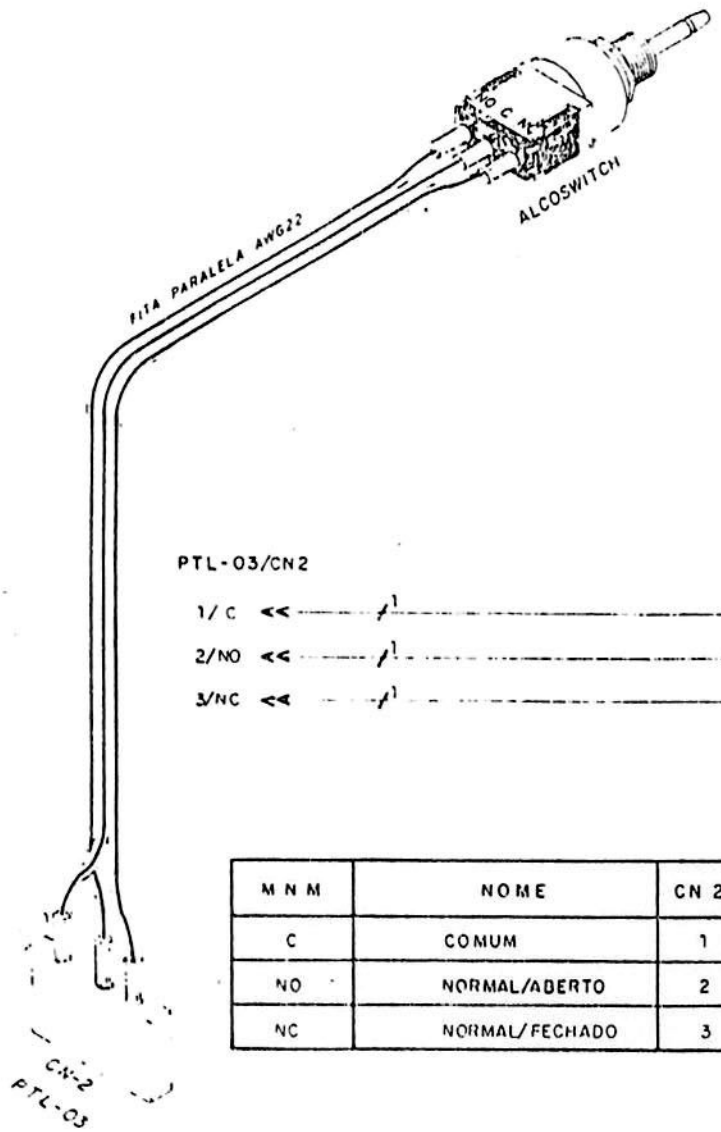

CI 4
CI 3
CI 2
CI 1
EPROM 3
EPROM 4
EPROM 5
24 VCC
12 - GND
CS
GND
CI1 a 3
ENDEREÇOS
DADOS
CI5
CN1-2
CN1-1
CI3-20
CN1-3
CN1-4
CI1a3-24
CI1a3-12
+5V
GND
CS/ PINO 20 U104
A12 / PINO21 U104
CS/ROM 0 PINO 20 U105
IN/OF4H PINO 30 U40
RESET PINO 13 U57


CN1
4
1
C2
CI5
J1
C3
CI4
C1
CI 1
CI2
CI 3
C4

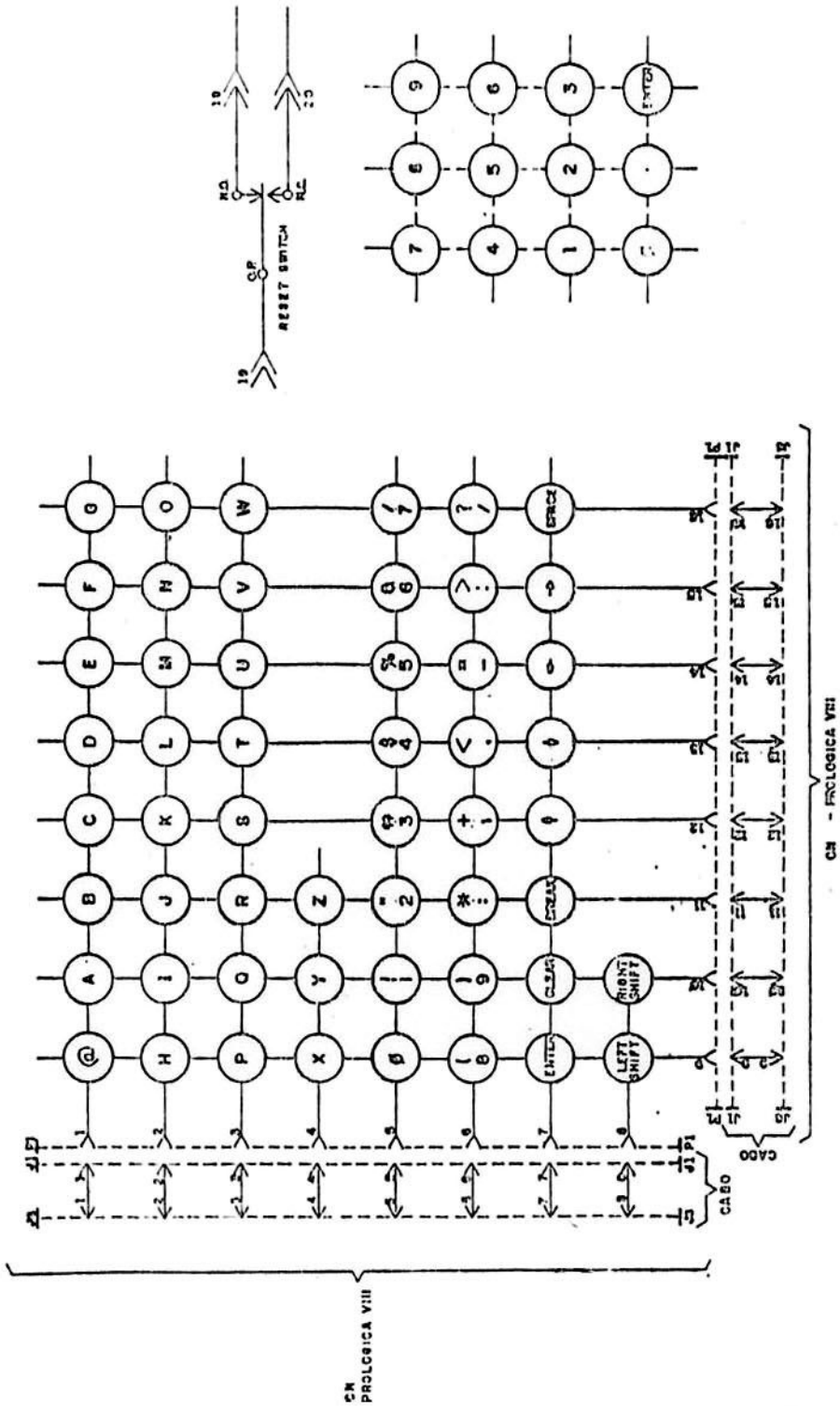


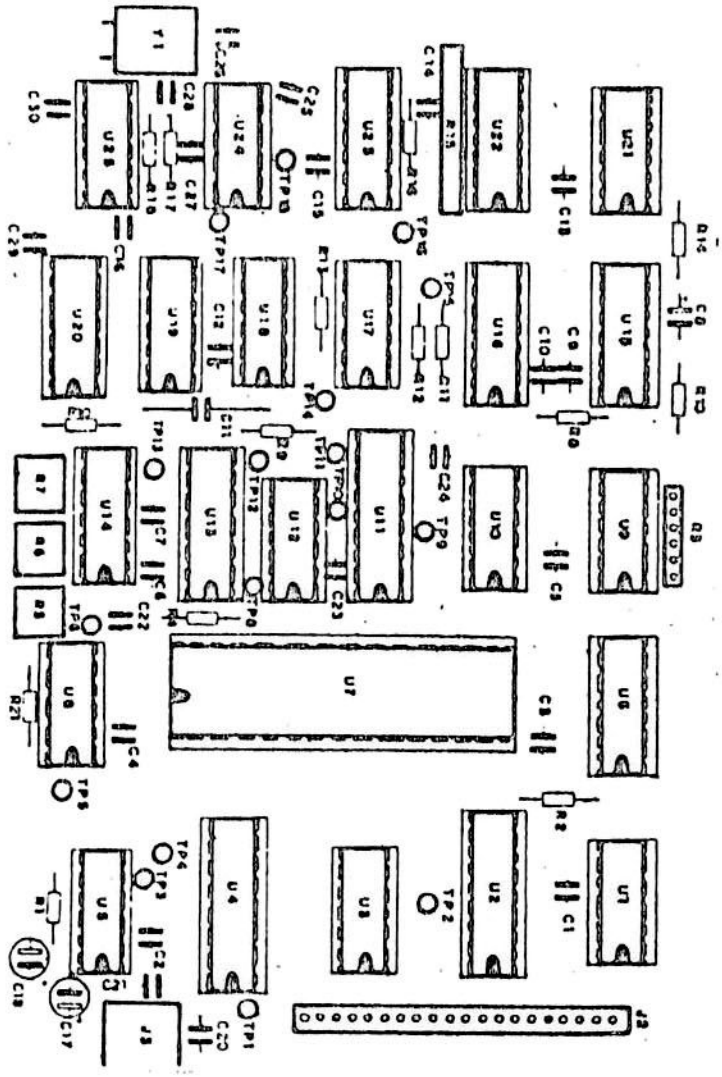
MNM	NOME	CN-1	PROL.VIII	BITOLA (AWG)	COR
CS	CHIP SELECT	1	1	22	PR
CS	CHIP SELECT	2	2	22	PR
CK	CK	3	3	22	PR
RST	RESET	4	4	22	PR

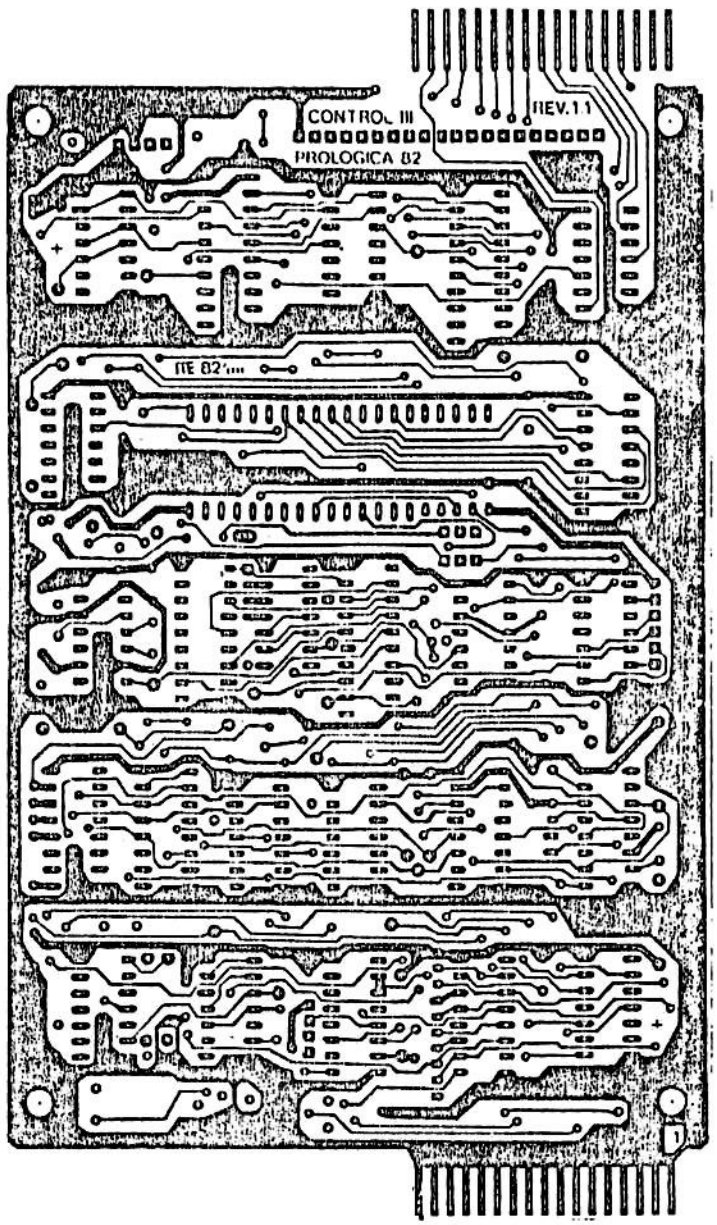

CI-3
ROM-D
CI-2
ROM-A
CI-1
ROM-B
CI-4
CI-5
CI-6
CI-10A
ROM-C
CT 80
CI-10A
PROLOGICA B REVO
CI 41

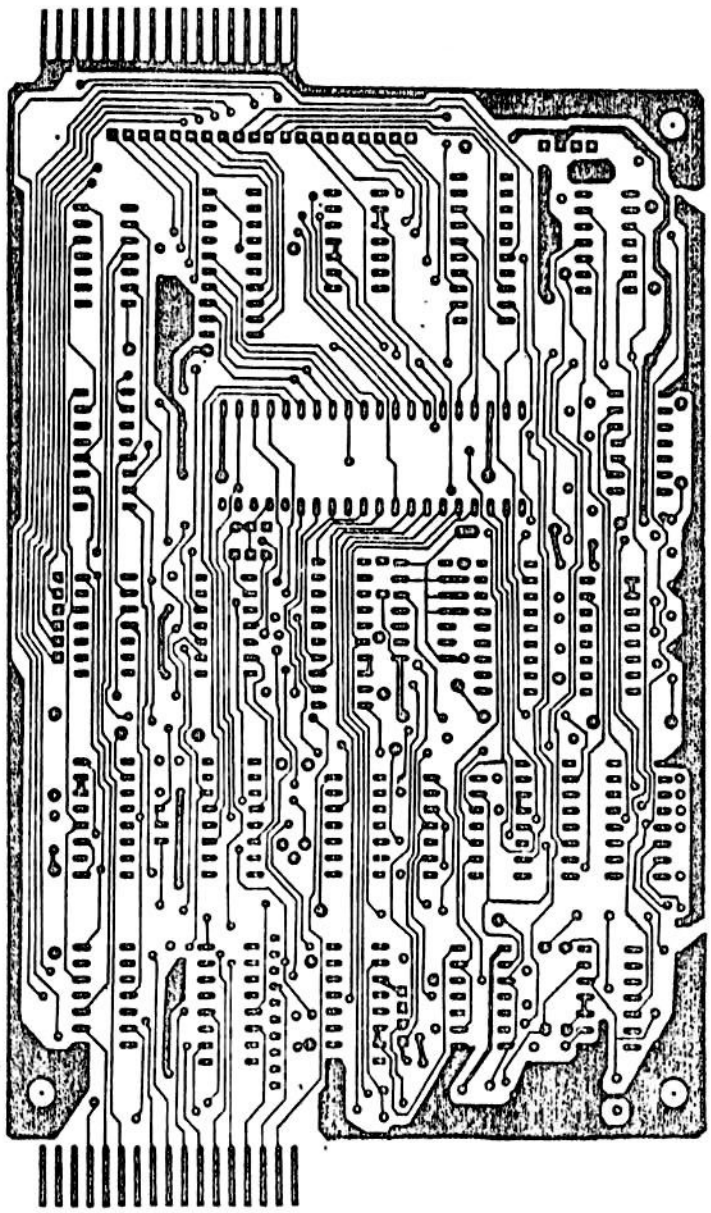


M N M	NOME	CN 2	CHAVE RESET	BITOLA AWG	COR
C	COMUM	1	2	FITA//22	MR
NO	NORMAL/ABERTO	2	1	" "	VM
NC	NORMAL/FECHADO	3	3	" "	LR

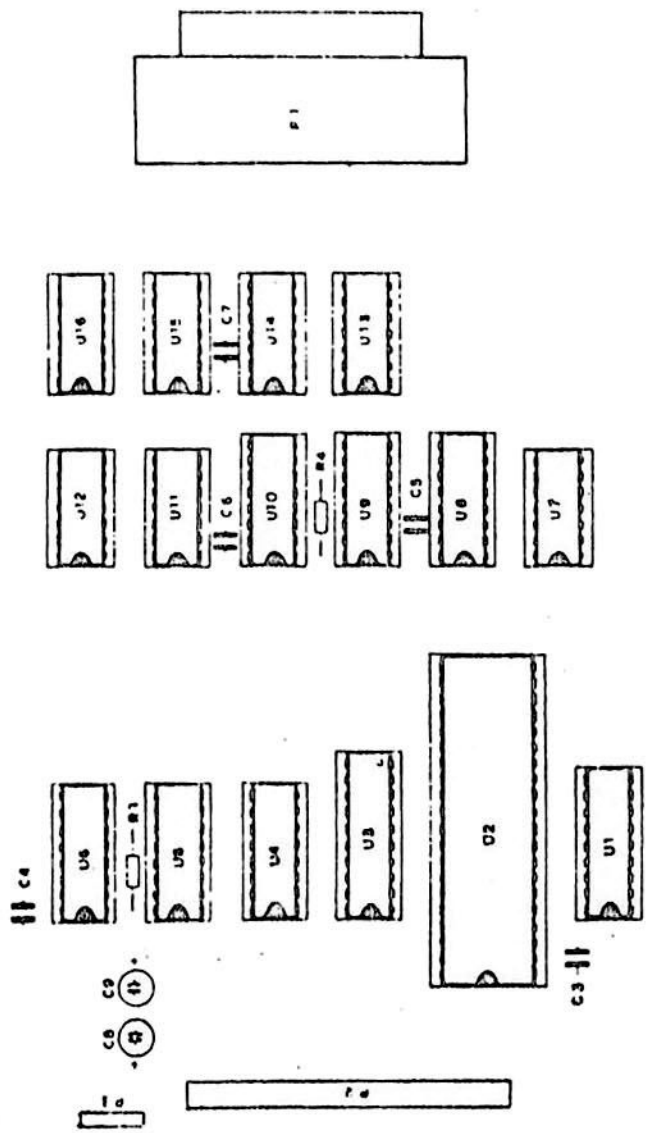

RESET SWITCH
CN - PROLOGICA VIII
CABO
CN
PROLOGICA VIII

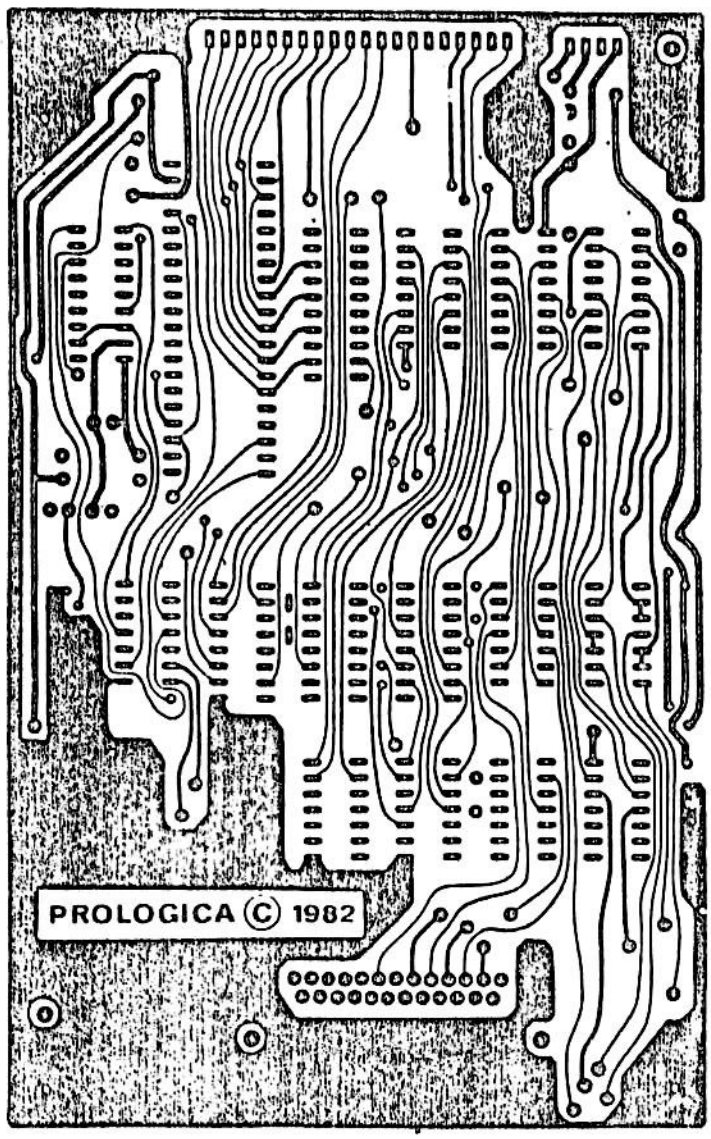


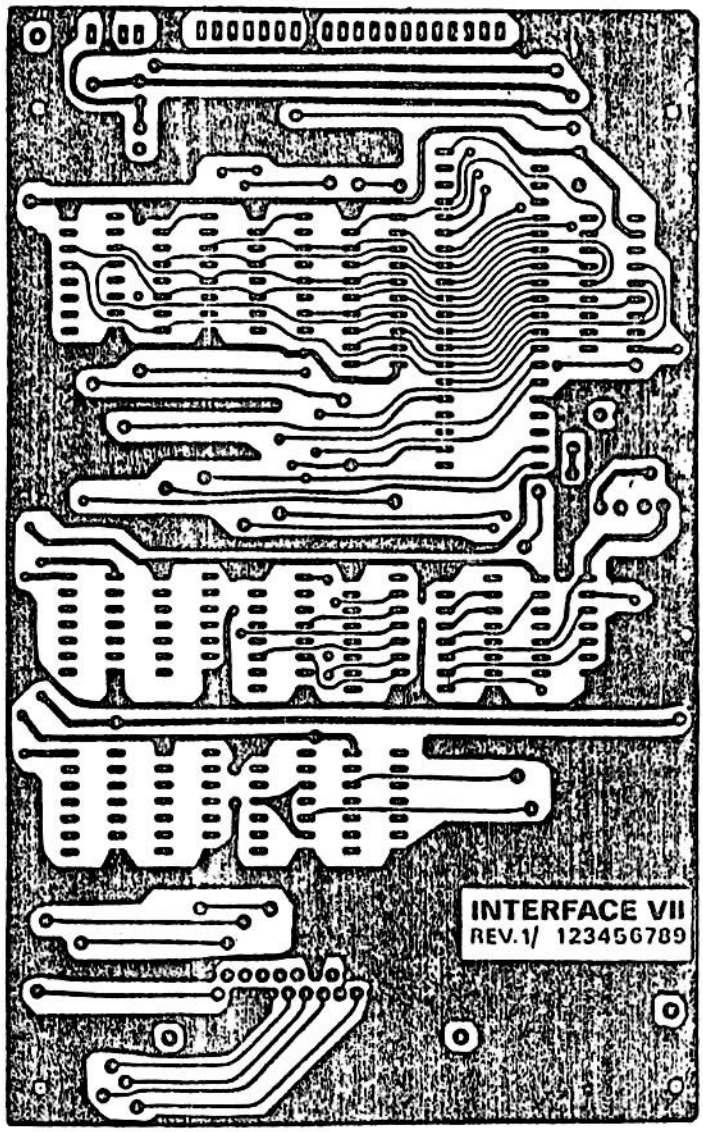

CONTROL III
REV.11
PROLOGICA 82

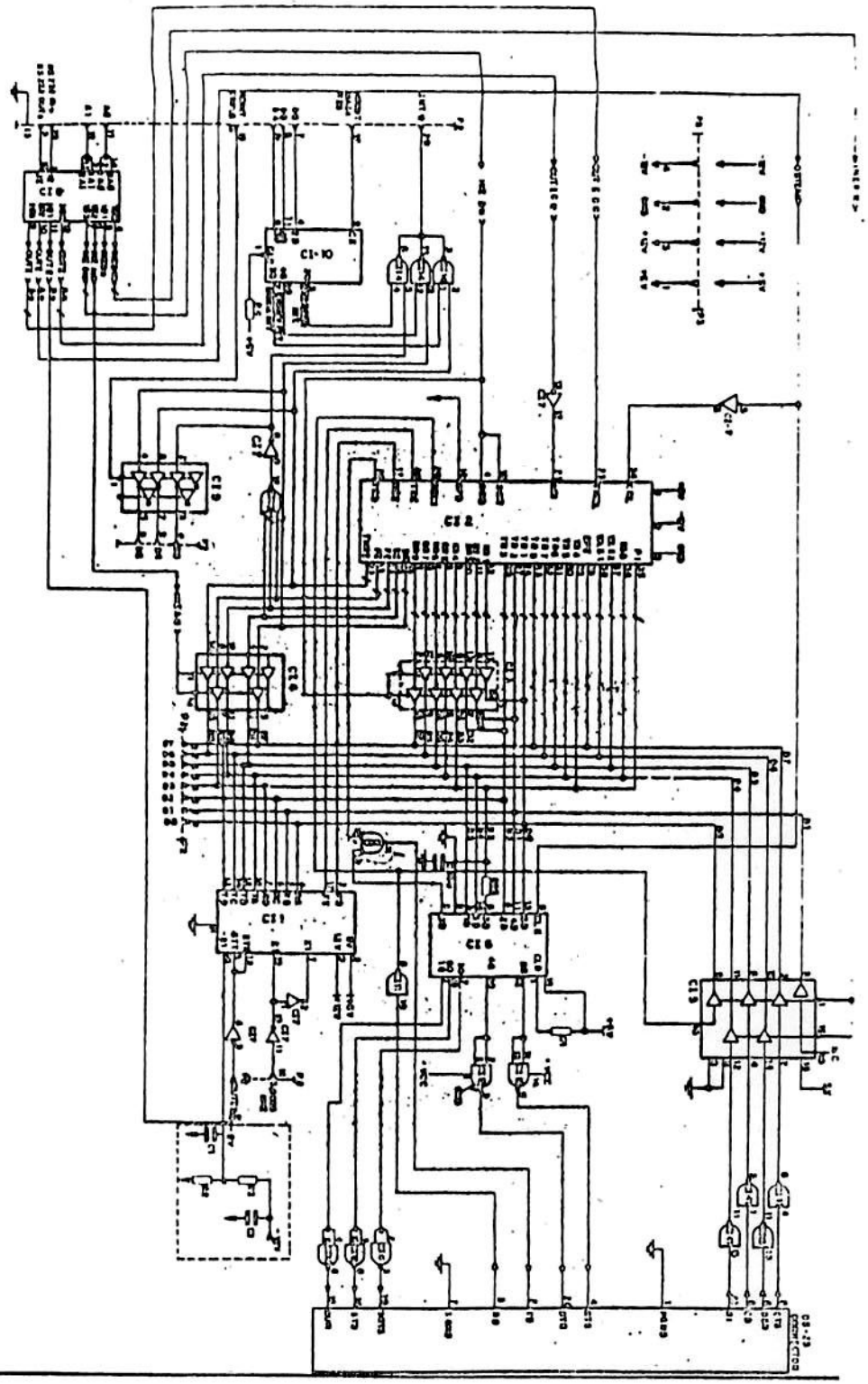


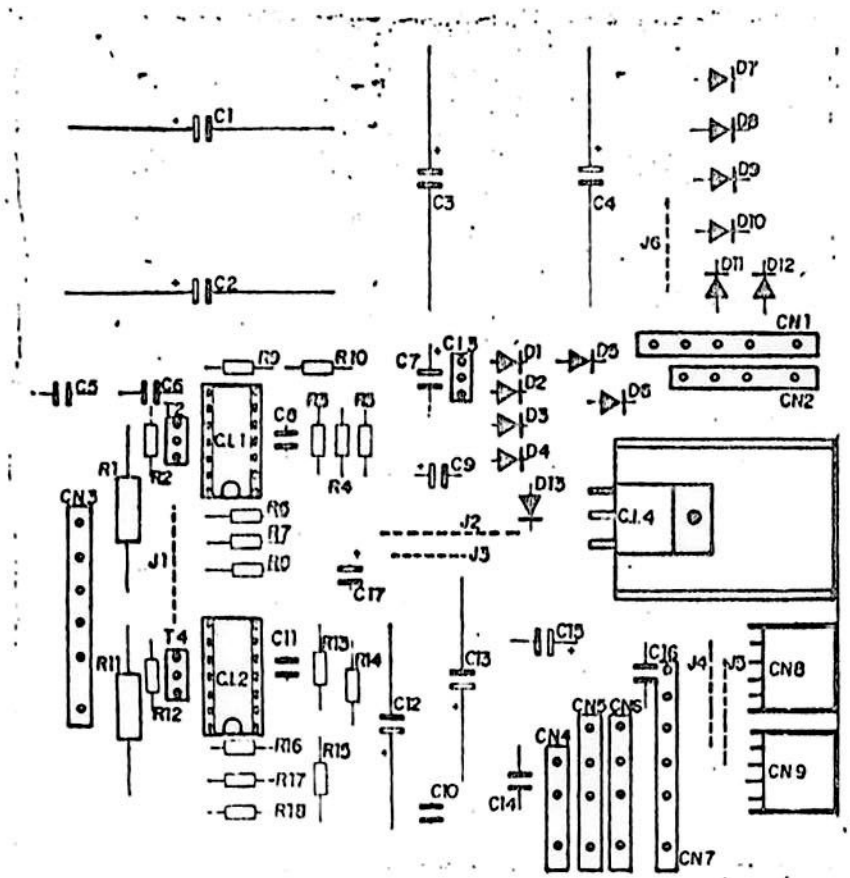
FALTA PÁGINA 142

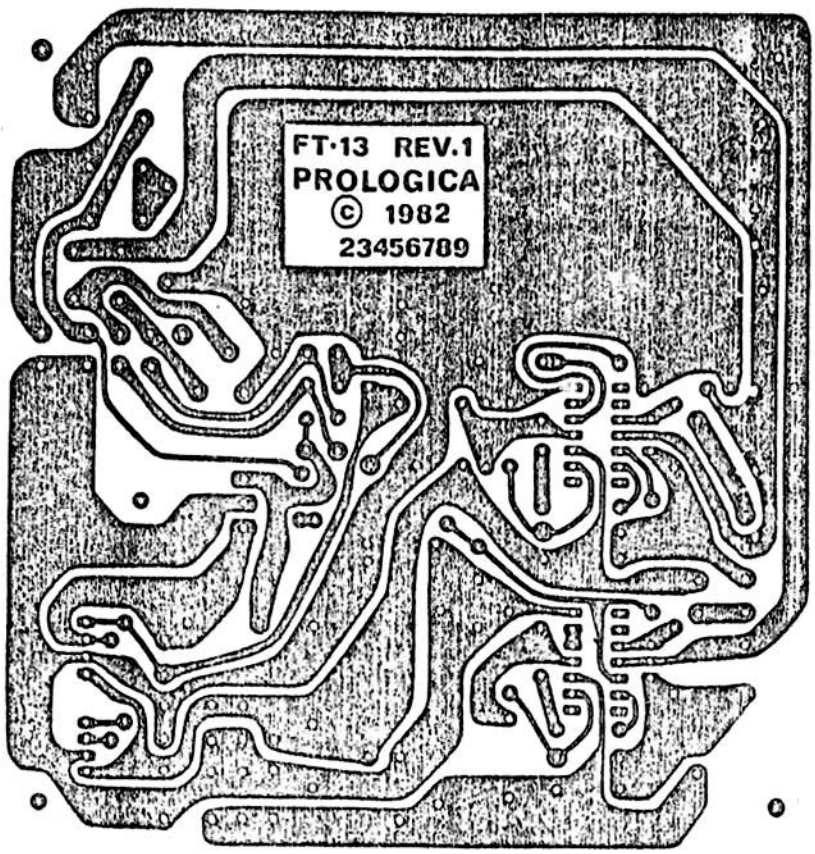

P1
U16
U15
C7
U14
U13
U12
U11
C6
U10
R4
U9
C5
U8
U7
C4
U6
R1
U5
U4
U3
U2
U1
C3
C9
C8
P2
J1

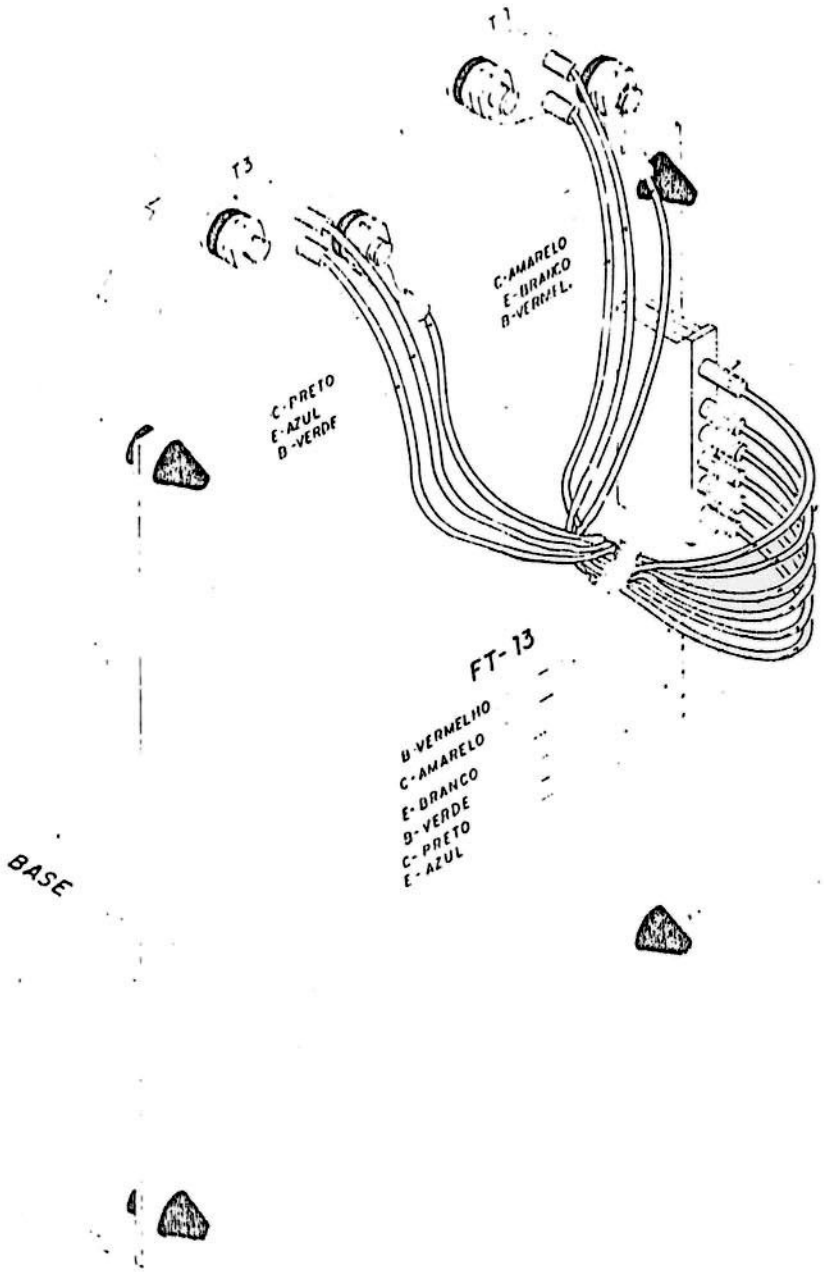

PROLOGICA © 1982

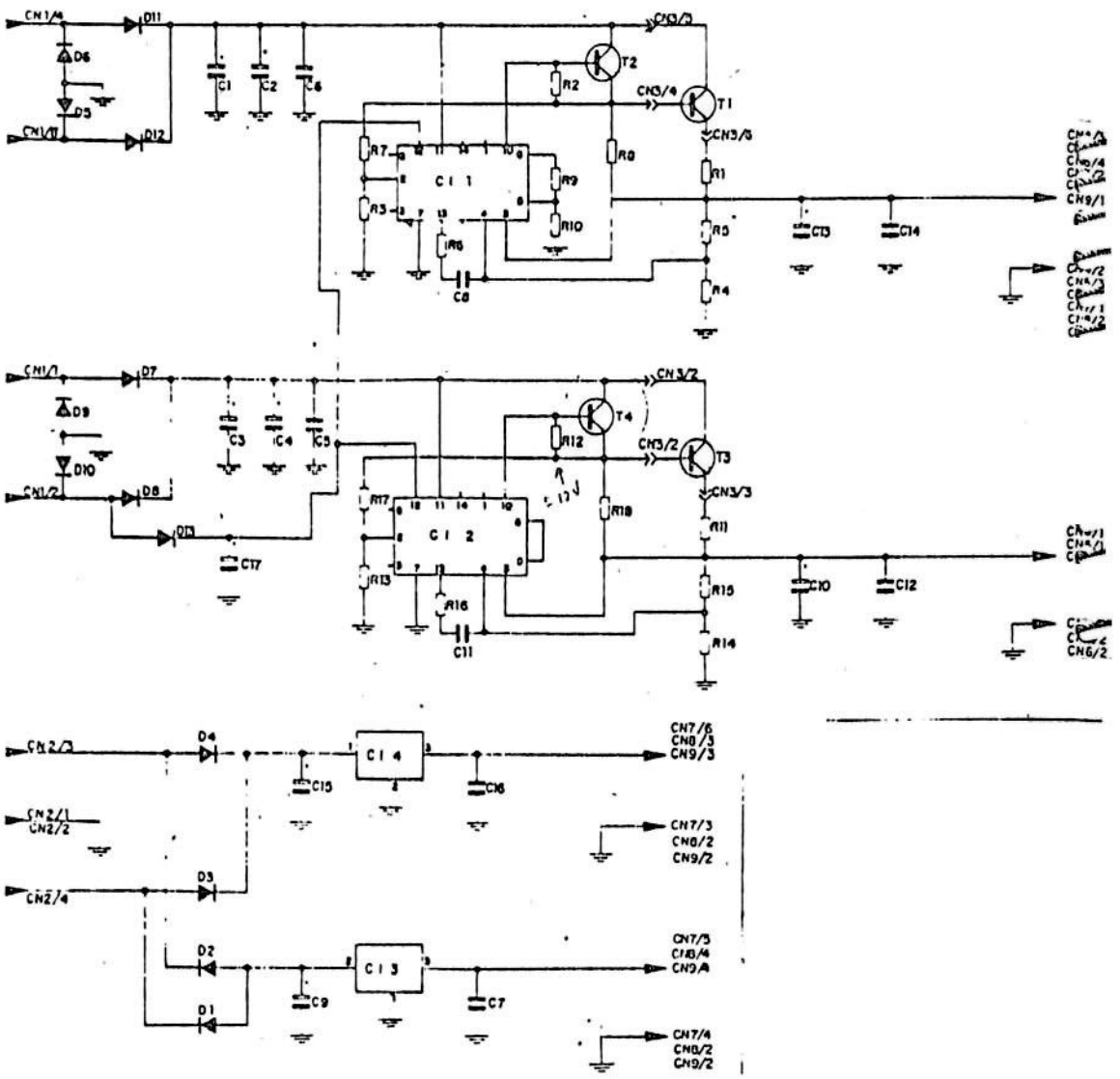

INTERFACE VII
REV.1/ 123456789

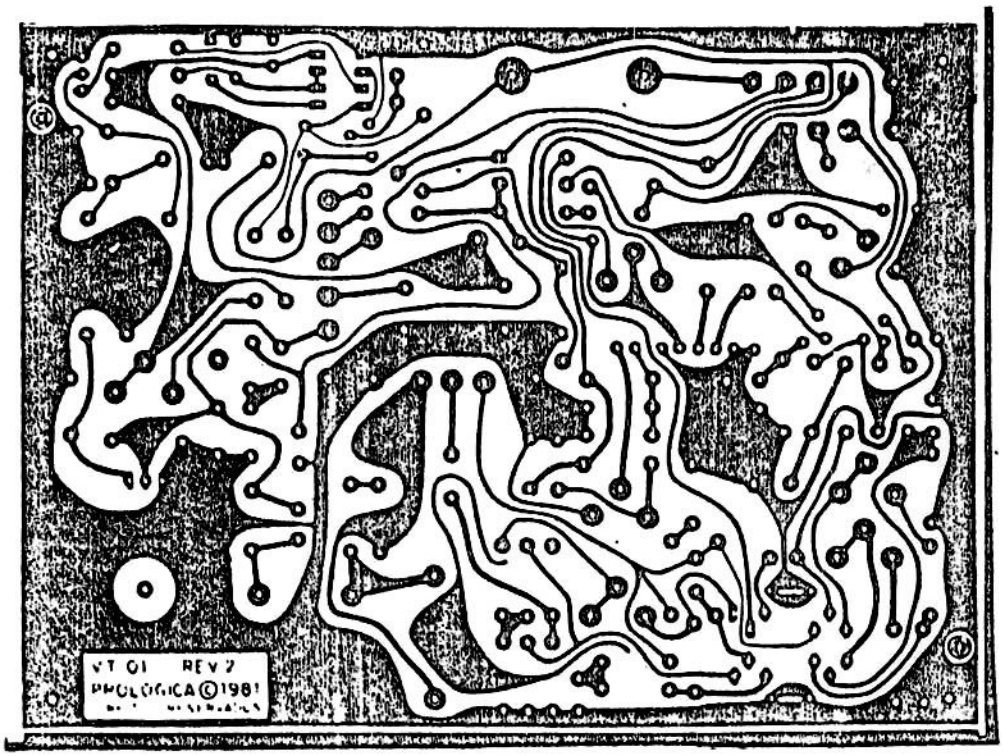



C1
C2
C3
C4
C5
C6
C7
C8
C9
C10
C11
C12
C13
C14
C15
C16
C17
D1
D2
D3
D4
D5
D6
D7
D8
D9
D10
D11
D12
D13
R1
R2
R3
R4
R9
R10
R11
R12
R13
R14
R15
R16
R17
R18
T4
J1
J2
J3
J4
J5
J6
CI.1
CI.2
CI.4
CN1
CN2
CN3
CN4
CN5
CN6
CN7
CN8
CN9

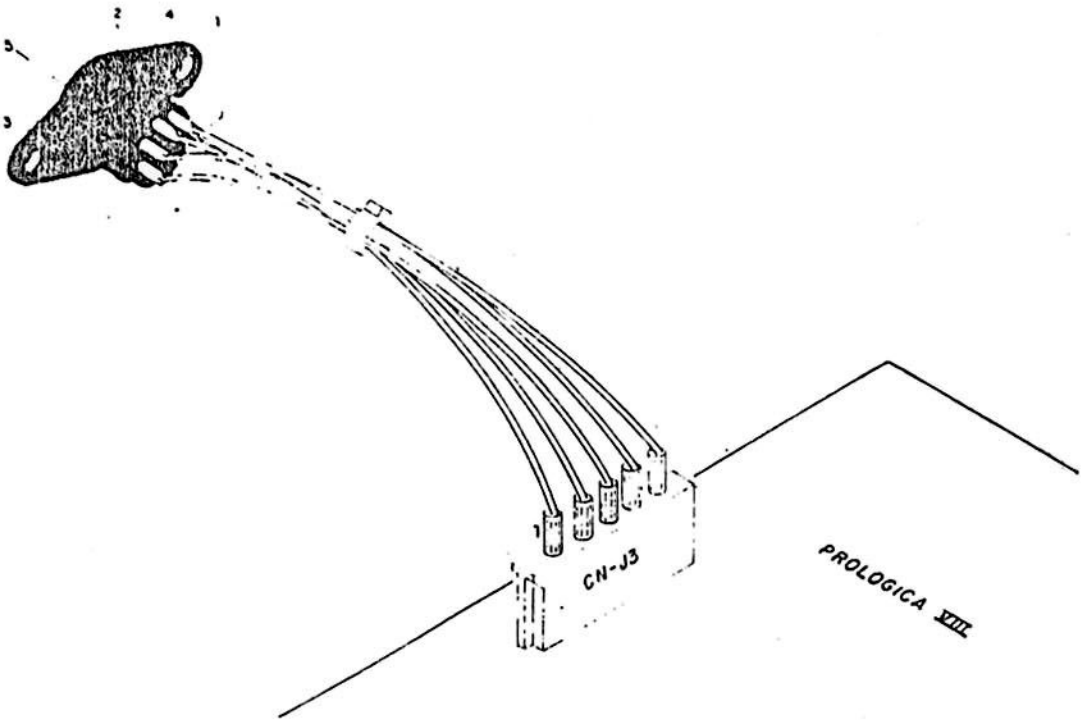

FT·13 REV.1
PROLOGICA
© 1982
23456789

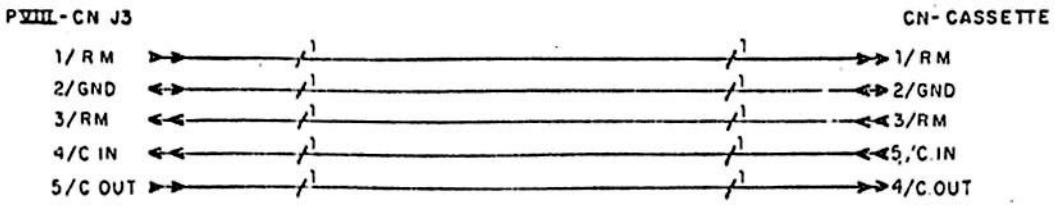

T1
T3
C-AMARELO
E-BRANCO
D-VERMEL.
C-PRETO
E-AZUL
D-VERDE
FT-13
B-VERMELHO
C-AMARELO
E-BRANCO
D-VERDE
C-PRETO
E-AZUL
BASE


CN1/4
D11
D6
D5
CN1/1
D12
C1
C2
C6
CN3/3
T2
R2
CN3/4
T1
CN3/5
R7
R8
C I 1
R9
R3
R10
R6
C8
R1
R5
R4
C13
C14
CN9/1
CN1/0
D7
D9
D10
CN1/2
D8
D13
C17
C3
C4
C5
CN3/2
T4
R12
CN3/2
T3
CN3/3
R17
R18
C I 2
R13
R16
C11
R11
R15
R14
C10
C12
CN6/2
CN2/3
D4
C I 4
C15
C16
CN7/6
CN8/3
CN9/3
CN2/1
CN2/2
CN7/3
CN8/2
CN9/2
CN2/4
D3
D2
D1
C I 3
C9
C7
CN7/5
CN8/4
CN9/4
CN7/4
CN8/2
CN9/2

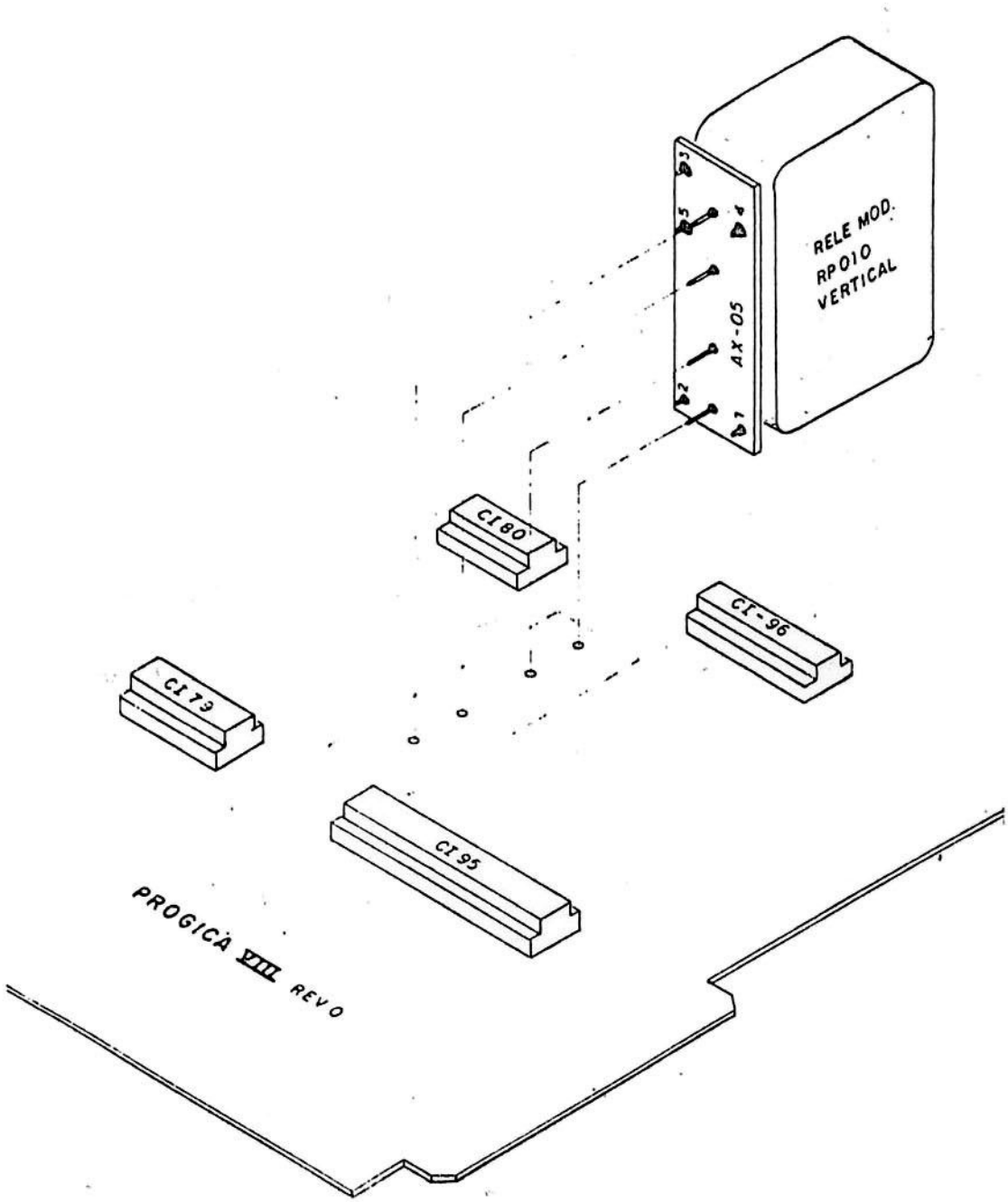

VT 01 REV 2
PROLÓGICA ©1981

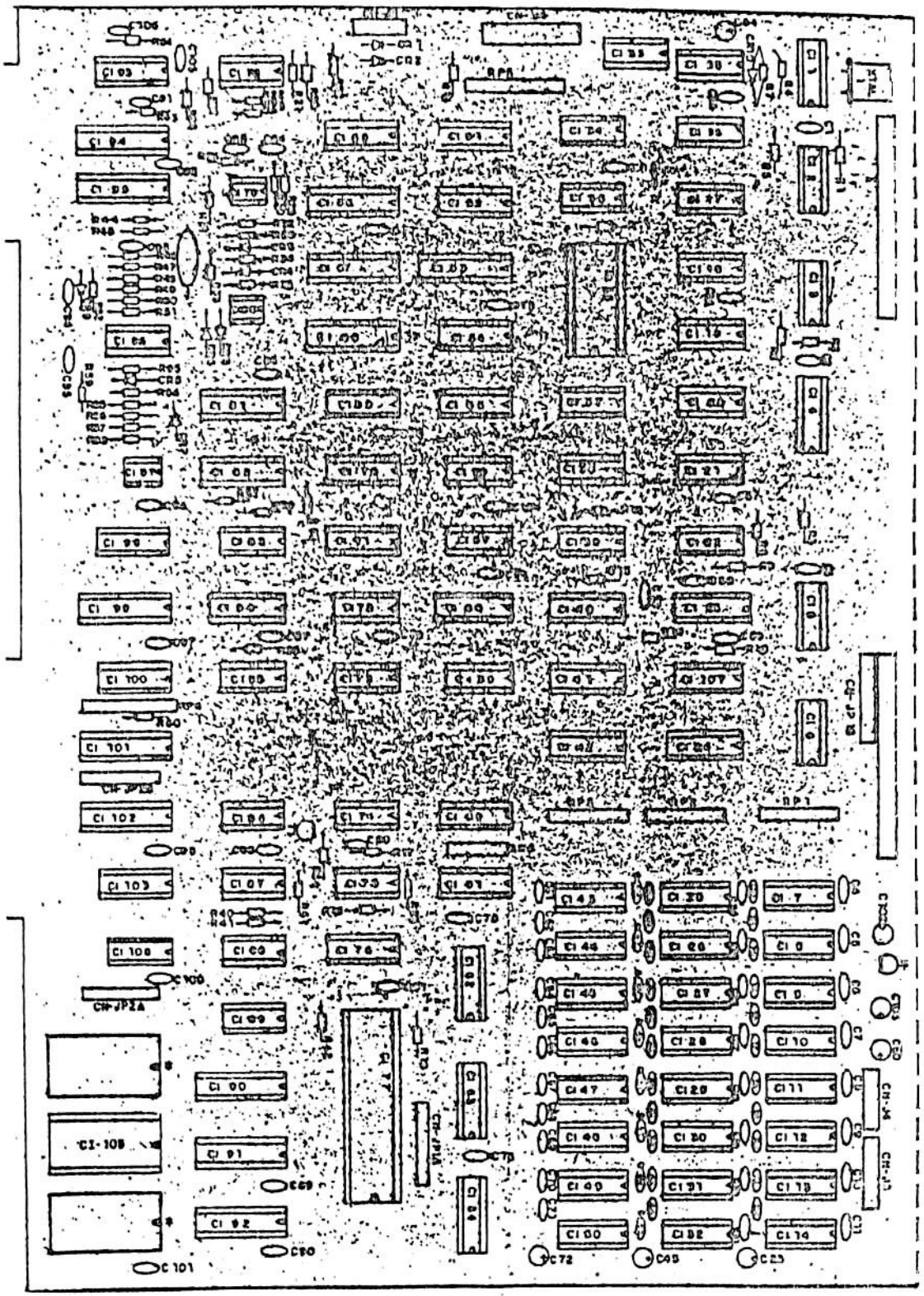
FALTAM PÁGINAS 152 E 153

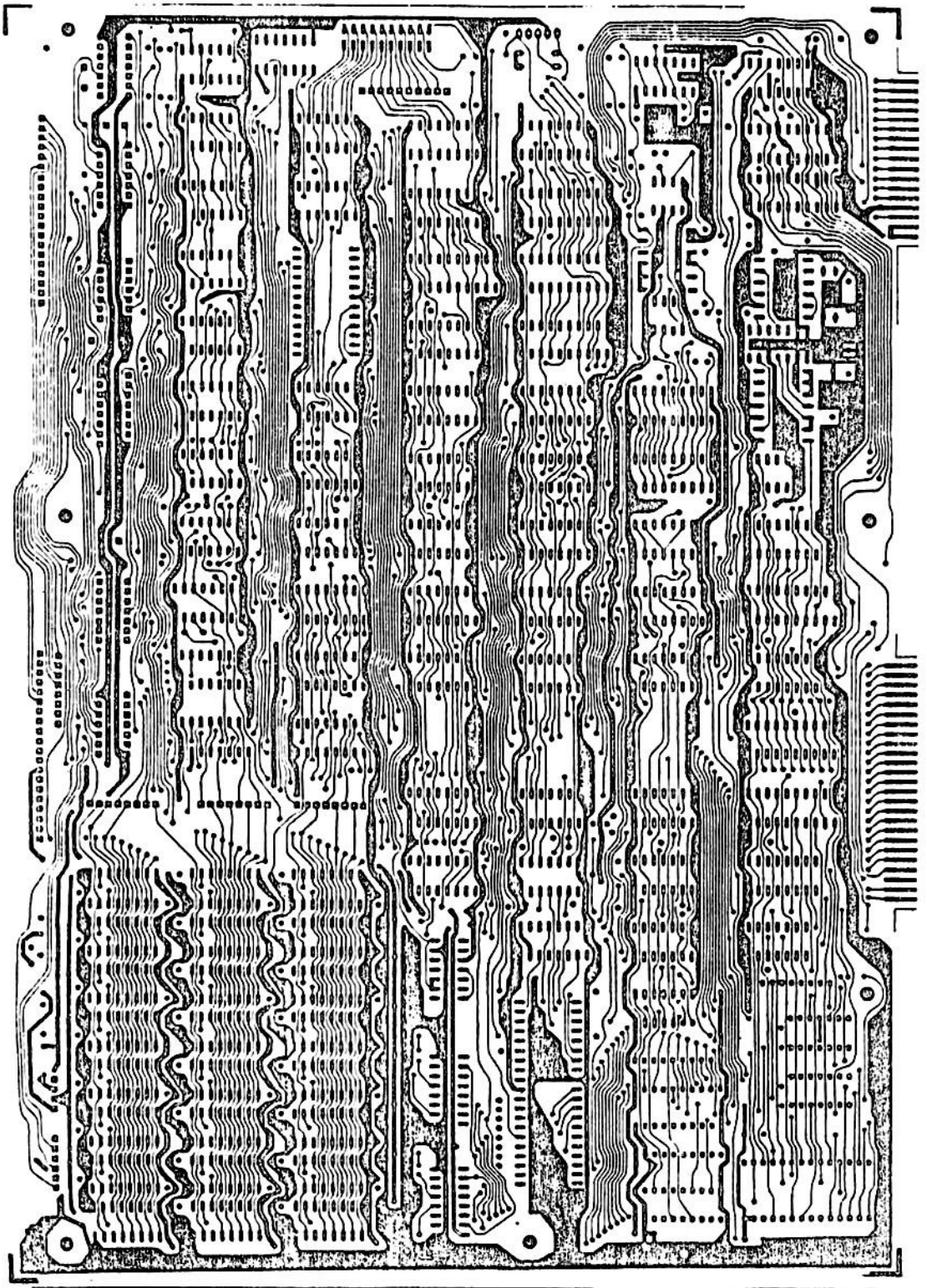


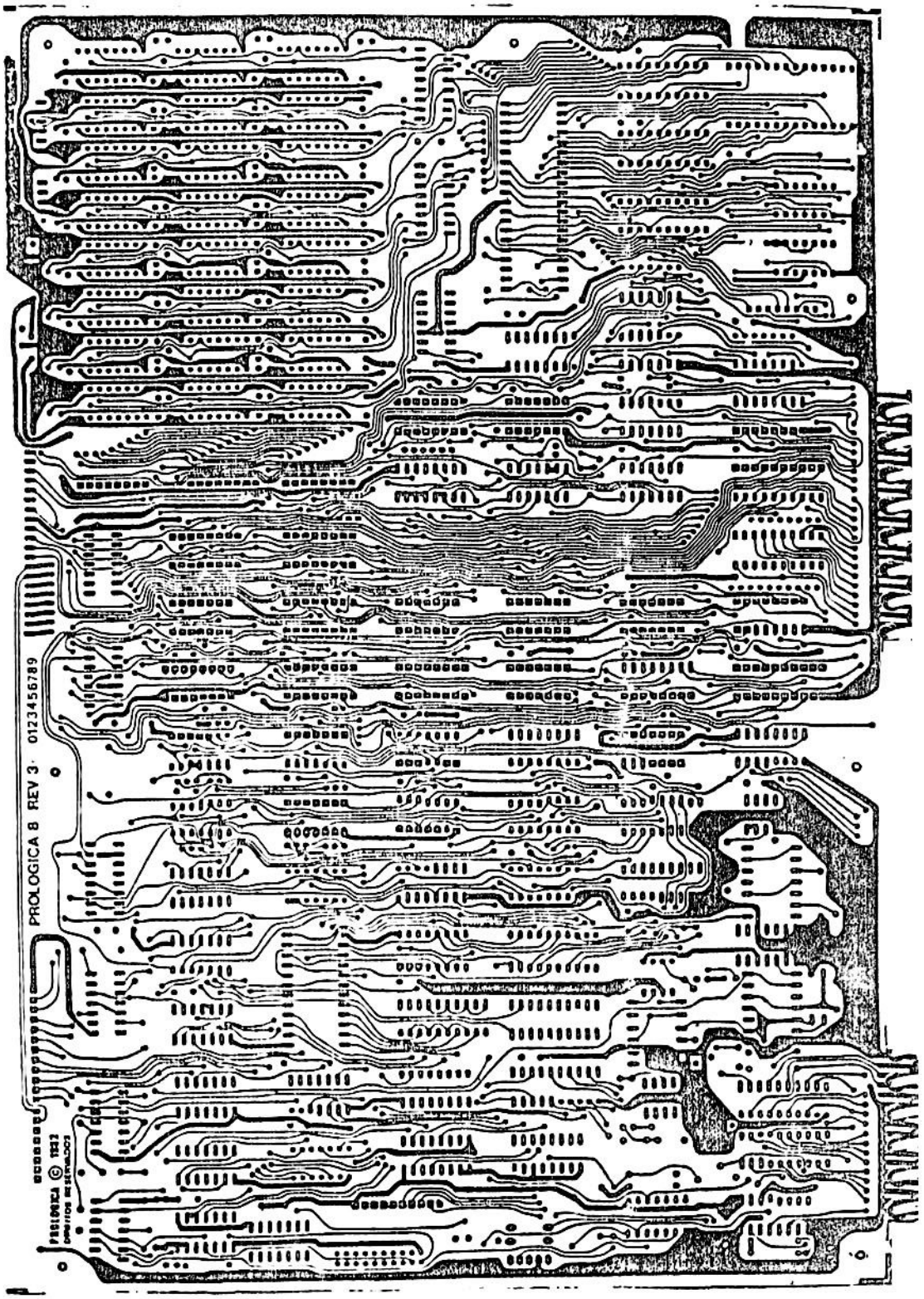


MNM	NOME	CN-J3	CN CASSETTE	BITOLA AWG	COR
RM	REMOTO	1	1	22	MR
GND	TERRA	2	2	"	VM
RM	REMOTO	3	3	"	LR
C IN	CAS IN	4	5	"	LI
C OUT	CAS OUT	5	4	"	CZ


RELE MOD.
RP010
VERTICAL
AX-05
CI80
CI-96
CI73
CI95
PROGICA VIII REV0






PROLOGICA 8 REV 3 0123456789