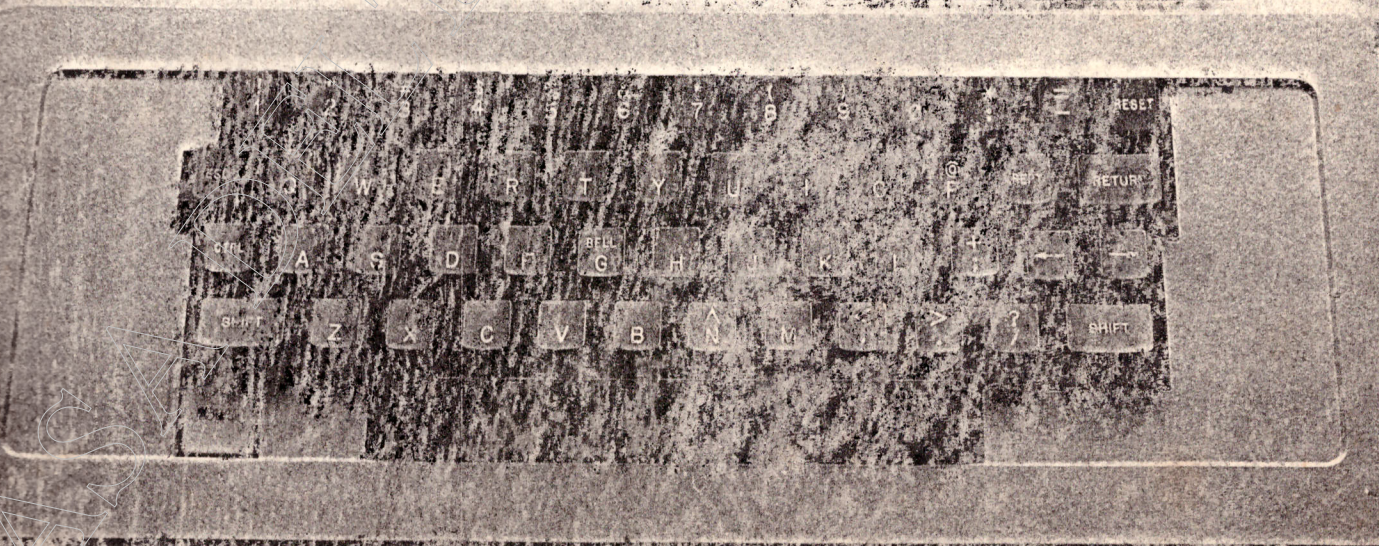
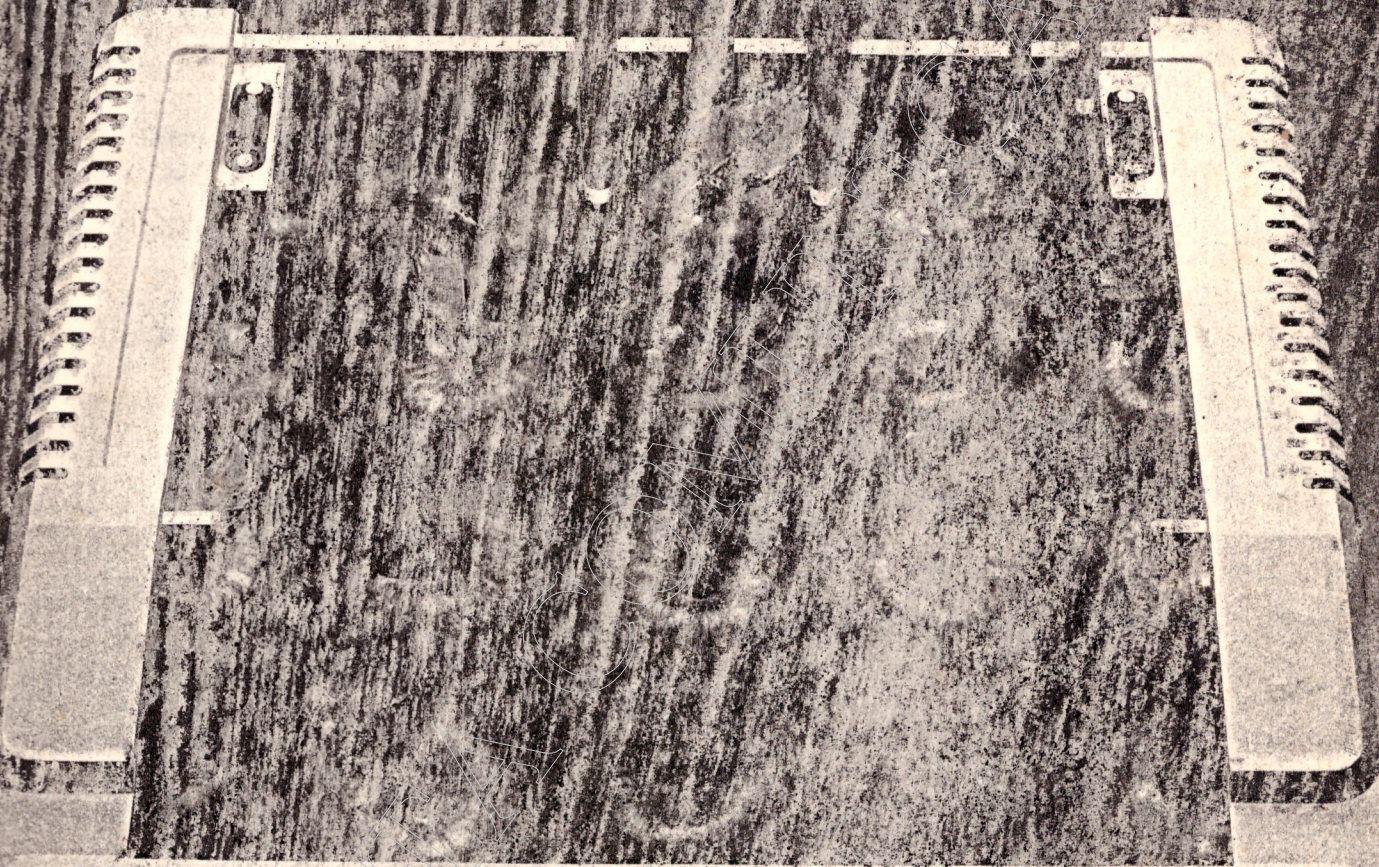


applekit

MANUAL DE MONTAGEM INSTRUÇÕES / TESTES



INTRODUCAO

Este manual foi idealizado, tendo por objetivo principal, guia-lo através da montagem do seu APFLEKIT, e discutir os tópicos mais importantes de seu funcionamento.

Nosso intuito é o de desmistificar esta caixa preta (no nosso caso ela é bege) chamada de microcomputador, e fazer com que voce se sinta à vontade ao lidar com eles.

Este manual fornece todas as ferramentas para que voce experiente interfaces desenvolvidas por voce mesmo; para que voce mexa, remexa, e aprenda (o que é mais importante).

Gostaríamos também de lhes informar que em caasos de dificuldade, dispomos de laboratório e pessoal especializado, garantindo seu APFLEKIT contra os mais intrincados defeitos que possam surgir após a montagem.

Sem mais por hora, desejamos a voce, boa sorte e bom entretenimento.

Atenciosamente

MICROCRAFT MICROCOMPUTADORES LTDA

PARTE I

MONTAGEM

MONTAGEM

Este manual de montagem está dividido em 3 partes:

- I -Montagem de CPU.
- II -Montagem do teclado.
- III -Colocação dos módulos no gabinete.

Antes de iniciarmos uma palavra de cautela:

Não manuseie as peças indiscriminadamente antes do momento apropriado; especialmente os circuitos integrados. Você poderá inadvertidamente destruí-los sem saber. Você deverá se instalar em uma mesa ou bancada com uma tomada ao alcance, e iluminação apropriada.

Você também precisará das seguintes ferramentas:

- 1 - Alicates de bico e pinça.
- 2 - Alicates de corte
- 3 - Chave de fenda
- 4 - Ferro de solda de 25 W (com ponta fina)
- 5 - Aprox. 250g. de solda 6x4
- 6 - Um multímetro digital ou analógico
- 7 - MUITA PACIENCIA.

A sua organização também deve ser levada em conta, pois devido ao grande número e variedades de componentes, será fácil se perder e/ou perder os componentes.

Devido a alta complexidade do circuito, esta montagem não se destina a principiantes. Se você o for, tenha a seu lado uma pessoa mais experiente.

Atenção especial deve ser tomada nas soldagens. Todos os fusos da placa são metalizados, portanto, seja preciso nas soldagens, e não mantenha o ferro mais que o tempo necessário a fusão da solda, pois a mesma pode escorrer por capilaridade ao outro lado, causando curto-circuito em baixo dos soquetes.

Observadas estas recomendações, passemos então ao início da montagem.

I - MONTAGEM DA CPU

- 1 - () - Apanhe os cinco pezinhos de borracha e instale-os nos furos de fixação da placa. Um em cada canto e um no meio.
- 2 - () - Coloque os 3 soquetes de 8 pinos nas coordenadas A-13, B-3 K13. Solde-os.
- 3 - () - Coloque o soquete de 20 pinos na coordenada H-10. Solde-o.
- 4 - () - Coloque o soquete de 40 pinos do 6502. Solde-o
- 5 - () - coloque os soquetes de 14 pinos nas coordenadas. A-2, A-11, A-12, A-14. Solde-os.
- 6 - () - Coloque os soquetes de 14 pinos nas coordenadas B-2, B-10, B-11, B-12, B-13, B-14. Solde-os.
- 7 - () - coloque os soquetes de 14 pinos nas coordenadas C-11, C-13, C-14. Solde-os.
- 8 - () - Coloque os soquetes de 14 pinos nas coordenadas D-2, E-2, H-1, J-13. Solde-os.
- 9 - () - Coloque o restante dos soquetes de 16 pinos, uma coluna por vez. Solde-os.
- 10 - () - Coloque o soquete de 24 pinos na coordenada A-5. Solde-o.
- 11 - () - Coloque oss soquetes de 24 pinos do banco de ROM e solde-os
- 12 - () - Coloque os 8 conectores de 50 pinos, referentes aos slots (S0-S7). Solde-os.
- 13 - () - Solde os 6 pinos de alimentação na posição K-1.
- 14 - () - Solde os plugs de vídeo-out, e cassete-in nos lugares respectivos.

Uma rápida referência aos lugares mencionados nesta etapa são encontradas (pintados de preto) na fig. 1.1.

INSTALACAO COMPONENTES DISCRETOS

- 1 - () - Instale os capacitores de 100 n x 25V nas posições marcadas com 104 na placa.
- 2 - () - Instale os 2 resistores de 1k (marrom, preto, vermelho) próximo a A-13 e F-14.
- 3 - () - Instale os 4 capacitores de 22 Kpf nas posições marcadas por 223 na placa.
- 4 - () - Instale as pontes de resistores RA01, RA02, RA03, nos pontos marcados na placa.
- 5 - () - Instale o trim-pot VR de 200 ohms na coordenada J-14.
- 6 - () - Instale os dois resistores de 4,7 K (amarelo, roxo, vermelho) próximo a H-2 e F-13.
- 7 - () - Instale os 4 resistores de 100 ohms (marrom, preto, marrom) próximos de J-13.
- 8 - () - Instale os 5 resistores de 12K (marrom, vermelho, laranja) próximos a K-13.
- 9 - () - Instale o capacitor de 27 p na posição próxima a F-14.
- 10 - () - Instale o capacitor de 47 p na posição próxima a H-14.
- 11 - () - Instale os capacitores trimmer CT1 e CT2 nas posições próximas a A-1 e F-14.
- 12 - () - Instale o resistor de 150 ohm (marrom, verde marrom) próximo a B-1.
- 13 - () - Instale os 2 resistores de 47 ohm (amarelo, roxo, preto) próximos a B-1.
- 14 - () - Instale o resistor de 330 ohm (laranja, laranja, marrom) próximo A a-1.
- 15 - () - Instale o resistor de 2,2 M (Vermelho, vermelho, verde) próximo a A-13.
- 16 - () - Instale o resistor de 3,3 M (laranja, laranja, verde) próximo a B-3.

- 17 - () - Instale o resistor de 12K (marrom, vermelho, laranja) próximo a B-3
- 18 - () - Instale o resistor de 27 ohm (vermelho, roxo, preto) próximo a C-14.
- 19 - () - Instale o resistor 1M (marrom, preto, verde) próximo a K-13.
- 20 - () - Instale o resistor de 100 ohm (marrom, preto, marrom) próximo a K-13.
- 21 - () - Instale o resistor de 27 ohm (Vermelho, roxo, preto) próximo a K-13.
- 22 - () - Instale o resistor de 10 ohm (marrom, preto, preto) próximo a J-13.
- 23 - () - Instale o resistor de 47K (amarelo, roxo, laranja) próximo a J-13.
- 24 - () - Instale o resistor de 2,7K (vermelho, roxo, vermelho) próximo a J-14.
- 25 - () - Instale o resistor de 2,2K (vermelho, vermelho, vermelho) próximo a J-14.
- 26 - () - Instale o resistor de 1,5 K (marrom, verde, vermelho) próximo a J-14.
- 27 - () - Instale o choke de filtro H27 próximo a H-14.
- 28 - () - Instale o diodo 1N4148 com flexa na direção mostrada pela figura.
- 29 - () - Instale os 5 transistores BC 547, tomando cuidado para que o chanfro coincida com o desenho.
- 30 - () - Instale os 2 transistores BF324, tomando cuidado para que o chanfro coincida com o do desenho.
- 31 - () - Instale o cristal oscilador na posição A-1, marcado na placa por X-1AL.
- 32 - () - Instale a barrinha de 3 contatos na posição marcada por SP.
- 33 - () - Instale a barrinha de 6 contatos na posição K-14.

Uma rápida referência aos lugares mencionados nesta etapa serão encontrados (pintados de preto) na fig.1.2.

Antes de prosseguirmos, faça uma checagem, repassando passo a passo, a sequência anterior.

Examine o lado da solda com uma luz direta, procurando por possíveis maus contatos, soldas frias, e curtos. É aconselhável o uso de uma lente de aumento.

Detenha-se nesta análise até ter certeza de que tudo esteja em ordem. Após, com o auxílio de uma escova de dentes, escove as soldas, retirando o excesso de fluxo (resina).

Após este exame minucioso, passemos a etapa mais delicada desta montagem: A colocação dos CI's.

Os CI's vem acondicionados sobre uma placa de isopor, obedecendo a disposição em que se encontram sobre a placa de circuito impresso. Tome-os, um a um, e transporte-os para o seus respectivos lugares.

ATENÇÃO: -Observe atentamente o chanfro, ou corte no invólucro do CI. Ele indica a direção que os mesmos devem ser inseridos. Guie-se pela figura abaixo.

Ao inserir o CI, por mais que tomemos cuidado, algumas perninhas teimam em entortar. Após cada inserção, observe cuidadosamente, procurando por pernas dobradas, ou fora de lugar.

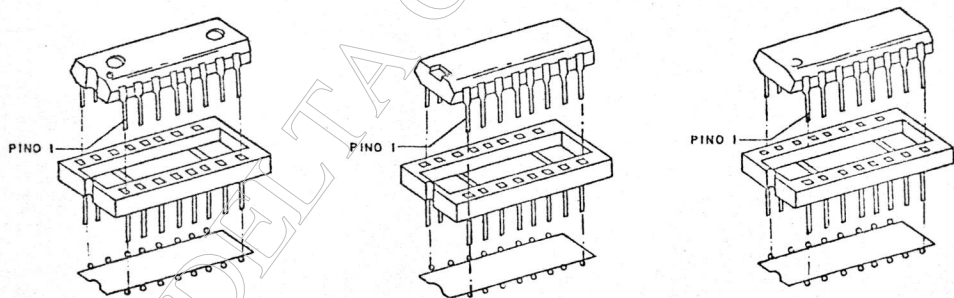


Fig. 1.3
1-1-5

COLOCACAO DOS CI'S

Coordenada	-	CI
() () A-2		74LS00
() () A-3		74166
() () A-5		2716 (G.C.)
() () A-8		74LS257
() () A-9		74LS151
() () A-10		74LS194
() () A-11		74LS74
() () A-12		74LS02
() () A-13		NE555
() () A-14		74LS02
() () B-1		74S175
() () B-2		74S86
() () B-3		NE555
() () B-4		74LS194
() () B-5		74LS174
() () B-6		74LS257
() () B-7		74LS257
() () B-8		74LS174
() () B-9		74LS194
() () B-10		74LS74
() () B-11		74LS08
() () B-12		74LS11
() () B-13		74LS02
() () B-14		74LS02

1-1-6

Coodenadas	-	CI
() () C-1		74LS153
() () C-2		74LS195
() () C-3		4116
() () C-4		4116
() () C-5		4116
() () C-6		4116
() () C-7		4116
() () C-8		4116
() () C-9		4116
() () C-10		4116
() () C-11		74LS04
() () C-12		74LS257
() () C-13		74LS51
() () C-14		74LS32
() () D-2		74LS20
() () D-3		4116
() () D-4		4116
() () D-5		4116
() () D-6		4116
() () D-7		4116
() () D-8		4116
() () D-9		4116
() () D-10		4116
() () D-11		74LS161

1-1-7

Coordenadas - CI

() () D-12	74LS161
() () D-13	74LS161
() () D-14	74LS161
() () E-2	74LS02
() () E-3	4116
() () E-4	4116
() () E-5	4116
() () E-6	4116
() () E-7	4116
() () E-8	4116
() () E-9	4116
() () E-10	4116
() () E-11	74LS153
() () E-12	74LS153
() () E-13	74LS153
() () E-14	74LS283
() () F-2	74LS139
() () F-12	74LS138
() () F-13	74LS138
() () F-14	74LS259
() () BANCO ROM	2716 (FB)
() () BANCO ROM	2716 (FO)
() () BANCO ROM	2716 (EB)
() () BANCO ROM	2716 (EO)
() () BANCO ROM	2716 (DB)
() () BANCO ROM	2716 (DO)

1-1-8

Coordenadas	-	CI
() () H-1		74LS08
() () H-2		74LS138
() () H-3		74LS367
() () H-4		74LS367
() () H-5		74LS367
() () H-10		74LS245
() () H-11		NE556
() () H-12		74LS138
() () H-13		NE556
() () H-14		74LS251
() () 6502		6502 C.P.U.
() () J-1		74LS257
() () J-13		74LS74
() () K-13		741

Após completar a colocação, cheque tudo novamente, certificando a correta colocação dos CI's.

II - MONTAGEM DO TECLADO

O teclado é composto dos seguintes componentes:

- 52 - teclas
- 2 - CI's 7493
- 1 - CI 74151
- 1 - CI 7402
- 4 - CI's 7400
- 1 - CI 7486
- 2 - CI's 74145
- 2 - CI's 74175
- 1 - CI 555
- 1 - CI 74123
- 8 - Soquetes de 14 pinos
- 1 - Soquete de 8 pinos
- 7 - Soquetes de 16 pinos
- 5 - Diodos IN4148
- 2 - Pontes de resistores de 4K7
- 16 - Resistores de 4K7 (amarelo, roxo, vermelho)
- 1 - Resistor de 270K ohm (vermelho, roxo, amarelo)
- 1 - Resistor de 1M ohm (amarelo, preto, verde)
- 1 - Resistor de 47K ohm (amarelo, roxo, laranja)
- 1 - Resistor de 270 ohm (vermelho, roxo, marrom)
- 2 - Resistor de 39K ohm (laranja, branco, laranja)
- 1 - Transistor BC 547
- 18 - Capacitores cerâmicos de 100K pf (104)
- 2 - Capacitores cerâmicos de 10K pf (103)
- 1 - Capacitor cerâmico de 33 kpf.

1-2-1

- 1 - Capacitor eletrolitico de 1m x 100V.
- 1 - Capacitor eletrolítico de 22m x 16V.
- 1 - Capacitor eletrolítico de 22m x 16V
- 1 - Lampada encapsulada de 6,3V.
- 1 - Flat-cable de 16 veias .
- 1 - Placa APFLEKIT 65100
- 1 - Jogo de 52 capas de teclas
- 2 - Barras de aluminio
- 10 - Parafusos de rosca soberba
- 4 - Parafusos M3x40
- 4 - Espaçadores.
- 4 - Arruelas

- (-) - Começe a montagem soldando os resistores de 4,7K (amarelo, roxo, vermelho) nos locais indicados na placa.
- (-) - Solde agora as duas portas de resistores de 4K7. Observe o pino menor. Este é o comum, e deve coincidir com o indicado na placa.

-Solde os resistores restantes:

- (-) - (1) 270K ohm (vermelho, roxo, amarelo)
 - (-) - (1) 1 ohm (marrom, preto, verde)
 - (-) - (1) 47K ohm (amarelo, roxo, laranja)
 - (-) - (1) 270 ohm (vermelho, roxo, mar. om)
 - (-) - (2) 39K ohm (laranja, branco, laranja)
- nas posições indicadas na placa.

- (-) - Solde os capacitores de 100K pf (104) nas posições marcadas com 104.
- (-) - Solde os capacitores de 10K pf (10n) nas posições marcadas com 103.

- (-) Solde o capacitor cerâmico de 33nf nas posições indicadas.
- (-) Solde o capacitor eletrolítico de 1mfx100V na posição indicada, observando a polaridade.
- (-) Solde o capacitor de 22mfx16V na posição indicada, observando a polaridade.
- (-) Solde os soquetes de 14 pinos nas posições marcadas por 7493, 7400, 7402, 7486, observando a marcação do guia (chanfro) (ver figura 2.1).
- (-) Solde os soquetes de 16 pinos nas posições marcadas por 74151, 74145, 74175, 74123, TECLADO, observando as recomendações anteriores.
- (-) Solde os soquetes de 8 pinos seguindo as mesmas observações anteriores.
- (-) Solde os diodos 1N4148 nas posições indicadas. (Oriente-se pela figura 2.1.)
- (-) Solde o transistor BC547 na posição indicada. (Oriente-se pela figura 2.1).
- (-) Solde os contatos das teclas nas posições.
- (-) Encaixe as tampas das teclas.
Para a colocação do Space-Bar, veja figura explodida 2.2
- (-) Solde a lâmpada na posição POWER
- (-) Instale os CI's, observando atentamente o posicionamento do chanfro. Guie-se pela figura. 2.3
- (-) Faça a montagem mecânica das barras de alumínio seguindo a figura 2.2.
- (-) Instale o Flat-cable na posição marcada por teclado, observando a indicação do pino 1.

Antes de aplicar força ao teclado, verifique atentamente os CI's, certificando-se que não haja irregularidades.

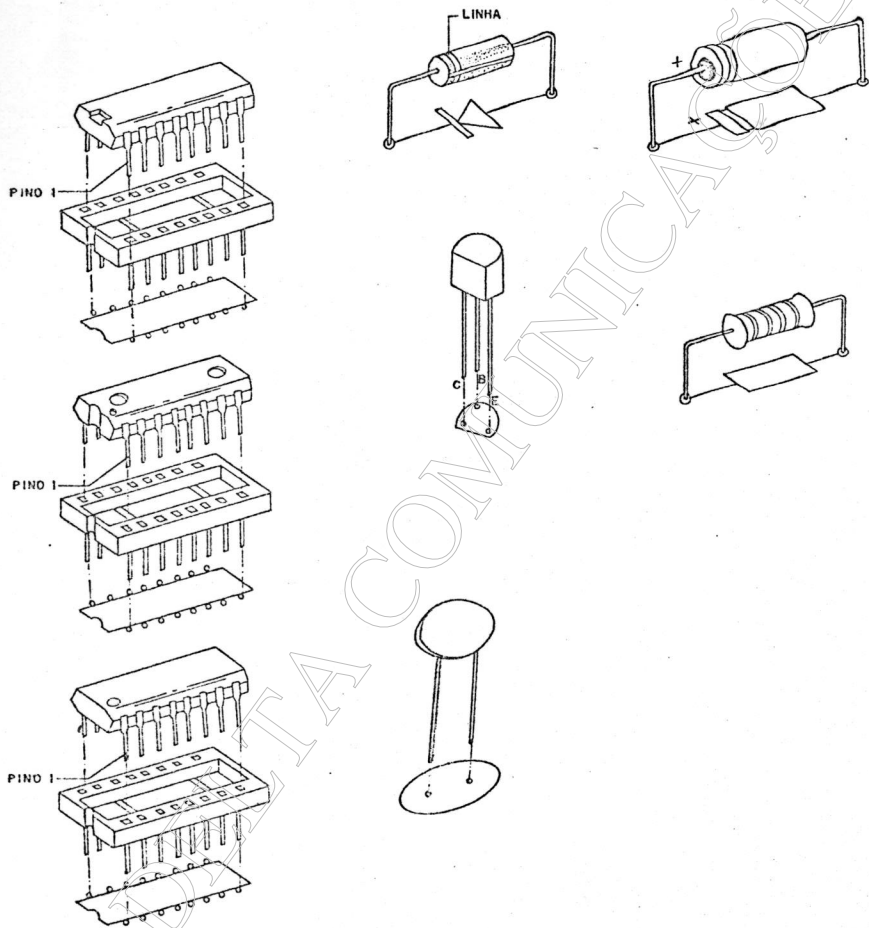


Fig. 2-1

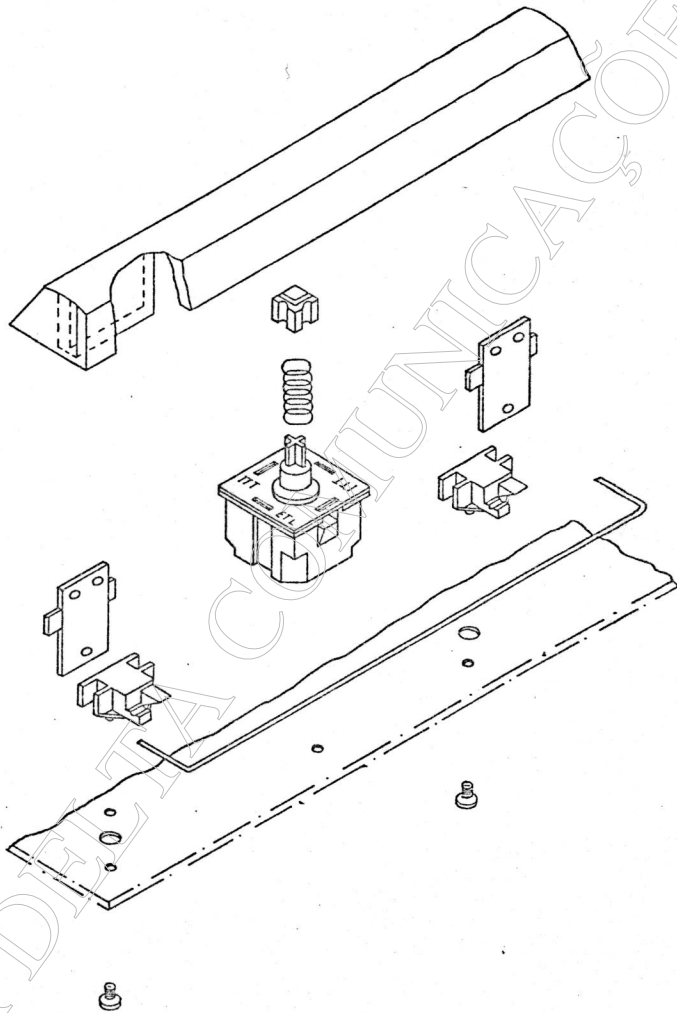


Fig. 2-2

III - MONTAGEM MECANICA

Quaisquer referências sobre esta etapa, são encontradas nos desenhos explodidos que vêm a seguir.

PARTE II

TEORIA E FUNCIONAMENTO

CAPITULO I

INTRODUCAO

Este manual foi elaborado como um auxilio a voce que acabou de adquirir o APPEKIT da MICROCONTROL.

Voce encontrará valiosas informações a respeito de APPEKIT. O técnico encontrará valiosa e completa documentação para reparos, e o montador, uma maneira de entender o que se passa com o seu prototipo, e não ser mais um "curioso" em "HARDWARE".

A organização deste manual é feita em capítulos, cada um cuidando de determinada parte de um todo, o seu APPEKIT.

No CAPITULO II, e abordado o diagrama de blocos do APPEKIT. Nos introduziremos termos como ADDRESS DEMULTIFLEXER, VIDEO ADDRESS GENERATOR, dando funções aos vários blocos do diagrama.

Os CAPITULOS III até IX compreendem o corpo deste manual. Cada um destes capítulos trata em detalhe as diversas partes do circuito e etapas de montagem.

No CAPITULO III esta presente o oscilador principal, gerador de "clock", e a porção horizontal do "video address generator". O "clock" é sempre uma parte importante em todo circuito digital, especialmente no APPEKIT, onde há um estreito relacionamento entre a parte de vídeo e o restante do circuito.

O CAPITULO IV completa o "video address generator", apresentando a parte vertical. Este capítulo também cobre as seguintes partes: "video sync", "blanking", e o "color burst".

O RAM (random access memory) do APPEKIT é compartilhada pelo microprocessador e o sistema de vídeo. O capítulo V trata da maneira como este processo se desenrola. Este capítulo também contém uma pequena introdução as RAM's dinâmicas 4116, que compoem a memória principal do computador.

O CAPITULO VI começa com uma introdução ao processador 6502, descrevendo todos tipos de ciclos empregados na maquina; incluindo "read cycles", "RAM cycles", "ROM cycles", "I/O cycles", "keybord cycles", interrupções, e DMA (direct memory access).

O CAPITULO VII decreve os on-board I/O, tais como: cassette, I/O de jogos, e auto-falante. Também é tratado aqui, uma descrição completa do teclado e do codificador ASCII.

O gerador de vídeo é descrito no capítulo VIII aqui você vai aprender como texto, baixa resolução e alta resolução são gerados pelo hardware.

- O que voce deve saber .

Como leitor deste manual, voce deve estar familiarizado com componentes TTL, tais como portas, flip-flops, multiplexadores, etc.

Enquanto lê, deve ter ao alcance da mão um manual TTL. Não é necessário conhecimento profundo do CPU 6502 e das RAM s 4116, pois tudo que for preciso, será fornecido no escopo deste manual.

NOMENCLATURA DOS SINAIS E CI'S

Veja fig. 1.1.

Os CI's são designados por uma matrix X-Y. As ordenadas consistem de letras A até K ao longo do lado esquerdo da placa, e as abscissas, números de 1 a 14 ao longo da borda superior.

Com relação aos CI's, secções individuais são relacionadas pelo número do pino, por exemplo: a referência B10-9 significa o pino 9 do CI localizado nas coordenadas B10.

Os sinais tem nomenclaturas análoga. Por exemplo: sinal C11-4 e o sinal obtido no pino 4 do CI nas coordenadas C11. Quando o nome tiver uma barra sobre ele, quer dizer que este sinal é ativo quando esta a nível baixo.

FORMAS DE ONDA

Nos dizemos que um sinal é baixo quando seu valor esta próximo a 0 volt. Vice e versa, quando é alto, indica que seu valor se aproxima de 5 volt. Para uma regra prática, diremos que um determinado sinal esta baixo se seu valor estiver abaixo de 0,5 volt inclusive; e para um nível alto seu valor deve ser superior a 2,7 volt inclusive. Valores intermediarios são considerados níveis duvidosos, e portanto indesejáveis.

Formas de onda típicas podem ser vistas na fig. 1-2. O restante da figura mostra os símbolos usados para níveis de transição.

GLOSSARIO DE TERMOS

ac-	Corrente alternada.
access time	- Tempo gasto para acessar um local na memória.
active Hi	- Um nível alto representa 1.
active Low	- Um nível baixo representa 0
AN	- Annunciator.
architecture	- Diagrama de blocos.
ASCII	- American Code for Information Interchange. código de 7 ou 8 bits usado por computadores e periféricos.
blanking	- Parte do sinal de vídeo que apaga o feixe de eletrons no tubo durante um retrace.
buffer	- Qualquer componente utilizado para amplificar um sinal digital.

ASA DELTA COMUNICAÇÕES

2-1-3

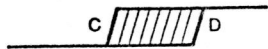


TRES ESTADOS LÓGICOS

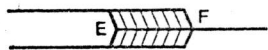
ESTADO INDETERMINADO (SUJEIRA)



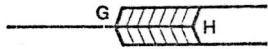
SINAL VAI A LOW ENTRE A e B



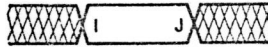
SINAL VAI A HIGH ENTRE C e D



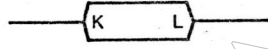
SINAL VAI DE ESTÁVEL A ALTA IMPEDÂNCIA ENTRE E e F



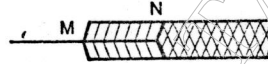
SINAL VAI DA ALTA IMPEDÂNCIA A ESTÁVEL ENTRE G e H



SINAL É ESTÁVEL ENTRE I e J



SINAL É ESTÁVEL ENTRE K e L, ALTA IMPEDÂNCIA ANTES E APÓS



SINAL VAI DE ALTA IMPEDÂNCIA À INDETERMINADO ENTRE M e N



SINAL VAI DE ALTA IMPEDÂNCIA A HIGH ENTRE O e P



PULSO POSITIVO

Fig. 1-2 Formas de ondas

2-1-4

burst - Veja color-burst.
 bus - Grupo de linhas que interligam diversas parte do circuito.
 byte - Oito bits.
 CAS - Column Address Strobe.
 clock - Trem de pulsos a nível digital usado em contadores e flip-flops.
 CLR - Clear.
 color burst - Nove ciclos de um sinal de 3.545,611 MHz que aparece numa forma de onda de vídeo composto seguindo um pulso de sincronismo horizontal.
 color killer - Circuito da televisão a cores que inibe o circuito de cores quando recebe um sinal B&P.
 complement - Estado oposto em uma lógica de dois estados.
 composite video - Sinal de vídeo contendo sinc e blanking adicionados a informação da imagem.
 CRT - Tubo de raios catódicos. Monitor de vídeo.
 CTRL- Control.
 DMA - Acesso direto a memória. Usado em periféricos que colocam bits diretamente na memória, sem passar pelo CPU

 EPROM - Erasable programable read only memory.
 falling edge -Transição de sinal de alto para baixo.
 ferrite bead -Toróide de ferrite usado em choques.
 fetch- Ler da memória.
 field - Uma completa varredura do feixe de eletrons no tubo.
 firmware - Programa gravado em ROM.
 flag - Um bit ou sinal que armazena um estado binário tais como on-off, ready-not ready,etc.
 frame - Uma figura completa no CRT.
 garbage - Dados que estão em estado indeterminado.
 glitch - Uma transição indesejável de estado.
 high - Sinal que se aproxima de 5 volt.
 HIRES - Alta resolução.
 hold time - Período após um clock onde o dado a ser lido deve permanecer estável.
 hue - cor (azul, vermelho, etc)
 INH - Inhibit. Inibição.
 interlace - Processo onde dois ou mais fileds são interligados para criar um video-fi ame.

 I/O - Entrada/saida.
 IRQ - Requerimento de interrupção
 KBD - Keyboard teclado.
 LORES - Baixa resolução.
 low - Sinal que mede aproximadamente 0 volt.
 luminance - Porção preto e branco de um sinal colorido.
 NMI - Non-maskeable interrupt.
 off - Estado de alta impedância (tri-state).
 op code - Primeiro byte de uma instrução.
 overscan - Perda da informação de vídeo.
 PDL - Paddle.

period - Recíproco da frequência.
pixel - Elemento de imagem.
PROM - Programable read only memory.
RAM - Random access memory.
RAS - Row address strobe.
RDY- Ready.
refresh- Processo de manter os dados em uma memória
dinâmica.
REPT - Repeat.
RES - Reset.
RF - Radio frequência.
RFI - Interferência de rádio frequência.
rising edge - Transição de um sinal de baixo para alto.
R/W - Read/write.
STB - Strobe.
UART- Universal assynchronous receiver/transmitter

2-1-6

CAPITULO II

COMENTARIOS AO DIAGRAMA DE BLOCOS DO CIRCUITO

CPU -

O coração do APFLEKIT é o micro-processador 6502 de 8 BITS.

O 6502 pode endereçar diretamente 64 Kbytes de memória. Todas operações de I/O são mapeadas em memória, ou seja, periféricos e memória compartilham dos mesmos 64 K de espaço.

Existem no APFLEKIT três "BUSES" principais: 16 bits de endereços, 8 bits de dados, e um BUS de controle. Estes BUSES percorrem o interior do computador, interligando a maioria dos componentes e os oito conectores de I/O.

CLOCK -

O sistema de clock e a chave de sincronização entre dados e transferências entre os vários periféricos. O clock é também utilizado para propósitos do sistema de vídeo. Sua origem provem do oscilador à cristal D. Sua saída de aproximadamente 14 MHz e usada pelo gerador de clock T para produzir os clocks do sistema. Um deles (aproximadamente 1 MHz) é fornecido ao 6502. Memória e periféricos usam este mesmo clock para fins de sincronismo.

Uma operação de leitura ou gravação toma lugar em um período de 1 MHz.

O 6502, os buses, e alguns tópicos tais como interrupts e DMA serão esplanados com maior detalhe no capítulo VI. O gerador de clock será tratado no próximo capítulo.

MEMORIA -

ROM - São utilizados 6 unidades de 2 Kbytes cada, totalizando 12 Kbytes. O decodificador de endereços (F) decodifica os bits mais significativos do bus de endereços e fornece as seleções individuais para cada um dos ROMs. Os bits menos significativos são conectados diretamente aos ROMs. No ciclo de leitura dos ROMs, suas saídas de dados são colocadas diretamente no data bus. Fig 2.2 mostra os endereços e os dados em cada ciclo de leitura dos ROMs. Estes ciclos serão discutidos no capítulo VI.

RAM - Até 48 Kbytes de RAM (G) podem ser instaladas na placa principal. Atravez do codificador de endereços (H) são selecionados os bancos a serem acessados. As entradas (DI) das RAMs são conectadas diretamente ao bus de dados. Esta é a fonte de dados para as RAMs durante o ciclo de gravação (write cycle).

INPUT/OUTPUT -

"On board I/O"- Um computador deve ter uma grande memória e um processador rápido, mas não terá uso se não puder se comunicar com os humanos. Este é o propósito do I/O.

No APPLEKIT, a maioria dos I/Os são localizados na placa principal. Estes dispositivos incluem alto-falante, cassette, jogos e teclado (K). Entretanto, o uso dos on board I/O não é única.

Os "on board I/O" serão abordados com maior detalhe no capítulo VII.

"Periférico I/O"- Para satisfazer as necessidades de flexibilidade e expansões, o APPLEKIT é provido com oito conectores de 50 pinos que suprem todos os sinais para expansão. (Fig. 2.1 L). Periférico I/O será melhor detalhado no capítulo VI.

Video- A saída de vídeo do APPLEKIT contém informações de texto e gráficos para o monitor ou TV. Os sinais de vídeo requerem componentes de alta frequência, que são muito superiores as quais o 6502 pode gerar.

Para contornar esta inconveniência, hardware apropriado foi criado para este fim. Obviamente, este hardware está sob o controle do CPU.

As figuras a serem mostradas na tela são geradas pelo 6502 e armazenadas em RAM. O circuito de vídeo lê estas informações da RAM, as converte em formato de sinal vídeo, e as mandam para a saída de vídeo.

Durante o primeiro meio ciclo do 6502, o circuito de vídeo lê da memória. Durante o meio ciclo seguinte, o 6502 lê ou grava na RAM. Na seção seguinte, analizaremos os blocos da fig. 2.1, que representa o estágio de vídeo.

VIDEO ADDRESS GENERATOR -

Usando o clock principal do sistema, o gerador de endereços (M) cria o endereço de vídeo de 15 bits. Este endereço é composto de 6 bits horizontais e 9 bits verticais.

Este endereço é continuamente incrementado numa taxa de 60 vezes por segundo.

Durante cada passada por uma sequência completa de varredura, o endereço vertical assume 262 valores diferentes. Para cada valor deste endereço, o horizontal é incrementado de 65. Juntos, horizontal e vertical, podem selecionar qualquer posição na tela, ou seja, cada posição na tela tem a altura de uma linha emitida pelo CRT, e comprimento de 1 microsegundo. A cada "screen location" corresponde um único endereço.

A fig. 2.1 mostra também um elo de realimentação entre o gerador de endereços e o gerador de clock. Isto cria um retardo de aproximadamente 140 ns a cada traço horizontal. Este artifício é usado na geração de cores. Este sistema será melhor abordado no cap. III.

MAPA DE MEMORIA DE VIDEO -

Os bit a bit dos endereços de vídeo não são iguais ao endereçamento de memória utilizada para armazenar a imagem.

Por conseguinte o endereçamento de vídeo deve ser convertido de maneira a casar esta discrepância.

GERADOR DE VIDEO -

Este circuito processa o dado armazenado e o envia ao misturador (Q), onde é combinado com o sincronismo e color burst, gerando o sinal de vídeo composto.

O processo de conversão é controlado por soft-switches: em modo LORES, por exemplo, o gerador age de uma maneira, ao passo que com os mesmos dados, atuará de maneira diferente em modo texto.

GERADOR DE SINCRONISMO -

O gerador de sincronismo (R) usa o endereçamento de vídeo para gerar o sincronismo, color burst, e blanking.

Sync e color burst são misturados no misturador (Q). A componente sync. permite sincronizar o feixe do CRT com endereçamento de vídeo.

FONTE DE ALIMENTACAO -

O APPLEKIT é equipado com um tipo de fonte chamado "switching-power-suply", que são fontes altamente eficientes em relação ao rendimento (fonte chaveada).

(seu funcionamento não será tratado neste manual)

CAPITULO III

CLOCK GENERATOR E HORIZONTAL TIMING

Veja Esquemas C-2* e C-3*

O circuito do APPLEKIT é baseado em lógica sincronizada. Existem então diversos flip-flops, shift register, contadores, que em geral recebem em sua entrada uma transição de sinal para realizar suas funções. Estes componentes são normalmente de lógica TTL e operam com uma frequência máxima de 25MHz de clock.

O 6502 é também um componente essencialmente "clocado", e admite no máximo 1MHz de clock.

A saída de vídeo utiliza um clock relativamente acurado de 3.575611 MHz para a referência de cores.

Como podemos ver, o APPLEKIT requer diversos clocks que são obtidos do oscilador principal de alta frequência, que é múltiplo inteiro da frequência mais crítica, a de referência de cores.

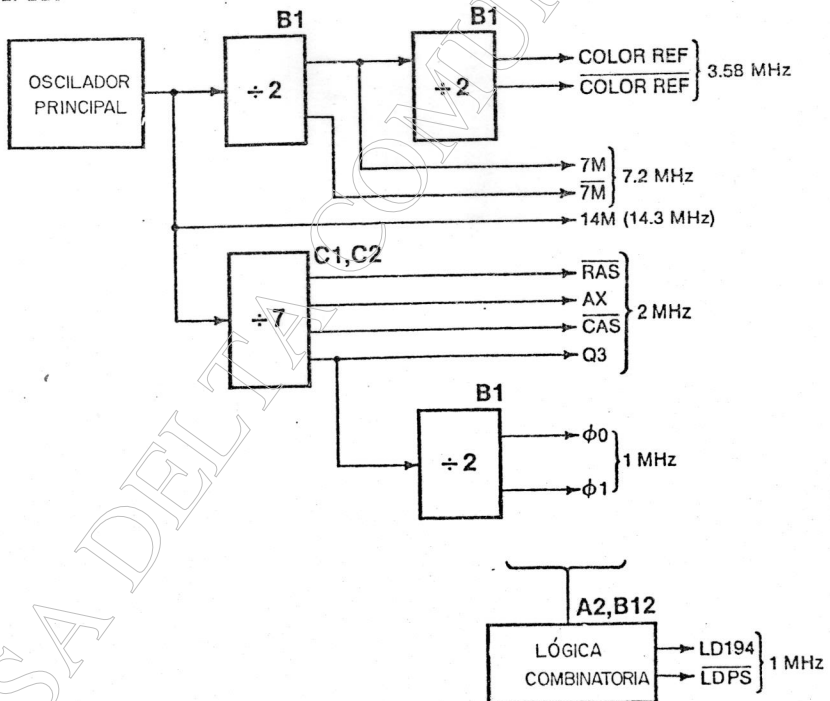


Fig. 3-1 Gerador de Clock

2-3-

DIAGRAMA DE BLOCOS

Clock generator.

A FIG. 3.1 mostra o diagrama em questão.

A frequência do oscilador principal é dividida por 2 gerando um par de clocks de 7,2 MHz complementares, 7M e 7M. O sinal 7M é dividido por 2 para criar a referência de coroma.

O sinal de 14M é também dividido por 7, fornecendo RAS, CAS, AX, e Q3 (todos de 2 MHz). RAS, CAS, e AX são usados nas RAMs e no multiplexador de endereços. O clock Q3 é de uso geral e esta presente nos 8 conectores de expansão, além de ser dividido por 2 para prover o clock de 1MHz para o 6502.

Video address generator.

O gerador de endereços de vídeo (FIG. C-3*), consiste em uma cadeia de contadores, que são incrementados a cada micro-segundo, gerando assim um novo endereço. Estes endereços representam locações instantâneas da varredura no CRT. Este endereçamento é usado também para carregar o latch com o dado de vídeo a ser mostrado no CRT. São portanto, componentes horizontais (H0 a H5) que selecionam uma das 40 locações visíveis na tela.

ANALIZE DETALHADA

Clock Generator

Clocks básicos - Transistores Q1, Q2, e componentes associados (FIG. C-2), formam um oscilador a cristal na frequência de 14,302,444 MHz. Sua saída é amplificada por B2-8 obtendo-se o sinal 14M. A primeira seção do flip-flop B1 (FIG. C-2) divide por 2 resultando 7,151,222,00 MHz em B1-15 - sinal 7M. Seu complemento 7M aparece em B1-14. A segunda seção de B1 e B2-3 dividem 7M por 2 criando o color ref. 3.575611 em B1-3 e seu complemento em B1-3.

O "shift register" C2 é arranjado de forma a que cada "rising pulse" de 14M (pino 10) ele carrega paralelamente (pino 9 low) ou "desloca" (pino 9 high). Quando em "deslocamento", o faz em direção de Q0 para Q3. Pinos 2,3 são as entradas seriais. Desde que elas estão aterradas, um "low" e "deslocado" em Q0 no rising pulse de 14M, enquanto C2 esta em estado de deslocação. Em outras palavras, em um deslocamento, Q0 vai a low, Q1 passa a ter o valor de Q0, Q2 passa a ter o valor de Q1, etc.

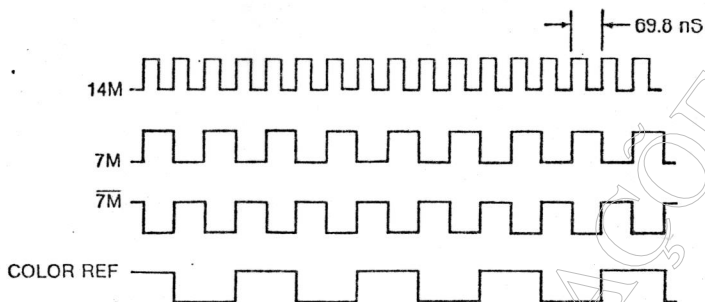


Fig. 3-2 Clocks Basicos

O pino 9 (parallel enable) é ligado a Q3, então após 4 deslocamentos, um "low" nos pinos 2 e 3 desloca para Q3, colocando C2 em modo "load". Se nos assumirmos agora que D2-6 e sempre "high", o único sinal externo em C2 e realmente o 14M.

Mais clock's - Observando agora a FIG. 3.3, faremos a próxima análise a partir do ponto em que um "low" foi deslocado em Q3 (ponto A). O "shift register" C2 e do tipo assíncrono, logo, após o próximo pulso de clock, sua saída tomara o estado "on" dos valores da entrada paralela, que existiam antes do pulso. O sinal Q0 (RAS) permanecerá "low" até que P0 (AX) seja "low". O sinal Q1 (AX) irá a "high" desde que P1 e assumido "high". O sinal Q2 (CAS) permanecerá "low" enquanto P2 (AX) for "low"; e finalmente, Q3 permanecerá "low" enquanto P3 (RAS) for "low".

Estamos agora no ponto B, e ainda em modo "load". Neste instante P0 e P2 (AX) são "high", então nos próximos pulsos de clock, Q0 (RAS) e Q2 (CAS) irão ambos a "high". No terceiro "load", Q3 vai a "high" desde que P3 (RAS) esteja "high". Estamos agora em modo "deslocamento" por 4 períodos de clock antes que um "low" seja deslocado em Q3 para colocar-nos de volta no modo "load". Você poderá notar os "deslocamentos" de "low" nos pontos L, F, G, e H, onde o ciclo recomeça.

Clock do microprocessador - O próximo circuito divide por 2 para obter o clock do 6502. O terceiro flip-flop em B1 (fig. C-2*) realiza esta função ajudado pelo "data selector" C1-9. O sinal de 1MHz que estamos analisando estará em B1-10. O quarto flip-flop de B1 atraza B1-10 de 1 pulso de 14M para gerar Q0 em B1-7. Desde que este ciclo leva 14 períodos de clock, o sinal Q0 terá a frequência de $14,3024444/14 =$ aproximadamente 1 MHz. Em B1-6 encontramos a fase Q1, que é o complemento de Q0.

LDPS clock - Este sinal é obtido pela combinação lógica das portas B13-10 e A2-3 (FIG. C-2). Quando AX e "low" E CAS e "low" E D0 e "high"; então LDPS e "low"; veja figura 3.3. Mesmo sendo as formas de onda nas FIG. 3.2 e 3.3 derivadas de 14M, nos não temos que combina-las em um unico diagrama, pois nos não conhecemos suas fases relativas. Este tópico virá a tona mais tarde, quando analizaremos a parte de "video timing".

Horizontal timing

Na Fig C-3* (gerador de endereços de vídeo), D11, 12, 13, 14, compoem uma cadeia de contadores de 4 bits que fornecem os endereços de vídeo. Em cada pulso do clock, cada contador avançará 1 bit ou performará um "load" paralelo de sua entrada (P)

Os primeiros 7 bits (H0 a H5, e HPE) tem a capacidade de 128 contagens, mas somente 65 são usados aqui. Começemos com todos os bits em "low" (ponto A da fig. 3.4* : desde que HPE e "low", D13 e D14 estão em modo "load"; no próximo pulso do clock (LDPS "rising"), os seis bits menos significativos serao carregados com zeros, e HPE "load" 1 (high). Estamos agora no ponto B e em modo de contagem.

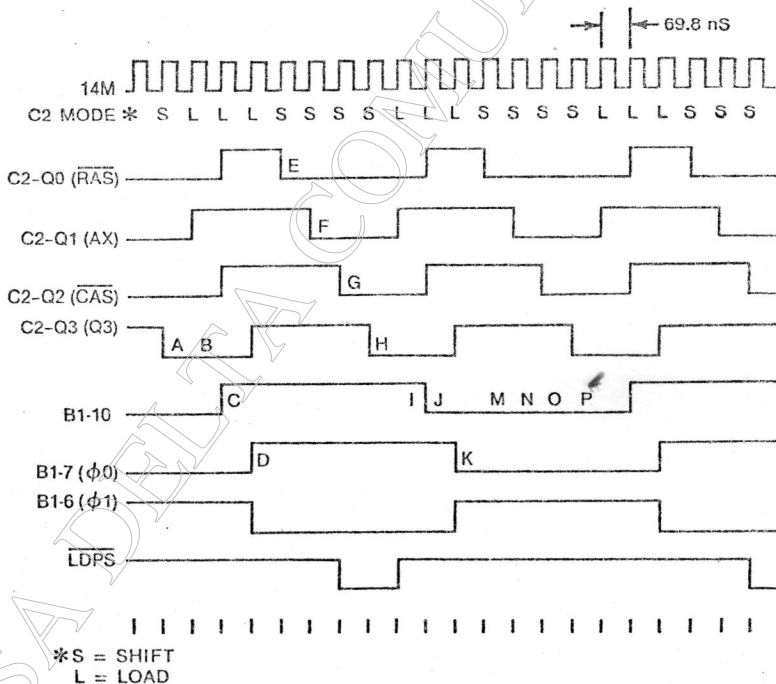


Fig. 3-3 Timing Simplificado

2-3-4

O contador D14 contará até 15, quando seu "carry" (pino 15) vá a "high" (ponto C na fig. 3.4). Isto habilita D13, então no próximo clock D13 passará a contar (H4 vai a "high"). O contador D14 então conta de 15 para 0 e estamos agora no ponto D. A habilitação na entrada de D13 é removida (D14-15 vai a low) e permanecerá assim até que D14 conte até 15 (ponto E). Contador D13 conta no ponto F e de novo no ponto G, e H. Em H, HPE e "low" e o ciclo recomeça.

Os valores decimais dos bits H0 a H5 são encontrados na figura 3.4. Note que há duas contagens no ciclo com o valor 0, e que há 65 contagens no total, por ciclo. Cada um dos ciclos (65 contagens) através da forma de onda da FIG. 3.4, corresponde a uma linha horizontal na saída de vídeo. O restante das formas de onda da fig. 3.4 serão discutidas no capítulo 4.

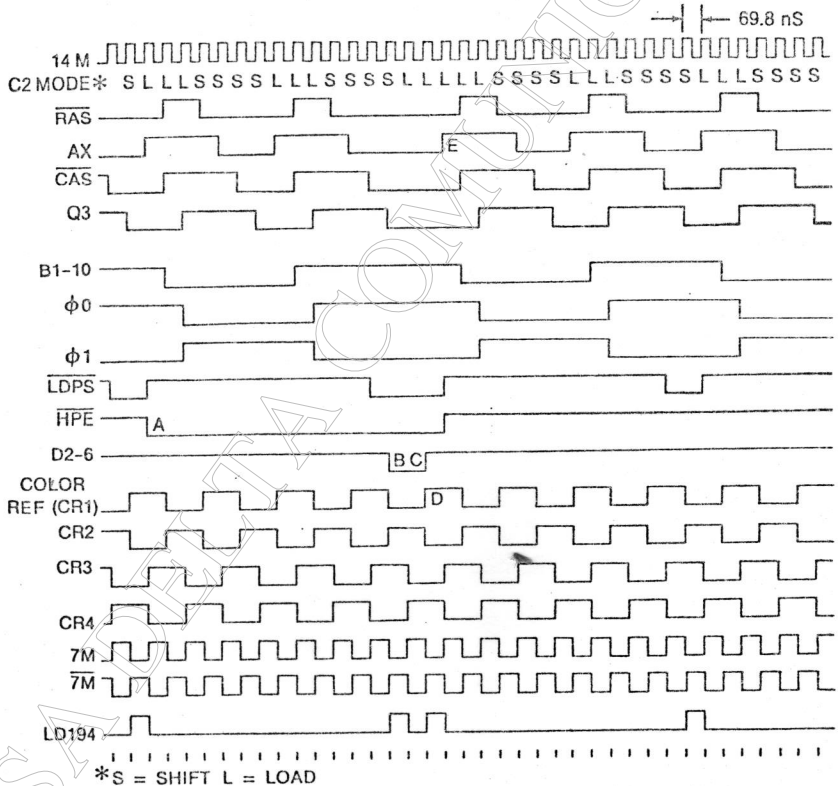


Fig. 3-5 Timing do sistema com extended cycles

2-3-5

CICLOS EXTENDIDOS (extended cycle)

FIG. 3.5 é similar a FIG. 3.3, adicionada de alguns novos sinais. O bit HPE irá para "low" em um "rising edge" de LDPS.

Examinemos o ponto A: O bit HPE é invertido por B2-6 (fig C-2) para levar um "high" em D2-1. Isto satisfaz uma das condições necessárias para D2-6 ir a "low". As outras são AX "low", E CAS "low" E O0 "high" E "color ref." "low" (note que em D2-2 há o complemento de color ref. via B1). Estas condições são as mesmas que LDPS "low" E color ref. "low". Neste ponto nos não conhecemos a fase de color ref. relativa aos outros.

Existem 4 possibilidades mostradas em CR1, CR2, CR3, e CR4. A fase correta de color ref. será assumida ser CR1. Admitamos também que nosso APPLEKIT ao ligar, esteja com color ref. como mostrado em CR1. (FIG. 3.5).

Tudo se passa como previamente exposto até o ponto B, onde LDPS e color ref. são ambos "low". O pulso D2-6 vai a "low", então no próximo ciclo de clock um "low" é carregado em AX, ao contrário do usual "high". Nos encontramos agora no ponto C, e outro "low" é carregado em AX. No ponto D, color ref e D2-6 vão a "high", então no próximo ciclo AX vai a "high" (ponto E).

O "timing" continua deste ponto de maneira descrita pela FIG. 3.3. A razão do "low" em HPE é esticar o RAS, AX, CAS, O3, O0, O1 e LDPS de 2 ciclos de 14M. O ciclo normal é 14/14, 30244 MHz = 979 ns. O "extended cycle" é 16 / 14, 30244 MHz = 1118 ns. Em outra palavras, a maioria dos ciclos do 6502 são de 979 ns, mas a cada 65 ciclos eles tem uma duração de 1118 ns, então a velocidade média do 6502 é:

$$14,30244 \text{ MHz} \times \frac{65}{(64 \times 14) + 16} = 1.019363 \text{ MHz.}$$

A esta altura, perguntaríamos: Por que um "extended cycle" a cada linha do horizontal? Para o APPLEKIT trabalhar com cores em qualquer televisão, a frequência de color ref. deve ser muito próxima a 3,575611 MHz; também a frequência horizontal deve ser também muito próxima a (mas não exatamente) 15,700 KHz. Sem os extended cycles, o circuito dividiria 14M por (14 x 65) ou seja:

$$\frac{14,30244 \text{ MHz}}{14 \times 65} = 15,717 \text{ KHz}$$

Isto dá a falsa impressão que a segunda razão é facilmente encontrada, mas há uma pequena complicação. Note que color ref. dividido pela frequência horizontal e 3,575611 MHz / 15717 KHz = 227,5. Cada linha horizontal contém 227,5 ciclos de color ref. Color ref. deverá então mudar de fase em 180° a cada linha; e há duas maneiras de fazer isto:

- 1 - Mudar a fase de cromá a cada linha para compensar a mudança de color ref.
- 2 - Escolher outra frequência horizontal onde cada linha contenha um número inteiro de ciclos de color ref.

O APPLEKIT usa a alternativa 2.0 rateio de 227,5 e incrementado de 228, extendendo cada linha por um meio período de color ref. (igual a 2 períodos de 14M). A frequência horizontal passa a ser então : $3,575611 \text{ MHz} / 228 = 15,683 \text{ KHz}$, que é muito próxima a de 15,700 KHz da maioria dos tv's.

2-3-7

SUMARIO DOS SINAIS

Sinal	Descr.	Comentários	Freq.	Período!
14M	14MHz	Oscilador principal	14,30244 MHz	69,9 nA!
7M	7MHz		7,15122 MHz	140 nA!
7M	7MHz	Complemento de 7M	" " " "	" " !
color	ref. de cor	Usado como Color Burst	3,575611 MHz	279 nA!
RAS				
CAS		Usados nas Ram's dinâmicas e multiplexador	2,038726 MHz	489 ou 628 nA!
AX			(média)	
Q3		Clock de uso geral		
00	fase 0	Clock de 6502		
01	fase 1	Complemento de 00		978 ou 1117 nA!
LDPS	load paralelo serial	Clock para o gerador de endereço de vídeo e "load" de texto	1,019363 MHz (média)	
LD194	load 194	Load para gráficos		
H0-H1	horizontal	Endereço horizontal		
HPE	horizontal paralelo enable	Carrega contadores de endereço horizontal	15,683 KHz	63,8 uA!

Tabela 3.1

CAPITULO IV

VIDEO TIMING

Continuamos aqui a análise do Cap. III.
Usaremos para tal os esquemas C-3*, C-16*, e C-20*.

Vertical Timing

Da mesma maneira como precisamos do contador de endereço de vídeo para definir as posições horizontais do vídeo, precisamos também de um "vertical address counter" para podermos referenciar as posições verticais.

O feixe do CRT deve percorrer uma linha completa antes que o endereço vertical avance para a próxima linha.

A saída de vídeo consiste de 262 linhas, das quais 70 são invisíveis, visto que elas ocorrem durante o Blanking vertical. As restantes 192 são usadas da seguinte maneira:

1 - Modo Texto - É constituído de uma matriz de 5x7 pontos de uma célula de 7x8 pontos. 8 pontos verticais x 24 linhas = 192.

2 - LORES - Pixel's são compostos de 4 pontos de altura por 7 de largura. 4 pontos verticais x 48 pixel's = 192.

3 - HIRES - Simplesmente é formado de 192 linhas.

Um contador com 262 possibilidades requerirá 9 bits. Estes bits são arranjados da seguinte maneira: 2 contadores de 4 bits (D11, D12 (fig. C-3*), e o último estágio de D13. Estes bits são nomeados, do menos significativo para o mais significativo, VA, VB, VC, VO, V1, V2, V3, V4, V5 (fig. 4.1).

Video Sync.

O sincronismo horizontal é colocado a cada linha horizontal, e o vertical, a cada tela varrida.

Os pulsos de sincronismo são derivados do "video address generator" através dos CI's A12, A14, B11, B14, C11, C13 (Fig. C-20*). A saída de sync. aparece em C13-8 e é então mixada ao sinal de vídeo pelo transitor Q3. Formas de onda típicas nas fig. 4.1* e 4.2*.

Blanking.

Este sinal é usado para apagar o feixe durante o "retra-
ce". E' derivado da porta C14-6, dos sinais gerados para o sync
formas de onda nas figs. 4.1* e 4.2*.

Color Burst.

E' um pulso de 3,575611 MHz que aparece logo após ao sin-
cronismo horizontal. Os monitores coloridos usam-no como referên-
cia .

O Color Burst e' obtido combinando-se Color-Ref.com
A14-1, B13-1, e B12-2 (FIG. C-20*. Atuando-se sobre o trimer C-3,
varia-se o matiz da Cor (fig. C-20*)

ANALISE DETALHADA

VA-E o bit menos significativo do contador vertical
(fig. 3.4*) Assumamos VA partindo "low" no ponto(I). O contador
D13 esta em modo de contagem, e conta 7 neste instante; então
na subida de LDPS, VA vai a "high" (B contagem). Em (J), HPE e'
"low", carregando VA nele mesmo (D13-11 conectado a D13-6 na fig
C-3*). VA permanecerá "high" enquanto D13 estiver habilitado
(D14-15 "high"); e à contagem de 15 (ponto K). Quando da subida
de LDPS, D13 volta a 0 e vai a "low". Agora HPE é "low" (ponto
H), então VA é carregado em si mesmo novamente, permanecendo em
"low". Este ciclo se repete dando a VA um período igual a duas
linhas horizontais.

VB a V5-0s contadores D12 e D11 são ligados de forma a
contarem 8 bits; partindo a contagem de 125 e incrementado até
256 por VA (fig. 3.4*. ponto Q). Isto faz de VB o próximo bit, e
V5 o mais significante. A frequência vertical é então:

$$\frac{15.700 \text{ linhas/seg}}{262 \text{ linhas/campo}} = 59,92 \text{ campos/seg (ou Hz)}$$

Blanking-O sinal Blanking e derivado da porta C13-6
(fig. C-20). $HLB = (H3 + H4) * H5$, (Algebra Booleana) e e' visto
na fig. 4.2* $Blanking = HBL + (V3 * V4)$, e é visto nas figuras
4.1* e 4.2*.

Quando Blanking é "high", a tela e' apagada. Na fig 4.1 voce
poderá contar as 192 linhas visiveis (pontos D, E), e as 70
linhas invisiveis (pontos E, F). Na fig. 4.2, os pontos A e B
mostram o intervalo de blanking horizontal. O intervalo entre
B e C é a parte visível da tela.

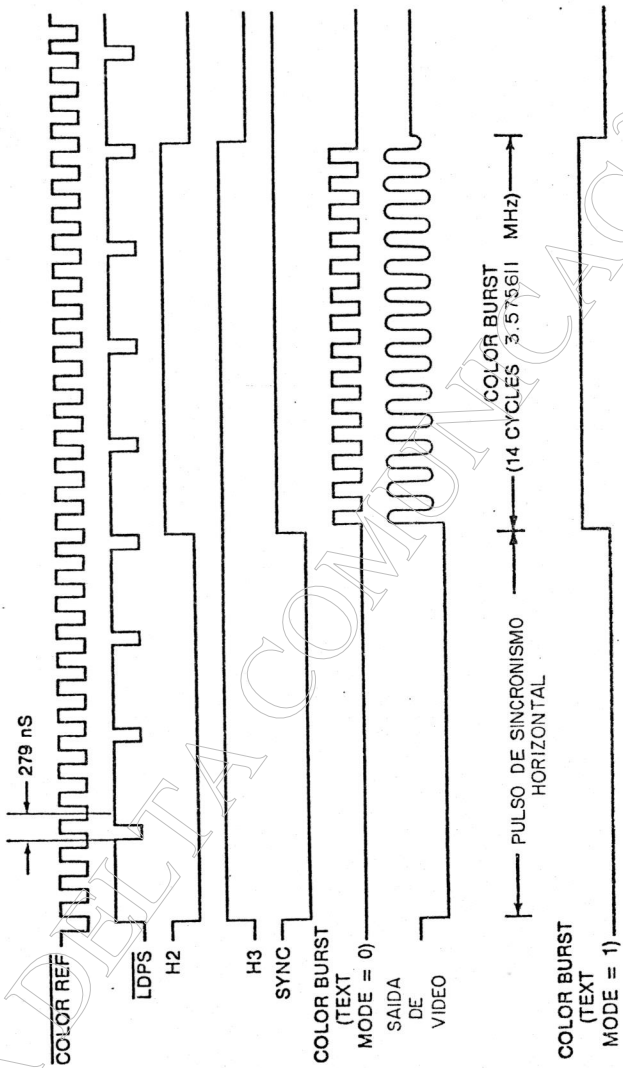


Fig. 4-3 Sínais e Color Burst

2-4-3

Sync-0 sinal C13-D = H2 * H3 * HBL, e é visto na fig. 4.2. SYNC = C13-D + C13-C, e é plotado na fig. 4.1* e 4.2*. Na fig. 4.1, cada linha fina e' um pulso de sync horizontal; os pulsos verticais são da forma dente de serra. Na fig. 4.2* você pode ver como o sync aparece no vídeo composto (pontos F e G, I e J). O sync vertical começa em K e se estende até L.

Color Burst-COLOR BURST = (TEXTMODE + COLORREF) * H2 * H3 * HBL (Fig. C-20). Assumiremos agora que TEXTMODE = 0; o Color Burst e' plotado na Fig. 4.2* sem mostrar os pulsos individuais de color ref. Note que Color Burst ocorre imediatamente após cada pulso de sync horizontal, que pode ser visto na saída de vídeo composto. A bobina L1, capacitor C2, C3 do circuito sintonizado, oscilam na frequência do burst. (fig.C-20). por exemplo: se C3 esta no meio de seu curso então, (25 p).

$$f = \frac{1}{2\pi LC} = 3,6 \text{ MHz}$$

Video Composto- Os tres sinais: "video data" "sync," e color burst são combinados em Q3 para produzir o vídeo composto. Q3 é um seguidor de emissor somador. Os valores de R6,7,8, são determinados de maneira a dar a proporção exata de cada sinal. para termos uma idéia de como isto é feito, tomaremos com referência um nível branco. Para branco, "video data" é "high" e tem 3,5V. Durante a porção visível, sync é "high" e color burst é "low"; então temos 3,5V através de R7, e através de R8, que nos fornece após algumas contas, aproximadamente 2,6V. Descontando Vbe de aproximadamente 0,6V teremos por final 2,0V, que será o nível branco. Em uma carga de 75 ohms haverá uma queda de +- 30%. A fig. 4.4 mostra a saída de vídeo composto.

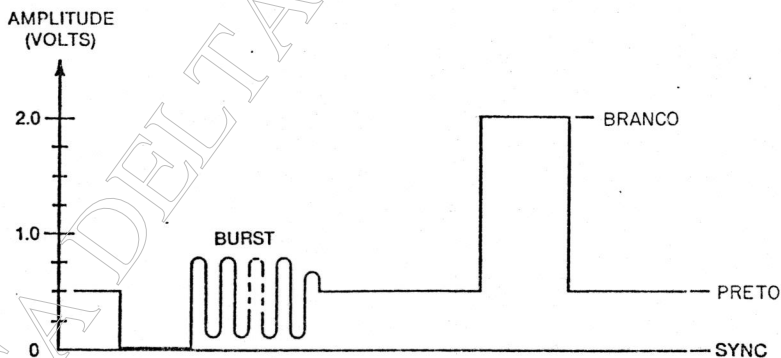


Fig. 4.4
2-4-4

CAPITULO V

SISTEMA DE MEMORIA

Veja esquemas C-5*, 6*, 7* e 13*

A 4116 é uma RAM dinâmica organizada em 16K por 1 bit.

Cada uma de suas células é constituída de um pequeno capacitor e um transistor. Os estados 1 ou 0 são armazenados como a presença ou ausência de carga no capacitor. Quando a célula é acessada, o transistor conecta o capacitor ao circuito interno.

No ciclo de gravação, o circuito carrega ou descarrega este capacitor dependendo do estado 0 ou 1.

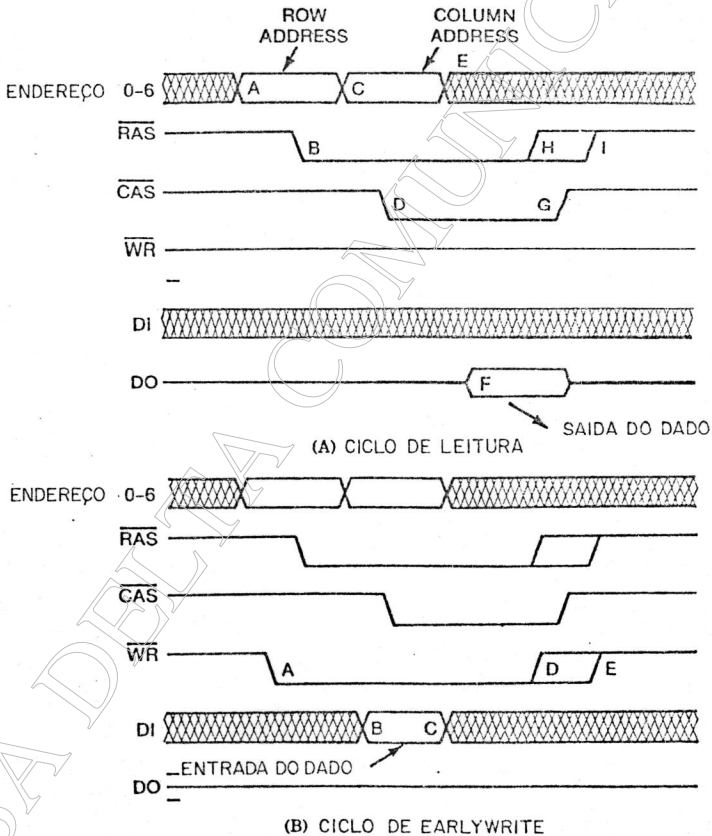


Fig. 5-1 Ciclos da 4116

2-5-1

Refresh-O capacitor de cada célula é muito pequeno, e sua carga é reduzida a valores muito pequenos após uma leitura; portanto o capacitor deve ser recarregado após cada leitura. Esta operação é chamada de Refresh. Também se a célula ficar muito tempo sem ser lida e ou gravada, a carga vai se esmaecendo, precisando ser realimentada.

Endereçamento multiplexado- Para endereçar os 16K são necessários 14 bits. De forma a manter o tamanho reduzido do chip, estes 14 bits são multiplexados em dois grupos de 7. As células são arranjadas em 128 colunas por 128 linhas. Os primeiros 7 bits são chamados de "ROW ADDRESS" E os outros 7 de "COLUMN ADDRESS". Os dois "strokes" necessários são chamados de RAS (row address select) e CAS (COLUMN ADDRESS SELECT). Durante uma leitura, todos as células em determinada coluna, são "refresheadas"; então bastam 128 leituras para que todo o chip seja "refreshed".

Ciclo de leitura (Read cycle)- A fig. 5-1A mostra o read cycle. Partindo do ponto A, fazendo RAS "low" carregará o endereço da linha (ponto B). Após um "hold", multiplexamos o endereçamento para o endereço da coluna (ponto C). CAS vai a "low" para carregá-lo no "chip". Após este procedimento (DO) (data out) passa de alta impedância para valor armazenado no endereço selecionado.

Ciclo de gravação (Write cycle)- Há duas maneiras de proceder: o "early-write" e o "read-modified-write". No APPLEKIT será usado o "early-write" (mostrado na fig. 5-1B).

A sequência de CAS e RAS é a mesma da leitura, exeto que devemos levar WR a "low" antes de pulsar CAS "low" (ponto A); na caída de CAS, o dado é armazenado.

Descrevemos aqui os procedimentos para um "chip" (16Kx1)
Na maioria das aplicações, as 4116 são agrupadas 8 a 8 formando bancos de 16K X 8.

Passemos agora a descrever a memória do APPLEKIT. Veja fig. C-7*; esta organização permite 48Kx8 bits. Cada grupo de 8 "chips" tem uma linha de CAS própria, onde sómente uma é ativa por vez. O RAS e WR são comuns a todos os "chips".

Address multiplexe. (Multiplexador de endereços)- A fig 5.2A traz um diagrama simplificado do sistema multiplexador. O multiplexador (A) parilha o Bus de endereços entre:

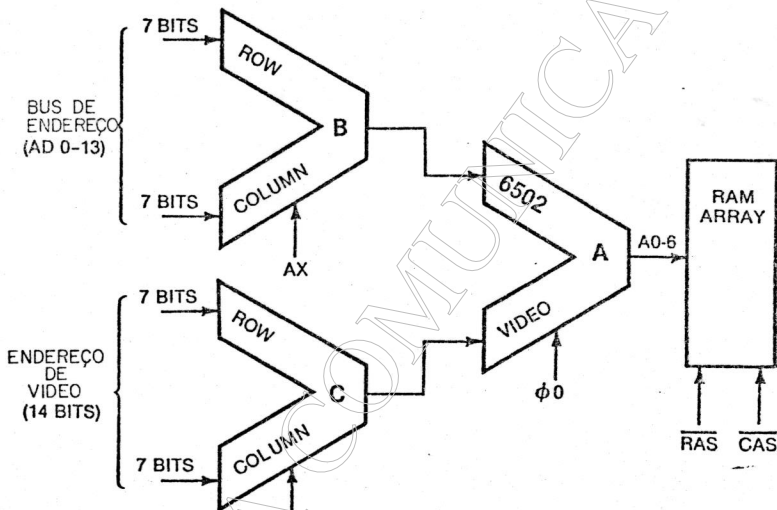
- 6502 Bus
- Endereçamento de vídeo.

Esta seleção está amarrada a DO. Os bits (ADD a AD13) são divididos em 2 grupos de 7 bits. O multiplexador B seleciona um ou outro grupo sob o controle de AX. Análogamente, os 14 bits de vídeo sofrem o mesmo tratamento pelos multiplexadores B e C. não confunda linha e coluna tratados aqui, com linha e colunas de vídeo. A fig. 5.2B mostra o "timing" envolvido no processo.

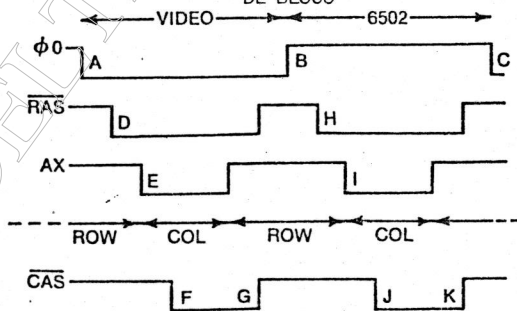
2-5-2

No ponto A, 00 é low fazendo o multiplexador A selecionar endereços de vídeo. O sinal AX é "high" fazendo com que o multiplexador C selecione "row" address de vídeo (ponto D). No ponto E AX vai a "low" e o multiplexador C seleciona o vídeo column address. O dado de vídeo é então disponível no ponto G.

No ponto B 00 vai a "high" fazendo o multiplexador A selecionar o Bus do 6502. O sinal AX é high fazendo o multiplexador B selecionar o Row Address. O RAS vai a "low" carregando o Row Address na RAM. Da mesma maneira é processado o Column Address (pontos I, J, K,). Esta sequência se repete a cada período de 00.



(A) DIAGRAMA DE BLOCO



(B) DIAGRAMA DE TIMING

Fig. 5-2 Multiplexador de endereço

2-5-3

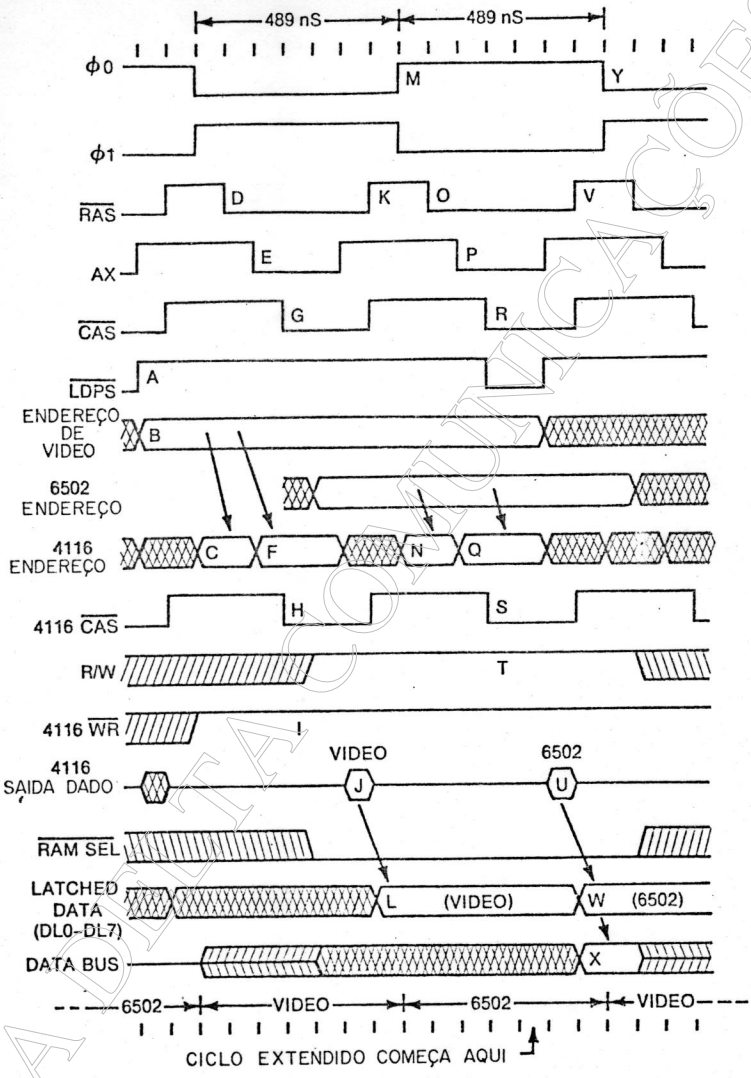


Fig. 5-3 Ciclo de leitura da ram

2-5-4

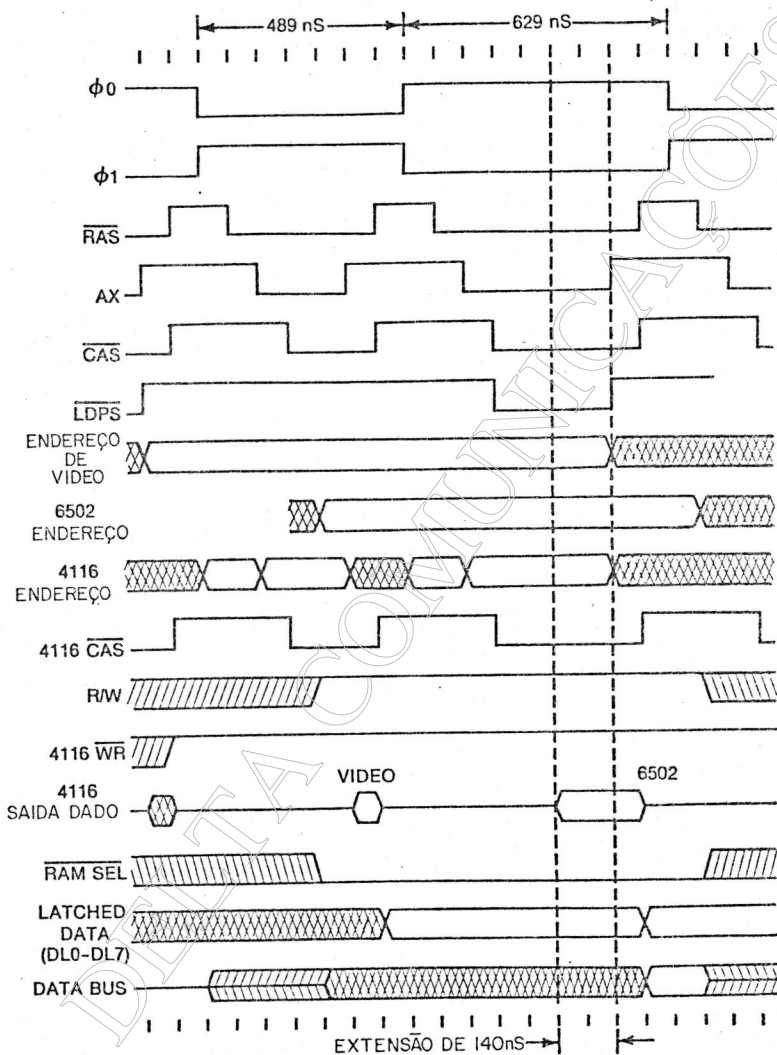


Fig. 5-4 Ciclo de leitura daram com $\phi 0$ expandido

2-5-5

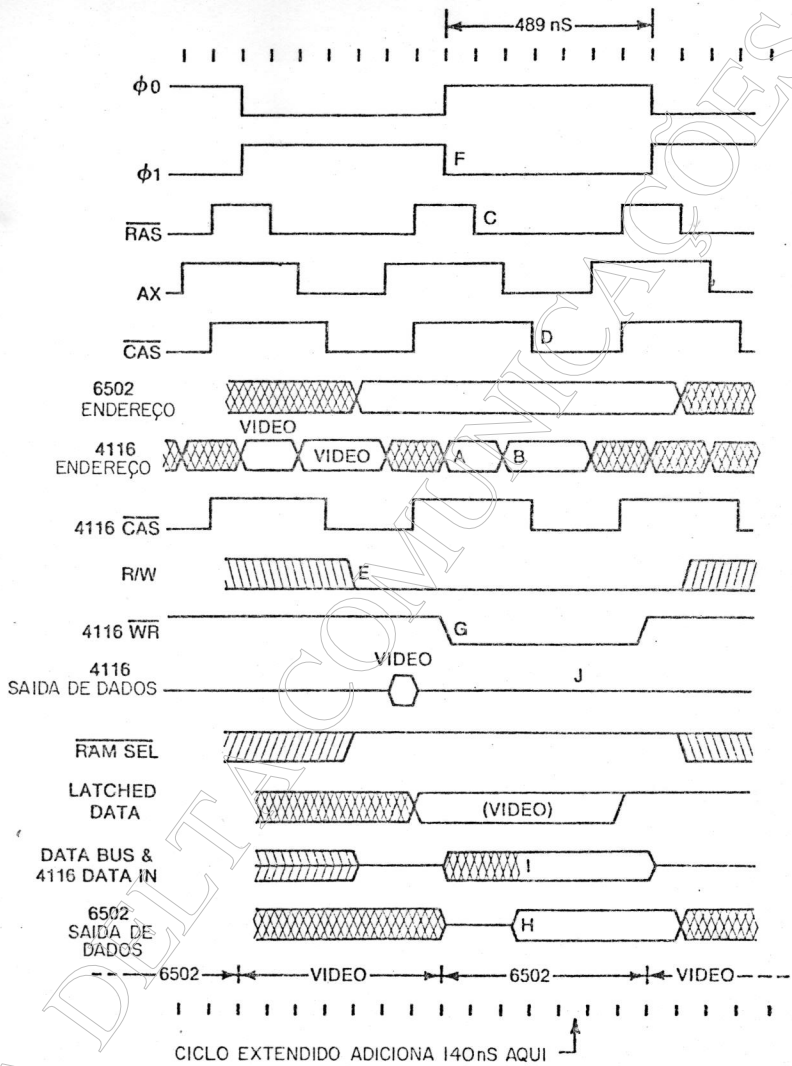


Fig. 5-5 Ciclo de gravação de ram

2-5-6

CAPITULO VI

6502 E BUS DO SISTEMA

Veja esquemas C-5, 7*, 9*, 10*, 11*, 12*, 13*.

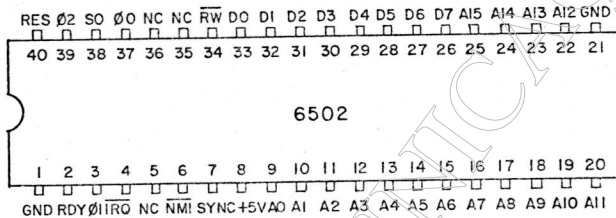


Fig. 6-1 6502 Microprocessador

Os sinais do 6502 são divididos em 3 grupos:

- endereços
- dados
- controle

Endereços e dados são de conhecimento de todos. Os sinais que merecem ser destacados são os de controle:

De entrada

- Ø0 - clock in
- RDY - ready
- NMI - non-maskeable interrupt
- IRØ - interrupt request
- RES - reset
- SD - set overflow

De saída

- Ø1 - clock out
- Ø2 - clock out
- R/W- read write
- SYNC

2-6-1

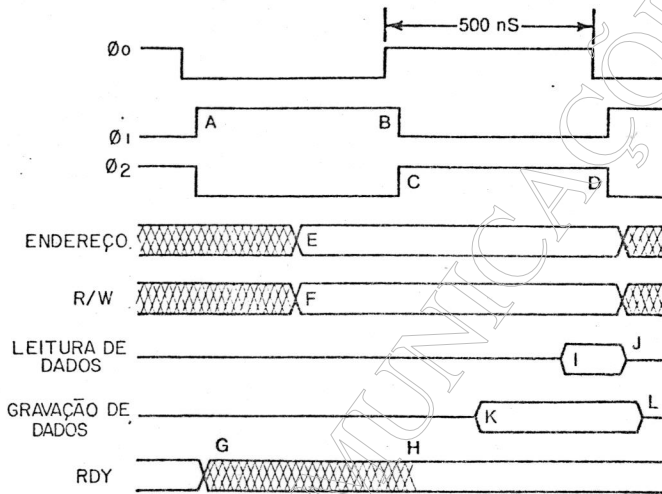


Fig. 6-2 6502/Timing

Analizamos agora como o 6502 controla seu APLEKIT.

Leitura da RAM - A fig. 6.5 mostra o timing desta operação.

Para iniciarmos a análise, tomemos a seguinte hipótese: O 6502 coloca o endereço estável no ponto (A). C11-12 é "high" para habilitar os drivers H3,4,5.

R/W é então "high" no ponto (C).

H5-5 é habilitado, então R/W vai a "high" no ponto (D). Estando endereçado a RAM, a saída de D2 (pínos 9,10, ou 12 da fig. C-5*), irão a "low" quando o endereço for estável. RAM SEL vai a "low" no ponto (E) habilitando os multiplexadores B6 e B7. (fig. C-13*). Ø1 é "high", então a partir do ponto (G), o driver H10 coloca o dado dentro do 6502. A seguir o endereço é multiplexado em linhas e colunas, e serão fornecidos as 4116 nos pontos (I) e (J).

Gravando na RAM -Este ciclo é visto na fig.6.6.
 Praticamente tudo se passa como na leitura. Agora R/W vai a "low" (ponto A), então RAM SEL será "high" (ponto B) onde B7 e B6 serão habilitados. Quando 01 cai (ponto D), o R/W das 4116 vão a "low" (ponto E), preparando as RAMs para o "early-write". Quando 01 cai novamente (ponto F), reverte a direção do driver H10, através de C14-8. O 6502 faz seu dado presente no bus no ponto I, e será armazenado na descida de CAS (ponto K).

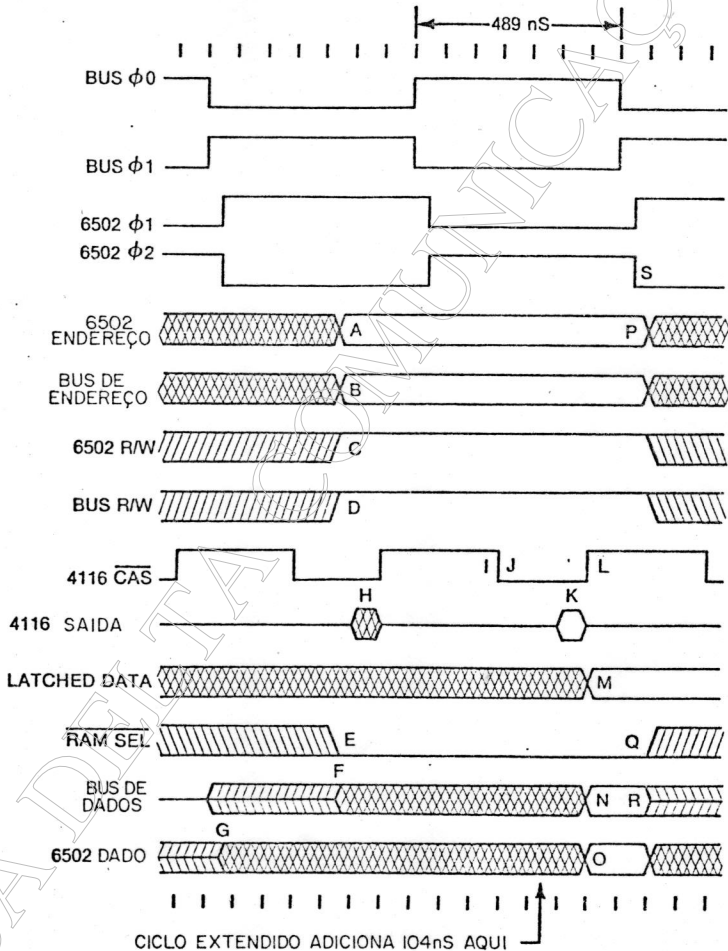


Fig. 6-5 6502 Leitura da Ram
 2-6-3

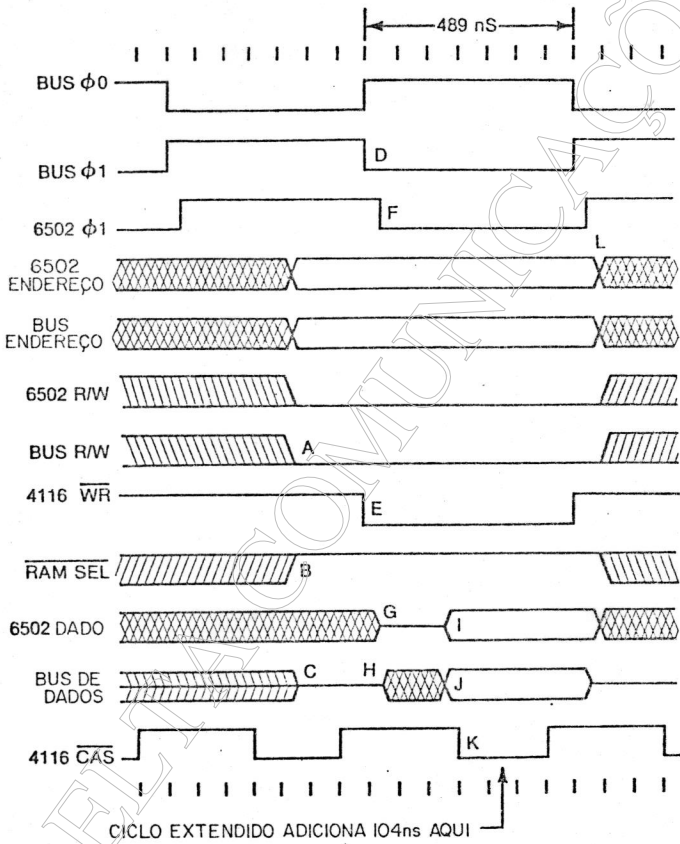


Fig. 6-6 6502 Gravação da Ram

2-6-4

Leitura do ROM -Este procedimento é análogo a leitura da RAM. O R/W e o endereçamento aparecem estáveis em A (fig.6.7). O Ram SEL vai a "high" no ponto C, quando 00 subir. Enquanto 00 for "low" (antes do ponto C), J1 seleciona um endereço de vídeo abaixo dos 32K. F2-12 ou F2-11 irão a "low", então RAM SEL será "low". Quando 00 ir a "high" (ponto C), J1 selecionará um endereço acima dos 48K, endereçamento os ROMs. O "high" em RAM SEL desabilita B6 e B7, liberando o dado no ponto D. Ao mesmo tempo 01 vai a "low" habilitando parcialmente o decodificador F12, via pinos 4 e 5 (fig.C-10*). Desde que estamos endereçando acima dos 48K, AD14 e AD15 são "high". Dai H1-6 é "high" habilitando totalmente F12 via pino 6, que agora decodifica as linhas AD11 a AD13, selecionando um dos bancos de 2K acima dos 48K. Desde que estamos endereçando ROM, uma das saídas de F12 irá a "low" (ponto E) habilitando o "chip-select" dos ROMs. Uma vez estabelecido os endereços, o dado vai a CPU via H10 (ponto G. O chip-select vai a "high", removendo do bus o dado (ponto I). Como este ciclo ocorre acima dos 48K, não há CAS ativo no ponto L.

Leitura de periféricos -O ciclo de leitura de um periférico é idêntico ao do ROM. Reusaremos a fig.6.7 para a explicação a seguir. Estas leituras serão divididas em 4 categorias:

I/O STROBE-Se o endereçamento está na faixa de C800 a CFFF F12-14 será "low" durante 02. Este sinal é conectado ao I/O STB dos oito slots. Uma aplicação típica deste sinal é a de acessar um ROM de 2K no cartão periférico. O ROM decodifica os 11 LSB do bus de endereços e quando habilitado pelo I/O STB (ponto E da figura 6.7) coloca-se o dado no bus. O dado é removido em I/O STB subindo (ponto H).

I/O SELECT-Se o endereço em pauta estiver na faixa de C000 a C7FF, F12-15 vai a "low" durante 02 "low". Isto habilita parcialmente H12 (fig.C-11) via pinos 4 e 5. A habilitação é completa pelo pino 6 ligado ao resistor RA01-81. H12 decodifica ADB, 9, 10 selecionando uma das oito saídas, correspondendo a uma faixa de 256 bytes. Esta faixa para cada slot é CN00 a CNFF onde N é o número do slot.

DEVICE SELECT-O pino 15 de H12 vai a "low" durante 02 se o endereço estiver na faixa de C000 a CFFF. O decodificador H2 é parcialmente habilitado durante 02 no pino 5. H2 será totalmente habilitado quando AD7 for "high". Isto corresponde a uma faixa de C080 a CFFF. Após, H2 decodifica os bit AD4, 5, 6; cada uma de suas 8 saídas correspondem a uma faixa de 16 bytes, e são conectadas ao pino DEV SEL dos slots (pino 41). A faixa de endereços para cada slot é CON0 a CONF onde N é o número do slot mais 8. Seu uso típico está na possibilidade de habilitar latches, registradores, UARTs, etc.

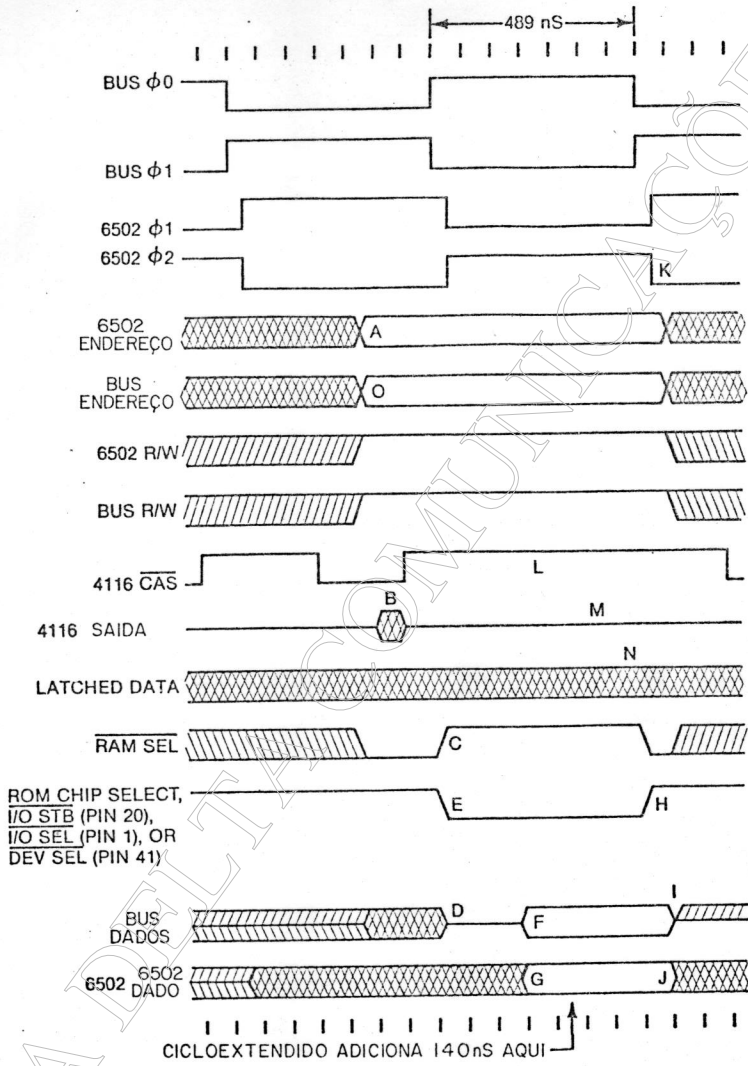


Fig. 6-7 Leitura do Rom ou periféricos

2-6-6

FULL ADDRESS DECODER—Um cartão periférico não precisa usar os endereços decodificados descritos acima. Poderá ele mesmo decodificar seus endereços. Por exemplo: O APPLEKIT ROM CARD abrange uma faixa de D000 a FFFF. Note que o bus de endereços é estável (ponto O) antes de habilitar os "selects" (ponto E).

Uma palavra de cautela—Atente ao fato de queo dado deverá se manter estável pelo menos por 10 ns após cair O2. Olhando a fig. 6.7 notamos no ponto (J) este requisito satisfeito.

Escrevendo no periférico—Este ciclo é muito parecido com o anterior. num ciclo de gravação R/W vai a "low" (ponto A e RAM SEL irá a "high" (ponto B), desabilitando B6 e B7, e liberando o data bus em (C). Na caída de O1, I/O STB, I/O SEL ou DEV SEL irão a "low" (ponto D). Ao mesmo tempo, o R/W das 4116 não há CAS

O periférico deverá aceitar o dado (na subida de I/O STB, I/O SEL, DEV SEL (ponto I), ou O1 (ponto J); completando o ciclo de gravação.

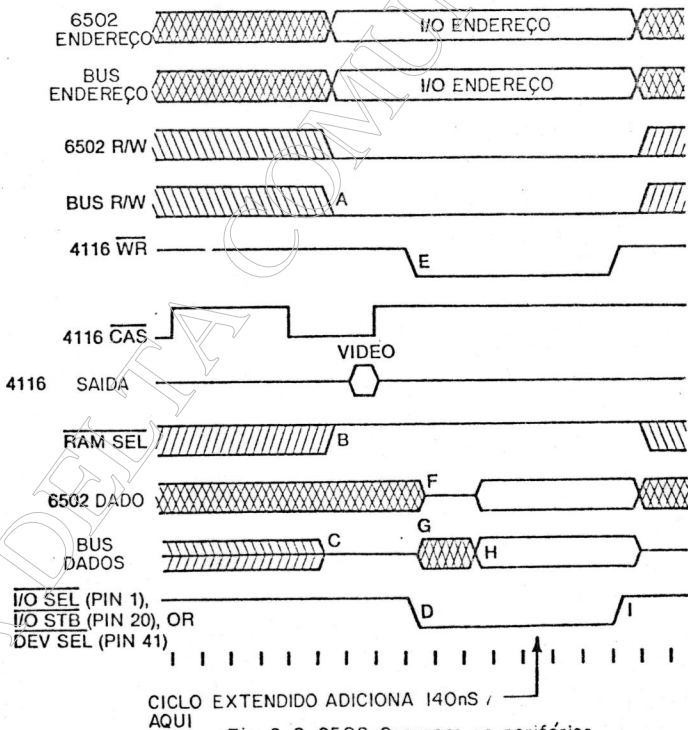


Fig. 6-8 6502 Gravação no periférico
2-6-7

Leitura do teclado—Na exposição do decodificador de periféricos, foi determinado que H12-15 (Fig.C-11) vai a low durante O2, quando o endereço esta compreendido entre C000 e COFF. Isto parcialmente habilita o decodificador F13 via pino 5 (fig.C-12). O decoder F-13 é finalmente habilitado via pino 4 quando AD7 é "low". A saída (pino 15) é o que nos interessa aqui: o sinal KBD; que irá a "low" durante O2 se o endereço estiver entre C000 e COOF.

A fig. 6.9 mostra o ciclo de leitura do teclado, que é similar do ROM. O endereço é colocado no bus no ponto A e R/W vai a "high" no ponto B. RAM SEL vai a "low" (ponto C). Quando O0 vai a "high" no ponto D, os pinos 9, 10, 12 de O2 vão a "high". Análogamente na subida de O0, KBD vai a "low" (ponto E) fazendo os multiplexadores B6 e B7 selecionarem o conector de teclado A7. Com RAM SEL "low", o dado do teclado é lido no ponto G. Quando qualquer tecla é pressionada, A7-2 vai a "high" (fig. C-13*), setando o flip-flop B10. Quando um programa lê o teclado, ele checa o bit 7. 1 (um) indica que uma tecla foi pressionada, e os bits 6 a 0 contém o carácter. O programa deverá então acessar o endereço C010 para levar a "low" o CLR STB.

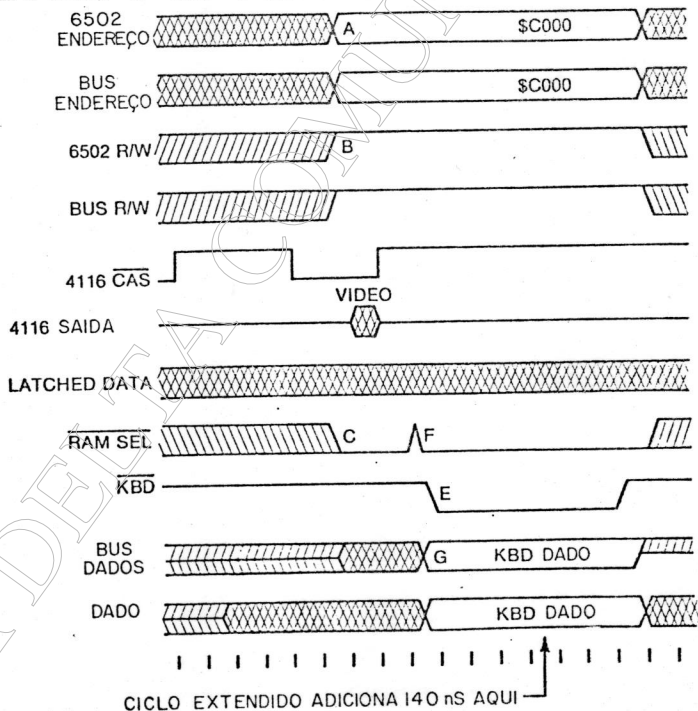


Fig. 6-9 6502 Leitura do teclado

2-6-B

A linha de ready—Esta linha dá aos periféricos a capacidade de atrasar o 6502 (para periféricos lentos). A figura 6.10 mostra uma leitura estendida por um "wait". O ciclo básico é igual a leitura de periféricos mostrado na fig.6.7. A diferença fundamental reside no fato de que o periférico leva RDY a "low", indicando que o dado não está disponível. Com um circuito apropriado, RDY pode ser usado como single-step a cada ciclo de clock.

DMA—Permite um periférico tomar controle da memória, porém somente um por vez pode fazê-lo. Para tal é necessário encadear os DMAs.

O encadeamento começa no slot 0 pino 27 (DMA IN), e termina no slot 7 pino 24 (DMA-OUT). Supondo que um periférico no slot 2 precisa efetuar um DMA; o circuito lógico no cartão deverá, checar DMA IN e encontrar um "high", informando que não há outro DMA em progresso. Então CHAIN vai a "low" arrastando DMA OUT a "low" e propagando através dos slots, impedindo que outro periférico requeira este serviço. Quando DMA é "low", o 6502 é removido do bus principal.

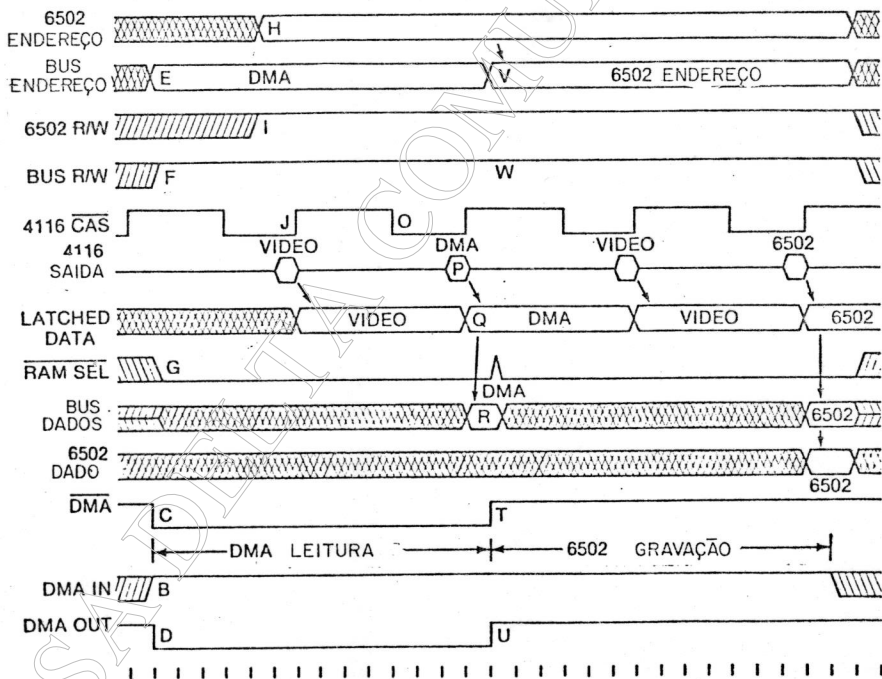


Fig. 6-12 DMA Leitura da ram

2-6-9

DMA - Leitura da RAM-A fig. 6.12 mostra o ciclo de leitura da RAM via DMA. A subida de O1 (ponto A), o periférico checa DMA IN (ponto B). Sendo "high", este começa o DMA e leva DMA a "low" (ponto C) e DMA OUT "low" (ponto D). Isto também leva o endereço ao bus (ponto E) e leva R/M a "high" (ponto F).

Sendo este um intervalo de leitura, RAM SEL vai "low" tão logo o endereço de DMA seja decodificado (ponto G). Note que o ciclo de DMA não interfere com a leitura de vídeo (ponto J). O "low" do DMA em B11-1, mantém O1 sempre em "low" (ponto K a L), parecendo que o clock principal parou. No ponto (O) CAS vai a "low" para o banco selecionado pelo DMA. O dado é válido no ponto (P) e é latched no ponto (Q). O periférico deve aceitar o dado na subida de O1 (ponto S).

DMA - Gravação na RAM-A fig.6.13 mostra este ciclo. Este é muito parecido ao da leitura. Sendo um ciclo de gravação, o periférico deve levar R/W a "low" (ponto A). O R/W levará RAM SEL a "high" no ponto B, então o periférico coloca o dado no bus no ponto C. Estando R/W "low", WR das 4116 vão a "low" (ponto D). O CAS vai a "low" no ponto E, e o dado é armazenado. O1 permanece "high" de F a G. Na subida de O1 (ponto H), o periférico libera o DMA e o 6502 assume o comando do bus. As figs. 6.12 e 6.13 mostram exemplos de ciclos de DMA.

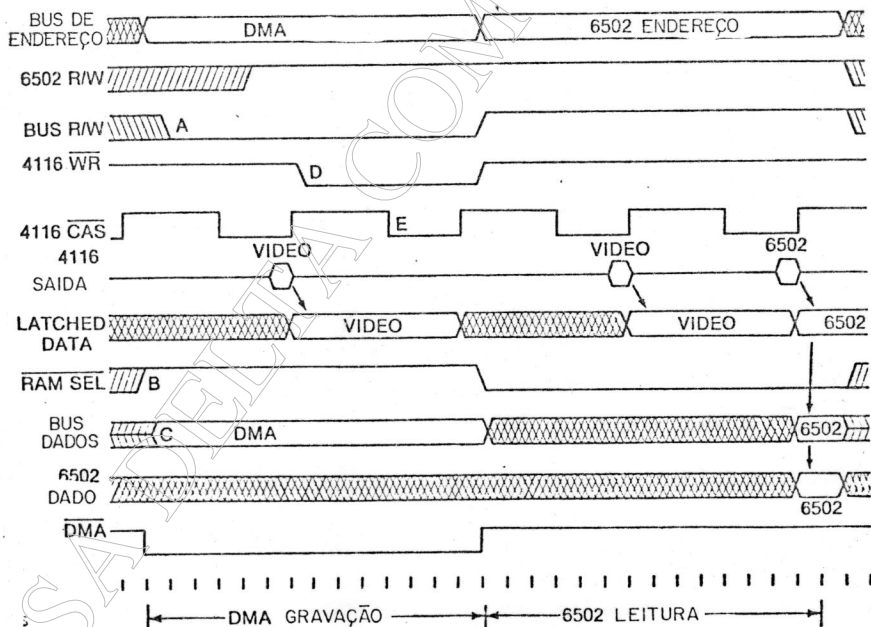


Fig. 6-13 DMA Gravação no ram

2-6-1C

Atenção deve ser tomada ao intervalo de 10 uâ, onde o periférico não deve ultrapassar, com o risco de destruir o conteúdo dos registradores internos do 6502, pois este não consegue continuar com seu refresh interno. (O 6502 é um CPU dinâmico).

Sequência de interrupt - (fig.6.14) Assumamos que no ponto A um periférico requer um interrupt. O cartão checa o Int IN (ponto B) para ver se não há outro interrupt em andamento, observe que o interrupt pode ser assíncrono (não depende do clock). Na fig.6.14 observamos IRQ ou NMI indo a "low" durante um ciclo de O1. Isto quer dizer que no próximo ciclo de O1 poderá começar uma rotina que trate da interrupção.

Scope loop - Observar os ciclos do 6502 em um osciloscópio é um tanto difícil para o amador, entretanto podemos usar um artifício: fazer com que o CPU execute funções pré-estabelecidas, e com tempos prédefinidos; sequência esta chamada de loop.

	CICLOS
0800 AD 30 C0 LDA #C030	4
0803 AD 00 C0 LDA #C000	4
0806 AD 00 FB LDA #FB00	4
0809 8D 00 09 STA \$0900	4
0812 C 00 08 JMP \$0800	3

	19

O resultado deste programa é visto na fig. 6.16*.

Uma vez o programa carregado, você poderá ver os sinais no osciloscópio. Você também perceberá os extended cycles. Para remover, basta levantar o pino 6 do CI D2.

Se desejar observar um ciclo completo, basta conectar o trigger do osciloscópio em um ponto onde haja um sinal periódico (a figura 13-12 ou fig.C-12* como referência).

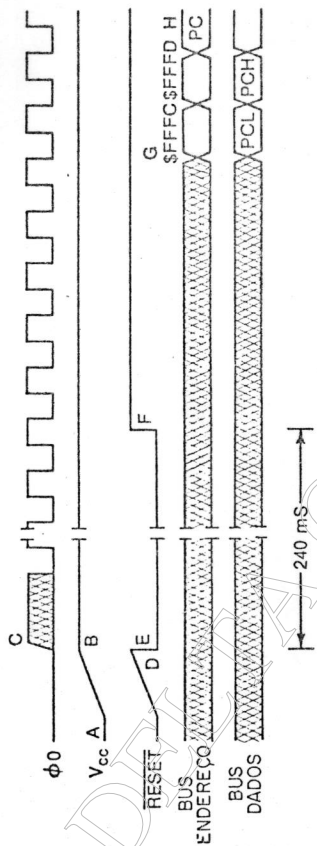
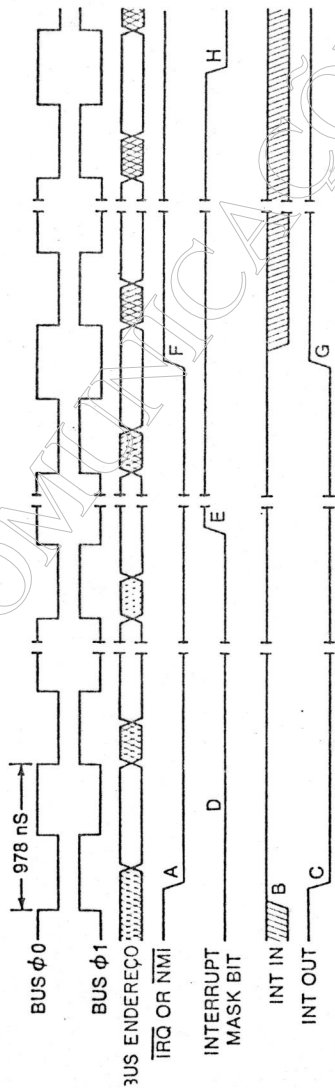
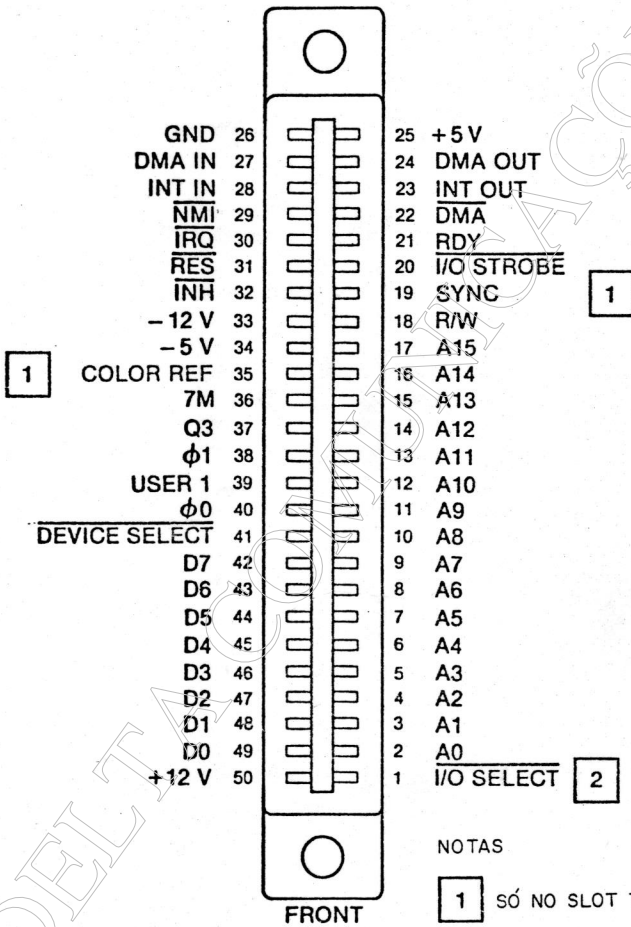


Fig. 6-15 Sequência de Reset



2-6-12



DEVICE SELECT

NOTAS

1 SÓ NO SLOT 7

2 SÓ NOS SLOTS 1-7

Fig. 6-17 Conector de I/O

2-6-13

CAPITULO VII

ON BOARD I/O

Um computador de pouca utilidade se não puder se comunicar com o mundo exterior. Nesta secção abordaremos os chamados BUILT-IN I/O. A explanação é auxiliada pelos esquemas C-12*, 13*, e 22*.

No APPLE existem 9 inputs e 13 outputs. São eles:

- Entrada -
Teclado
Cassette
Game switch (0 a 2)
Game paddle (0 a 3)

- Saida -
Cassette
Alto falante
Game paddle trigger
Game utility strobe
Game annunciator
Text soft switch
Clear-keyboard strobe
Mixed-mode switch
Page2 soft switch
Hires soft switch

Teclado- O coração do teclado é B6 (fig. C-22), um AY-5-3600 "scanning keyboard encoder". As nove saídas X e as dez entradas Y são arranjadas de forma a formar uma matriz. Somente 47 das 90 possibilidades são usadas. O CI B6 contém um contador que conta na sequência de X e Y, procurando por uma tecla apertada. Esta frequência é gerada internamente, e é controlada por R1 e C5. Esta frequência não é crítica, podendo operar na faixa entre 10 e 100 KHz.

A fig. 7.2 mostra o clock e a sequência de pulsos gerada pelas saídas X. Quando uma tecla é pressionada, uma das saídas X é ligada a uma entrada Y, e a tecla correspondente é então codificada em ASCII.

Sequência de operação - (siga fig. 7.2) Assumamos que o caracter pressionado seja um B. O LSB de B é 0, então B5-12 será latched "low" (ponto A). Agora suponha que você aperte a tecla 7. Pela matriz, esta conecta X0 com Y4, então quando 7 estiver apertado Y4 (ponto B) será igual a X0 (ponto C). Assumindo também que o scan de Y esteja em Y3; o que quer dizer que B6 ainda não viu a tecla pressionada. A saída X continua incrementando em ordem crescente até X8 (ponto D). B6 então incrementa Y para Y4 e recomeça o scan em X. Quando X0 e Y4 vão a "high", nos pontos E e F, o "high" em Y4 é detectado. B6 para o scan e leva o "ANY KEY DOWN" (AKD) a "high" (ponto G).

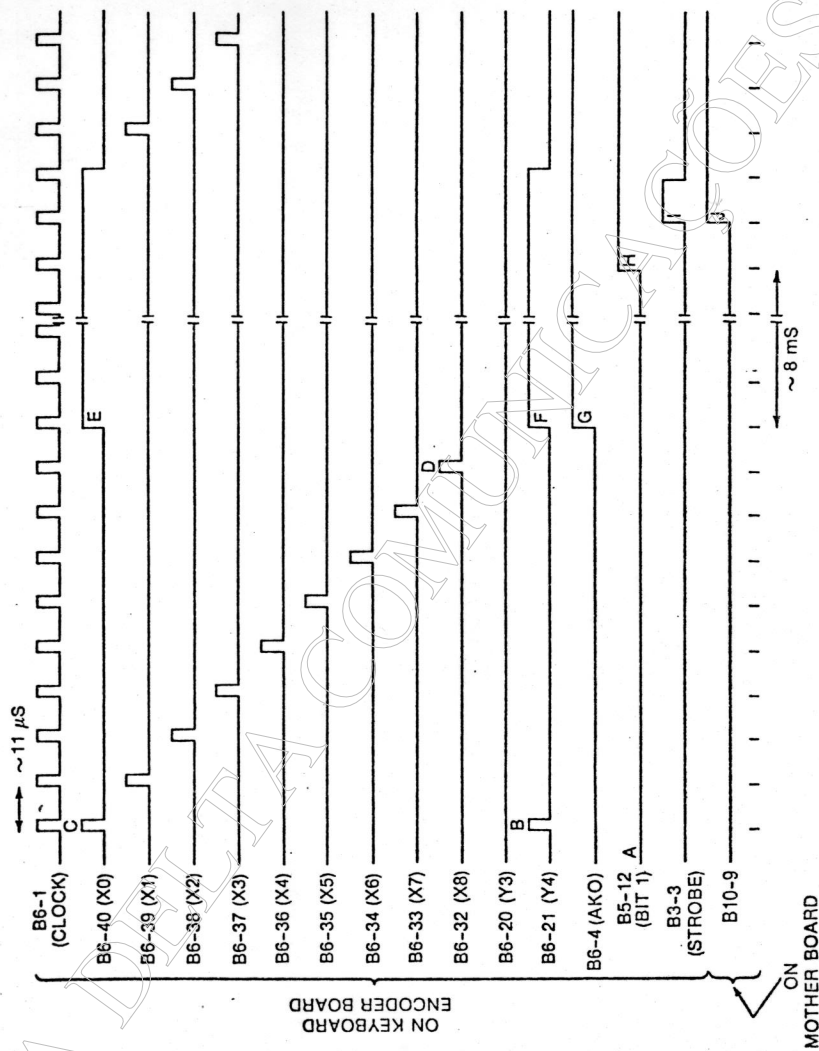


Fig. 7.2
2-7-2

B6 ainda espera aproximadamente 8 ms (produzido por C2 na fig. C-22) para retirar o "bouncing" (flutuações das lâminas de contato), e checa novamente a tecla apertada. Após este atraso, B6 codifica a tecla apertada.

Na fig. 7.3 esta uma outra vista dos sinais da fig. 7.2.

A fig. 7.4 é ainda mais comprimida, mostrando uma sequência completa.

Se você observar a matriz com um osciloscópio, você encontrará níveis que não são TTL. Seus valores típicos se encontram na fig. 7.5

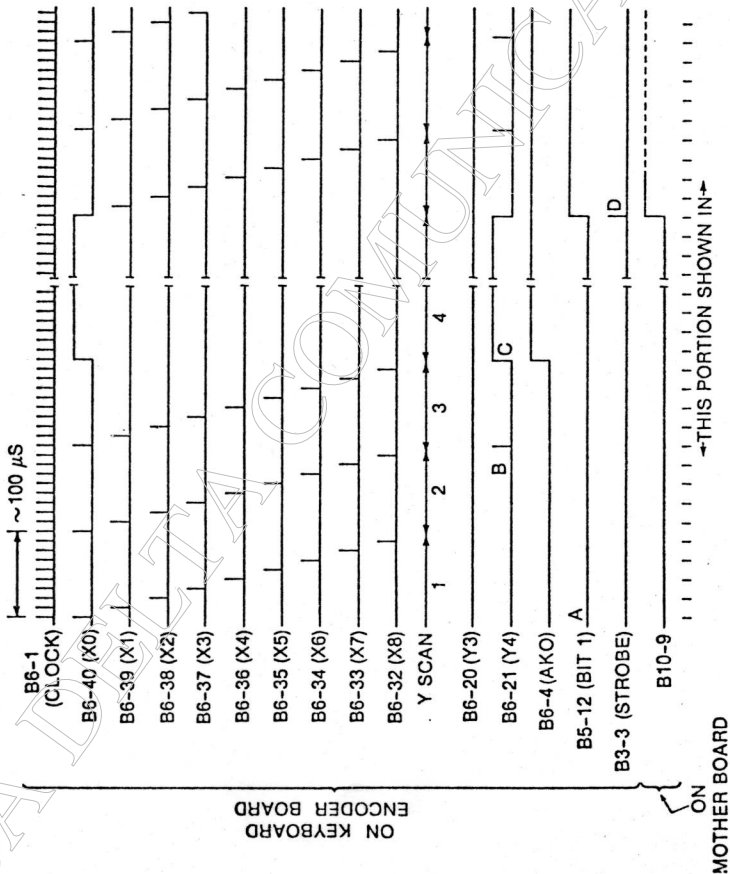


Fig. 7.3

2-7-3

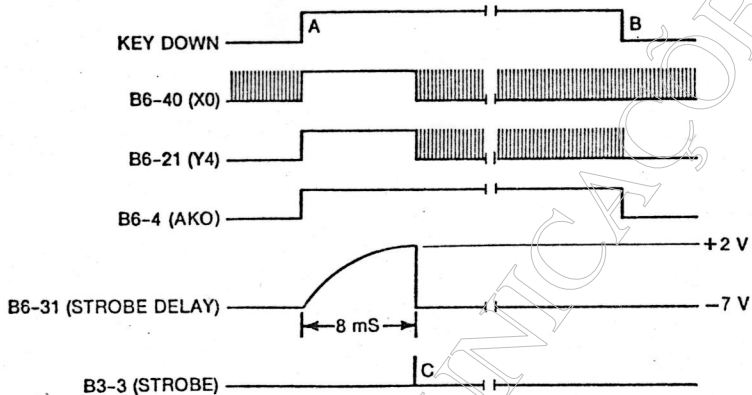


Fig 7.4

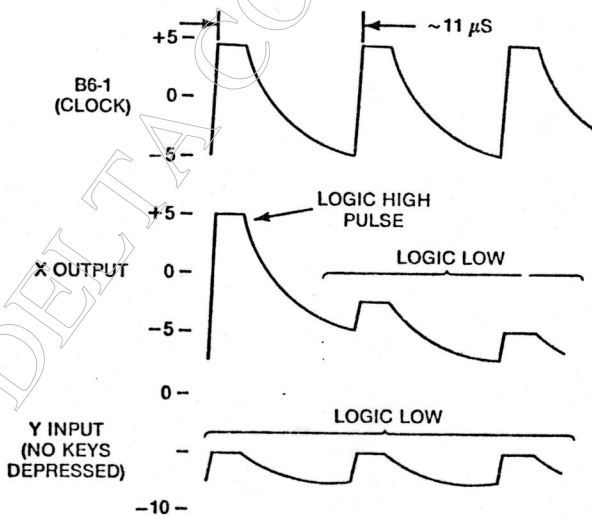


Fig. 7.5
2-7-4'

Função REPEAT- B2 é um 555 conectado para oscilar na frequência aproximada de 15 Hz pelos resistores R7, R8, e o capacitor C7. Quando a tecla repeat é apertada juntamente com outra qualquer (AKO "high"), B2 oscila e sua saída é acoplada através de C6 as portas B4-11, B4-8 e B3-3. Os pulsos de 15 Hz em B3-1 criam strobes adicionais em A7.

Cassette- O dado a ser gravado na fita é formatado em records. Cada record é constituído por alguns segundos de um tom de Header, seguido de um bit de sincronismo, o dado em questão, e o Checksum. Arquivos binários e em código de máquina são gravados no seguinte formato:

 ! HEADER ! SYNC ! DATA ! CHECKSUM !

Os programa em basic são gravados em 2 records, como se segue:

 1) ! HEADER ! SYNC ! LENGTH ! CHECKSUM !

 2) ! HEADER ! SYNC ! PROGRAM ! CHECKSUM !

A fig. 7.7 mostra ciclos individuais que formam os tons. Os valores tem uma tolerância de 2%.

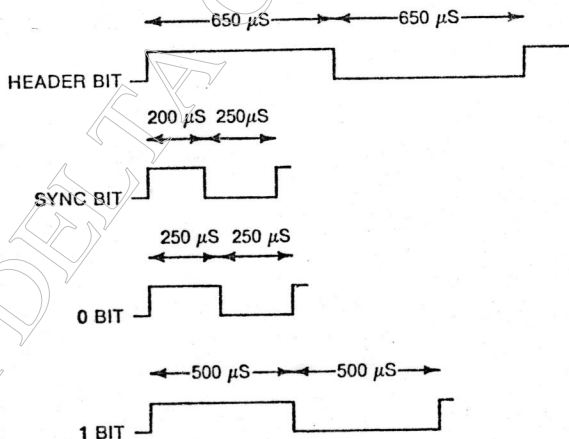


Fig. 7-7 Timing do cassette

2-7-5

O tom dem Header consiste em meio-ciclos de 650 us cada, dando uma frequência de 770 KHz. Os bits de Sync contém meio-ciclo de 200 us seguido de um meio ciclo de 250 us. Um bit 0 consiste em dois meio-ciclos de 250 us. Um bit 1 tem dois meio-ciclos de 500 us cada. A velocidade de transmissão é aproximadamente 1333 bits/seg.

A fig. 7.8 mostra a forma de onda típica da saída de Cassete. Quando o Cassete é acessado, J13-11 vai a "low" por 489 ns (ponto A). Na subida de J13-11, J13-8 e' pulsado (ponto B). Desde que J13-8 é ligado a J13-12 (fig. C-12), este flip-flop irá chavear quando pulsado. Na fig. 7.8 vemos os dois últimos e um meio-ciclo de Header. Seguindo este, vem o bit de sync, seguido pelo primeiro byte de dado. Neste exemplo o dado é BOH, ou 1011 0000.

Os resistores R18 e R19 atenuam J13-8 para aproximadamente 32 m pico-a-pico, que é a saída a ser conectada na entrada de mic do gravador.

Passemos agora a leitura. A entrada é acoplada através de C10 e atenuada de 50% por R17 e R30. Dai e' alimentada a entrada do op-amp K13; que e por sua vez ligado como um comparador

O terra através de R16 dá ao circuito uma faixa de passagem de 0V. Este circuito é conhecido como "ZERO CROSSING DETECTOR". O resistor R29 limita a corrente na entrada de H14 quando K13-6 é "low". O resistor R29 e o diodo clamp de H14 converte o sinal a nível TTL em H14-4.

Se o endereço acessado está na faixa de C060 a C06F, então F13-9 irá a "low" durante D2. Quando o endereço é C060 ou C068 (ADO, 1,2 ambos iguais a 0), H14 é habilitado e selecionam a entrada do pino 4, e saindo pelo pino 5. Este pino é ligado ao D7 do bus do sistema. Este bit é usado pois é facilmente tratado pelo 6502. A rotina de leitura do monitor varre este endereço (C060) a cada 12.8 us, olhando por uma transição. Medindo o tempo entre transições, esta rotina distingue entre header, sync, 0, 1.

Alto-falante- O decodificador F13-12 vai a "low" durante D2 toda a vez que os endereços C030-C03F for acessado. Na subida de F13-12, J13-5 é pulsado. Este flip-flop comuta, desde que seu pino 2 esteja ligado ao 6. Isto quer dizer que são necessários dois acessos a C030 para gerar um período no alto-falante. A onda quadrada em J13-5 é acoplada a base de Q4 através de C11 e R24. Q4 e' um par Darlington que aciona o alto-falante.

Para gerar tons, devemos calcular o número de clocks entre cada comutação de J13, o que é conseguido através de um loop de programa. A fig.7.9 mostra a voltagem obtida nos terminais do alto-falante para tons de 1002Hz e 10,4 KHz.

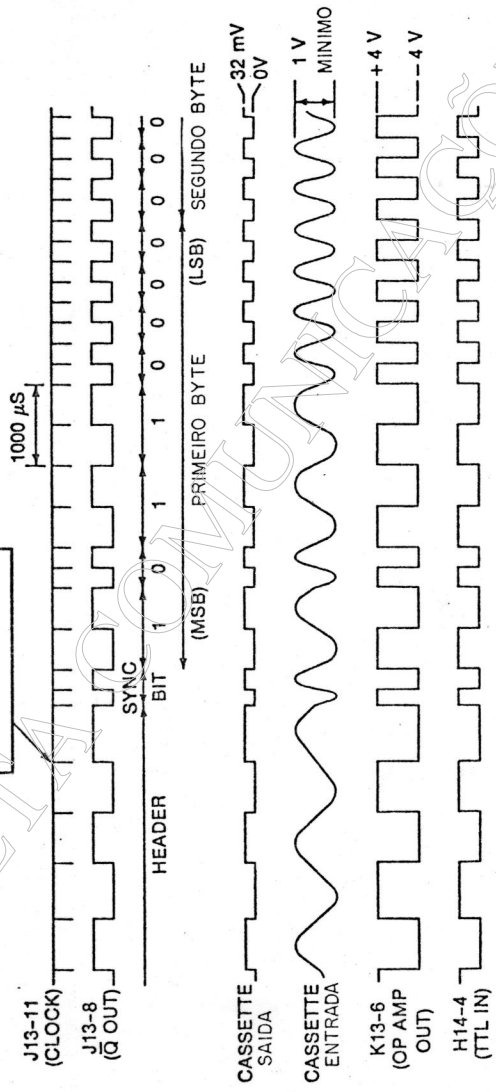
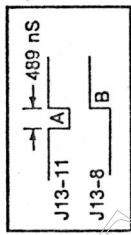
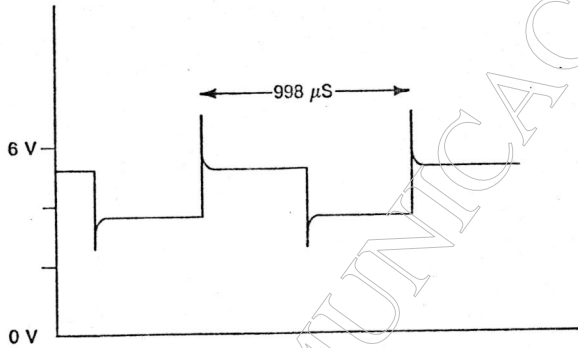
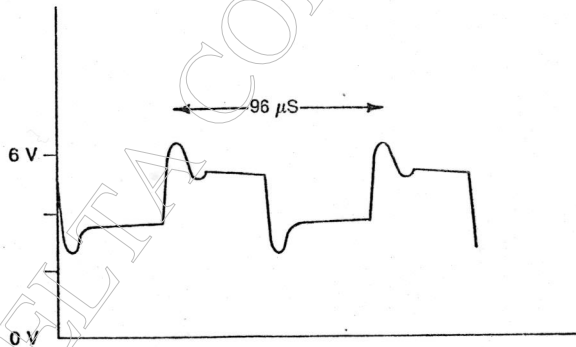


Fig. 7-8 Formas de onda da saída de cassete

2-7-7



(A) TOM DE 1002 Hz



(B) TOM DE 10.4 KHz

Fig. 7-9 Saida do alto-falante

2-7-B

Game Switches -Estes são os endereços que acessam os Game-switches.

! C061 e C069 - SW0 !
! C062 e C06a - SW1 !
! C063 e C06b - SW2 !

O game switch é tipicamente ligado como mostra a fig.7.10

Com o switch na posição normal, um resistor de 560 ohms mantém SW0 "low". Quando C061 é acessado, 0 é carregado no bit 7 do bus de dados. Quando o switch é acionado, SW0 é colocado a + 5V; quando C061 é acessado, 1 (um) é carregado. A operação de SW1 e SW2 é análoga.

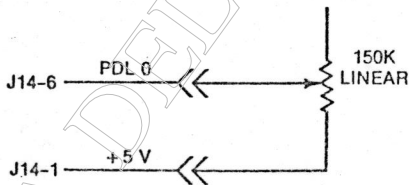
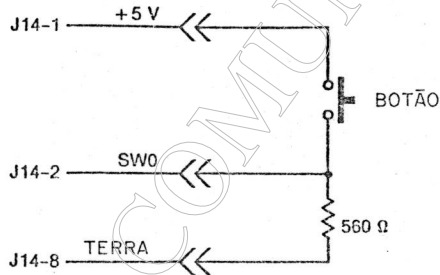


Fig. 7-12 Circuito tipico de um Paddle

2-7-9

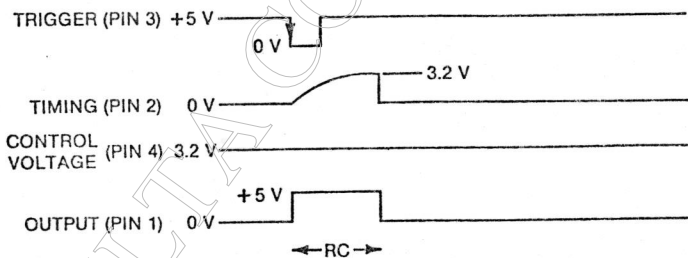
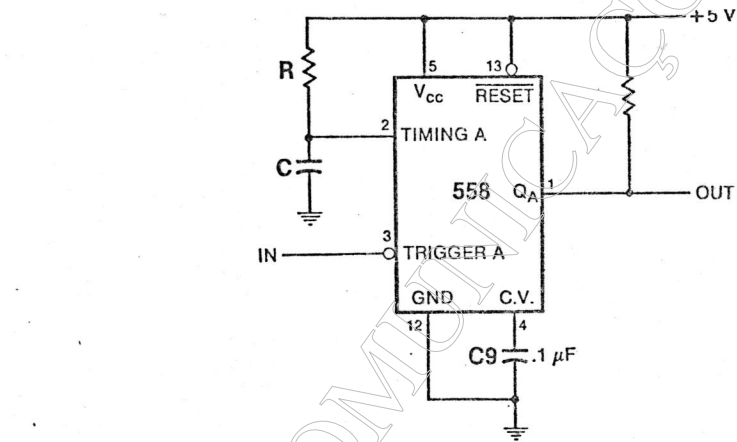


Fig. 7.11
2-7-10

CAPITULO VIII

O DISPLAY DE VIDEO

Em modo texto, a tela tem o formato de 40 colunas por 24 linhas. Cada um destes 960 caracteres são armazenados em uma página de 1024 bytes.

```
-----  
! Pagina 1 - $400 -> $7FF !  
! Pagina 2 - $800 -> $BFF !  
-----
```

A página a ser mostrada no vídeo é controlada pelo soft-switch PAGE 2.

No modo LORES, a tela possui 1920 PIXELS na forma de 40 colunas por 48 linhas. LORES usa o mesmo endereço a tela de texto.

No modo HIRES, a tela possui 192 pontos na altura por 280 pontos na horizontal.

Quanto as corês de HIRES, existe uma limitação a ser mencionada:

```
-----  
!   A   !   B   !  
!   !   !   !  
! Verde ! Azul  !  
! Violeta ! Laranja !  
! Preto ! Preto !  
! Branco ! Branco !  
-----
```

As corês da coluna A não podem ser misturadas com as da coluna B num mesmo PIXEL. Para cada página de HIRES são necessários 8K de memória.

```
-----  
! Pagina 1 - $2000 -> $3FFF !  
! Pagina 2 - $4000 -> $5FFF !  
-----
```

Na figura 8.1 mostra o diagrama de blocos do processo envolvendo o display de vídeo. A figura 8.2 é o diagrama de blocos do gerador de vídeo. Os CIs que compõem cada bloco são assinalados na figura.

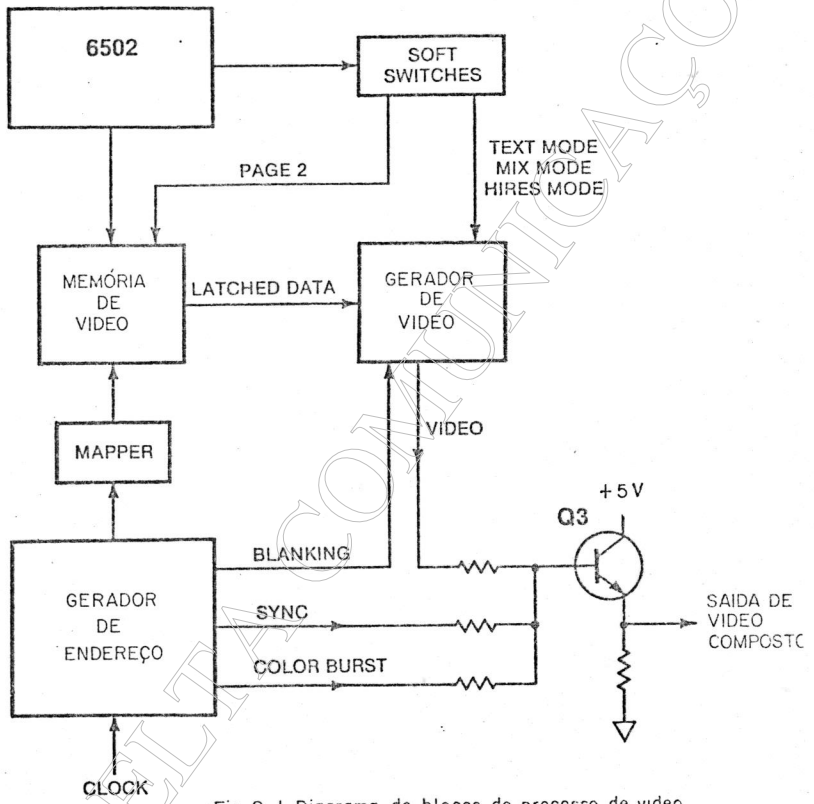


Fig. 8-1 Diagrama de blocos do processo de vídeo

2-8-2

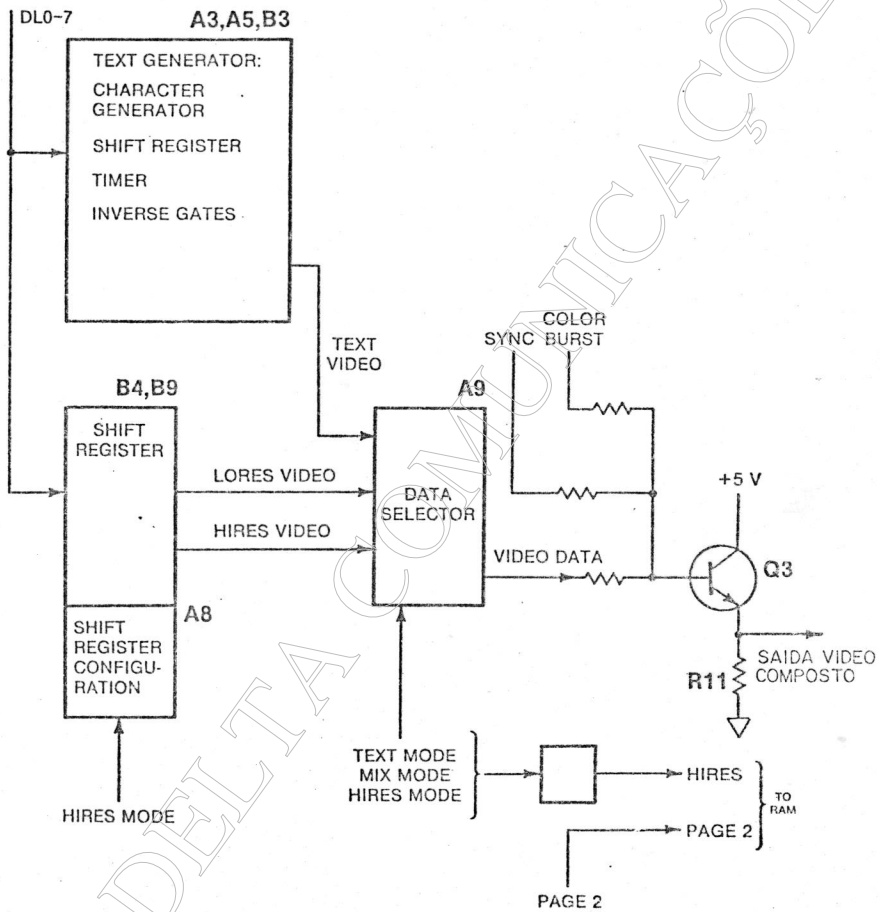


Fig. 8-2 Diagrama de bloco do gerador de video

2-8-3

Modo Texto- A seguinte seqüência de soft-switches seleciona o modo texto :

```

-----
! TEXT MODE   = 1   !
! MIX  MODE   = X   !
! PAGE2      = 0 ou 1 !
! HIRES MODE  = X   !
-----

```

(X não interessa)

A fig. 8.3 mostra o diagrama de blocos para o modo texto. O bloco A5 é um EPROM de 2K programado com os caracteres. A5 interpreta os 6 bits menos significativos, e os converte em um dos 64 caracteres de texto.

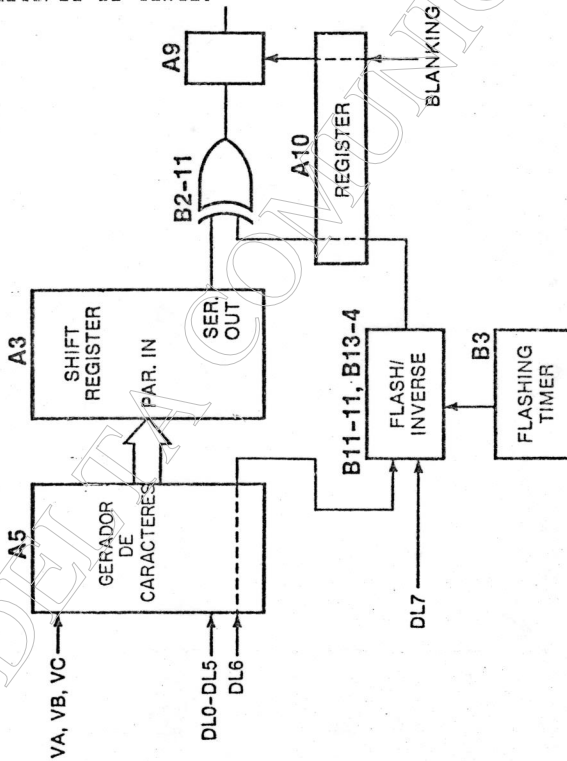
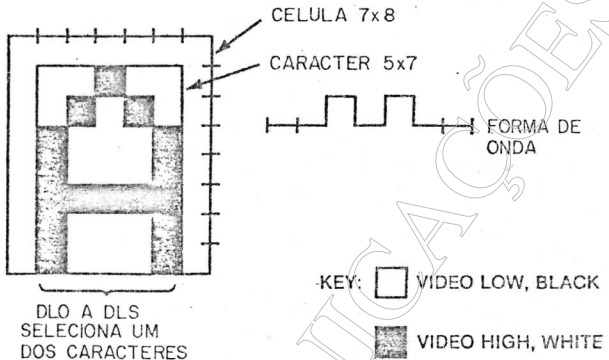


Fig. 8-3 Modo texto
2-8-4

VC	VB	VA
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1



DLO A DLS
SELECIONA UM
DOS CARACTERES

Fig. 8-4 Formato dos caracteres

Modo Hires- A seguinte seleção de soft-switches aciona o modo Hires :

```

-----
! TEXT MODE = 0      !
! MIX MODE  = 0      !
! PAGE 2   = 0 ou 1 !
! HIRES MODE = 1      !
-----

```

A fig. 8.6 mostra seu diagrama de blocos.

Modo Lores- A seguinte seleção de soft-switches aciona o modo Lores :

```

-----
! TEXT MODE = 0      !
! MIX MODE  = 0      !
! PAGE2    = 0 ou 1 !
! HIRES MODE = 0      !
-----

```

Na fig. 8.15 encontramos seu diagrama de blocos.

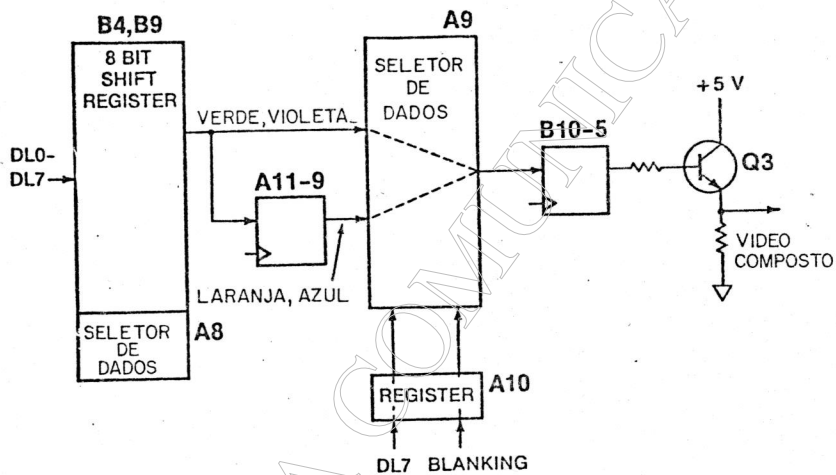


Fig. 8-6 Gerador de Hires

2-8-6

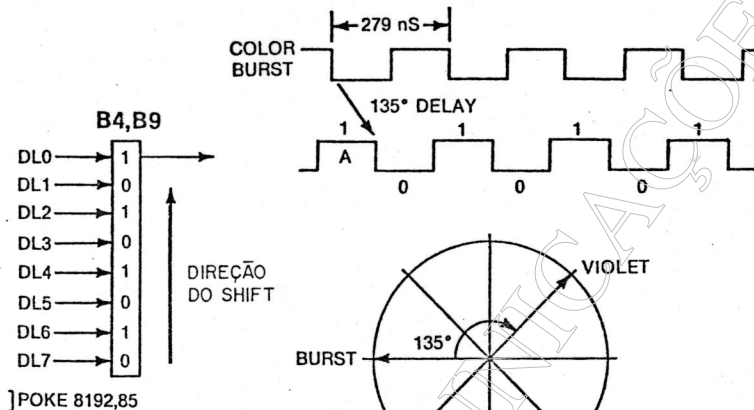


Fig. 8-8. HIRES VIOLETA

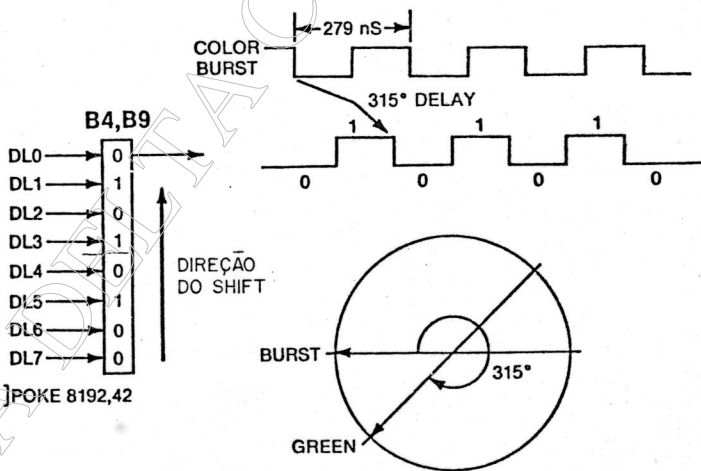


Fig. 8-9. HIRES VERDE

2-B-7

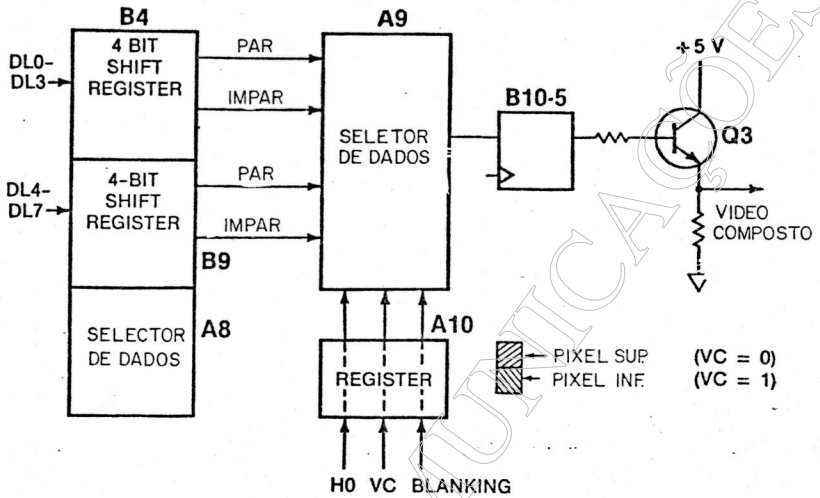


Fig. 8-15 Diagrama de blocos do gerador de lores

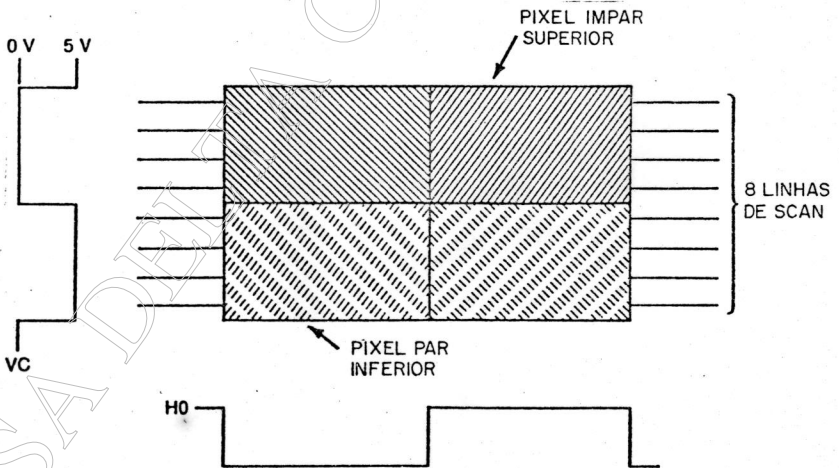


Fig. 8-16 Pixel de Lores 2-8-8

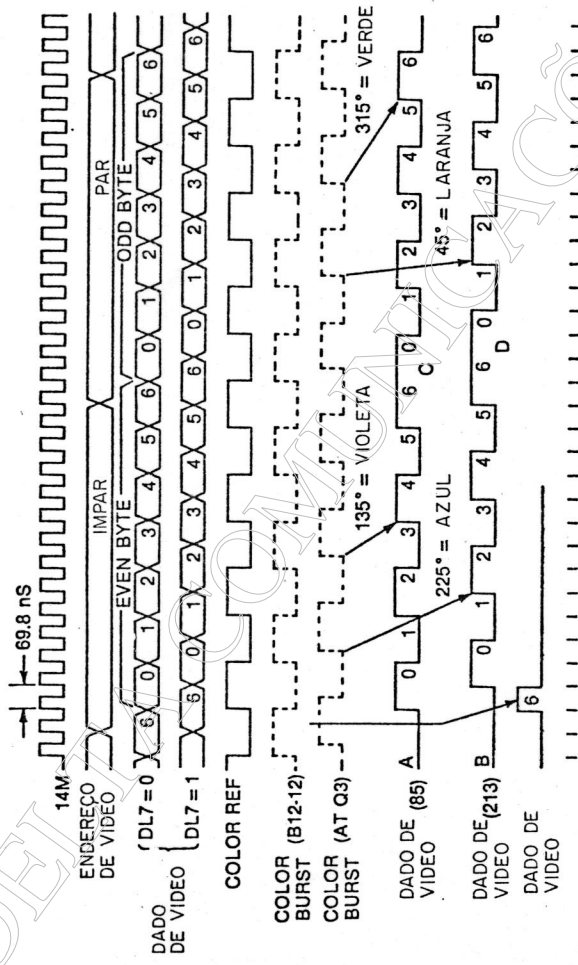


Fig. 8-29 Cores em Hires

2-8-9

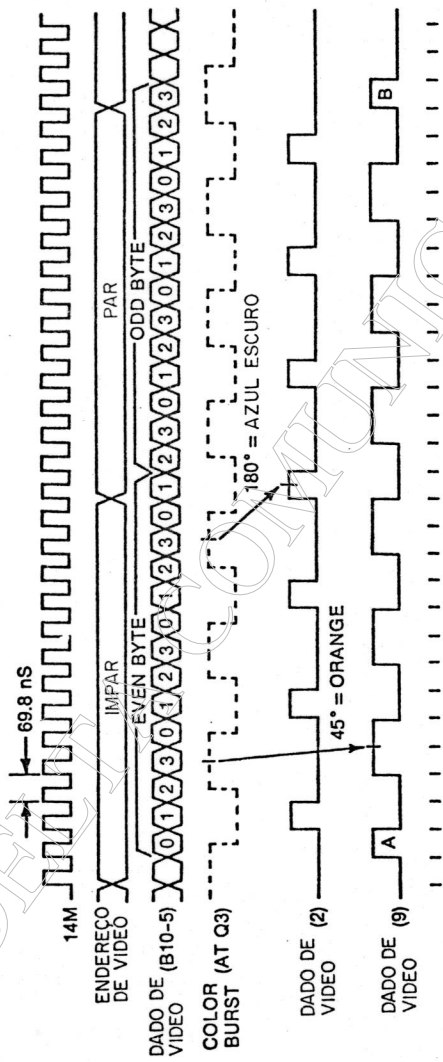


Fig. 8-32 Cores Lores

2-8-10

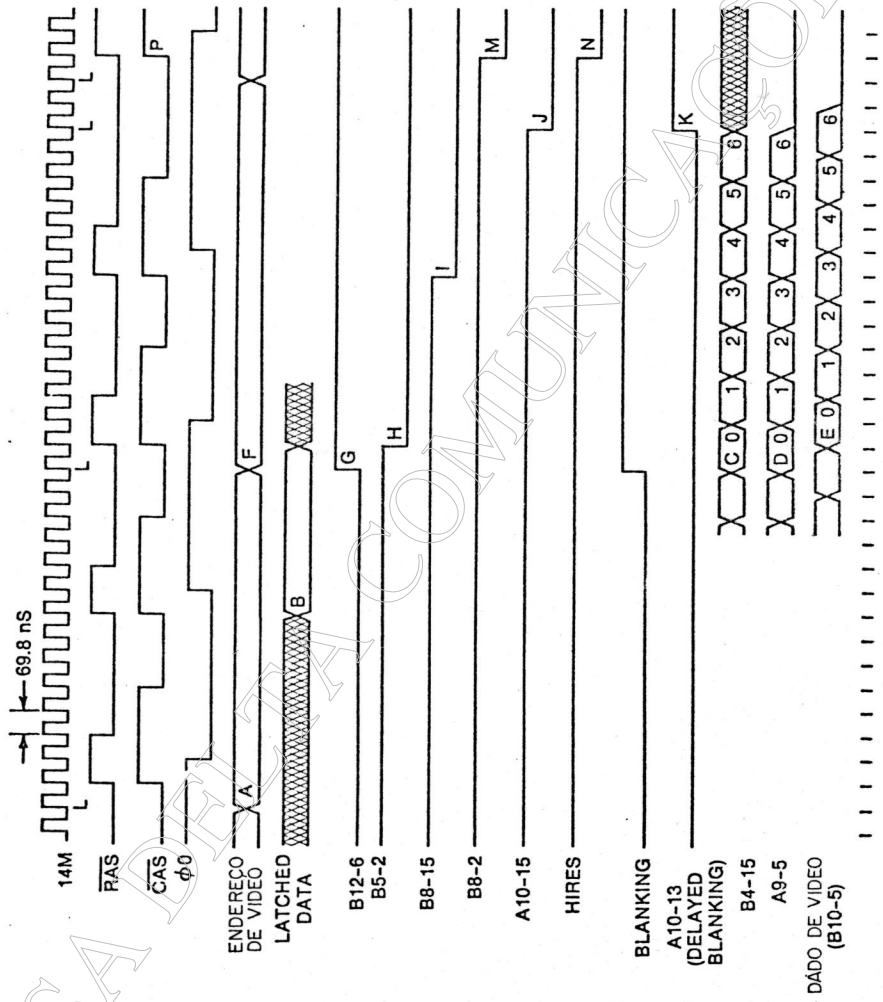


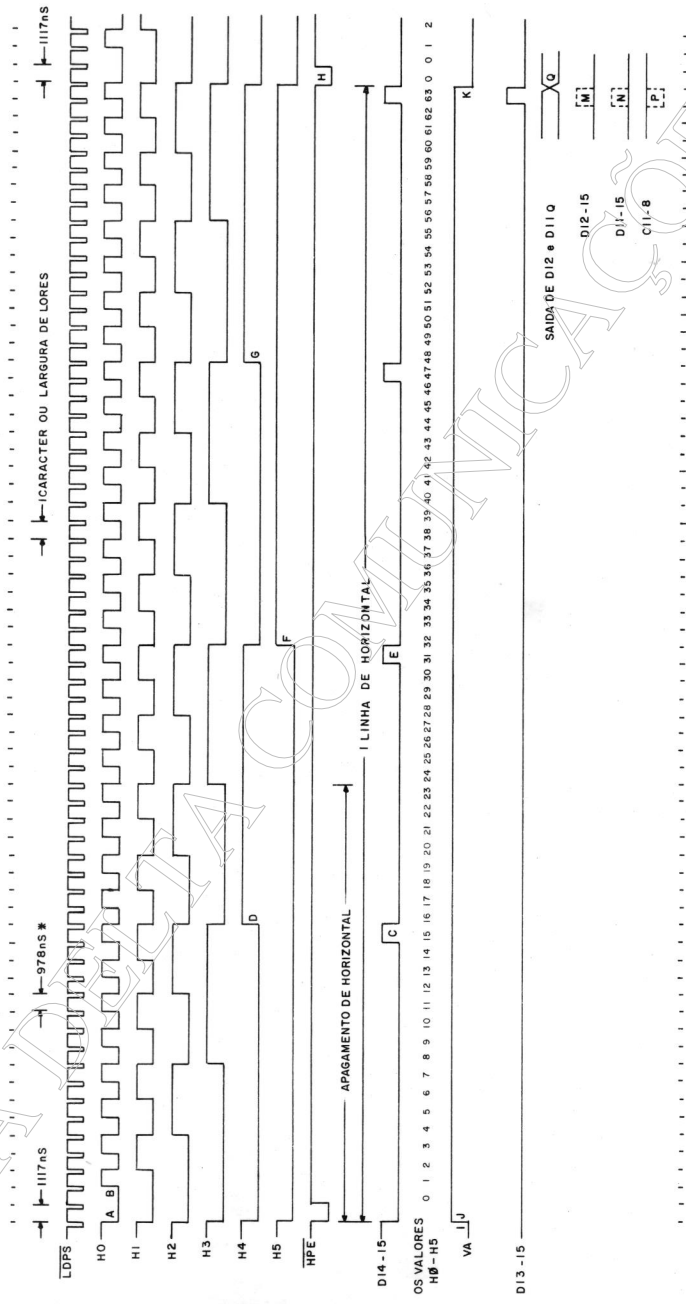
Fig. 8-33 HiRes e texto

2-8-11

PARTE III

ESQUEMAS E FORMAS DE ONDA

ASA DELTA



64 PULSOS, CICLOS LDPS DE 65 e 976ns
652 CICLOS LDPS e 1117ns
FIG. 3-4 TEMPORIZAÇÃO DE HORIZONTAL

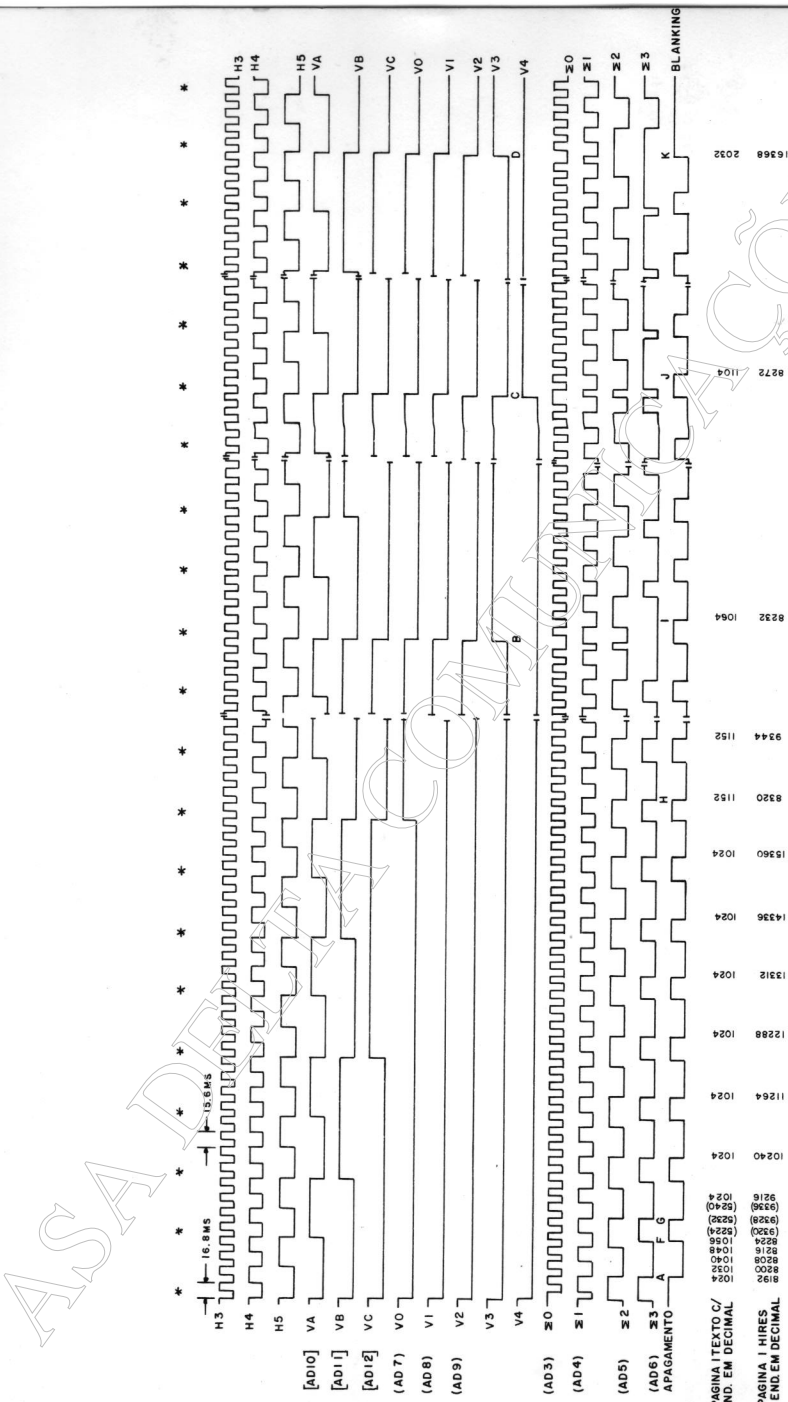


FIG. 5-8 OS SINAIS DE END. DE VIDEO

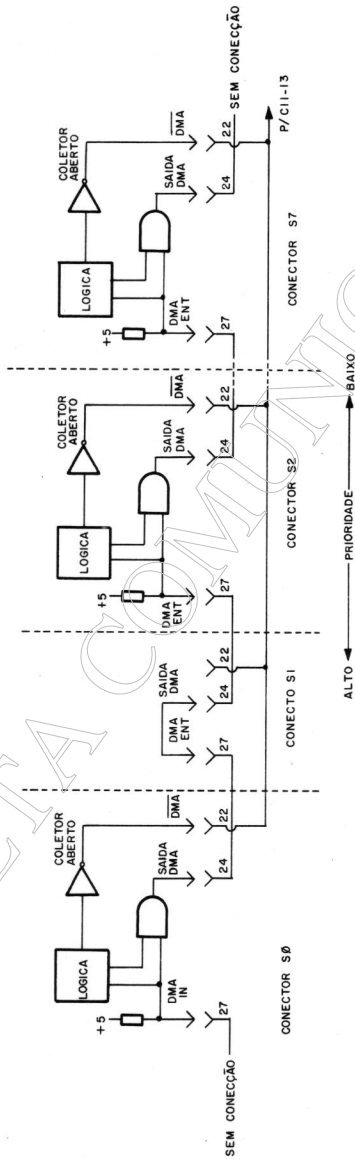


FIG. 6-11 INTERLIGAÇÃO DE DMA

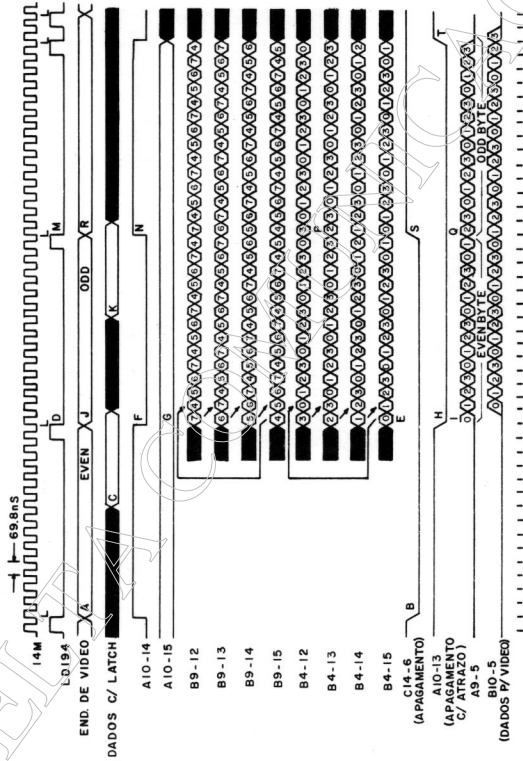


FIG. 8-31 DIAGRAMA DE TEMPO E MODO LORENS

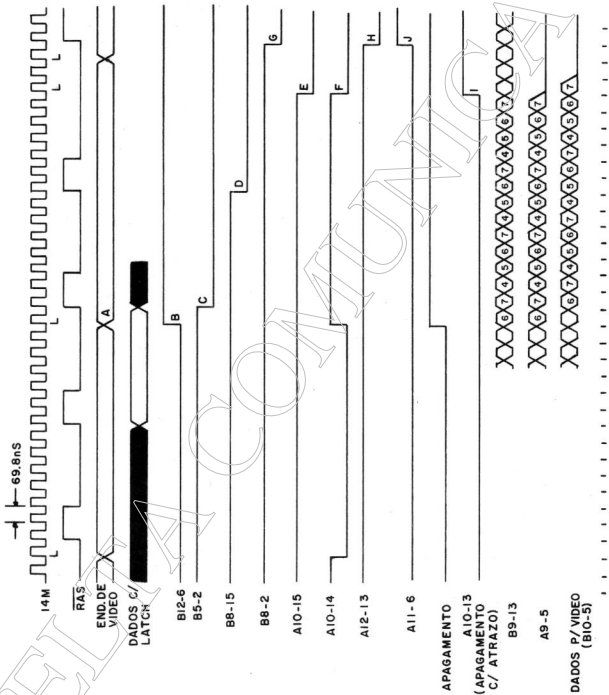


FIG. 8-34 LORES MISTO E TEXTO

ASA DELTA COMUNICAÇÕES

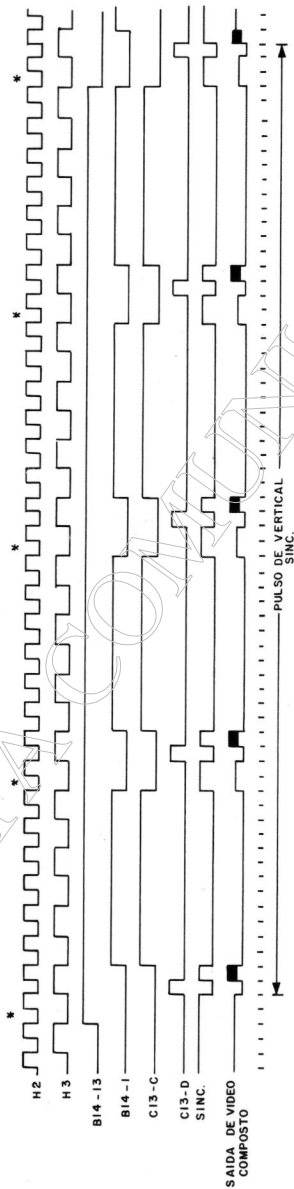


FIG. B-2 SINCROMISMO VERTICAL

CADA 1/2 DE H2 DE 168 CICLOS É 3,03 MS.
TODAS OUTRAS SAO 3,91 MS

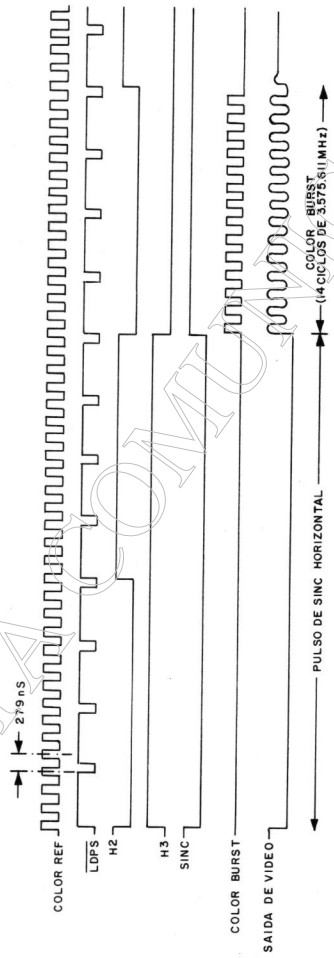
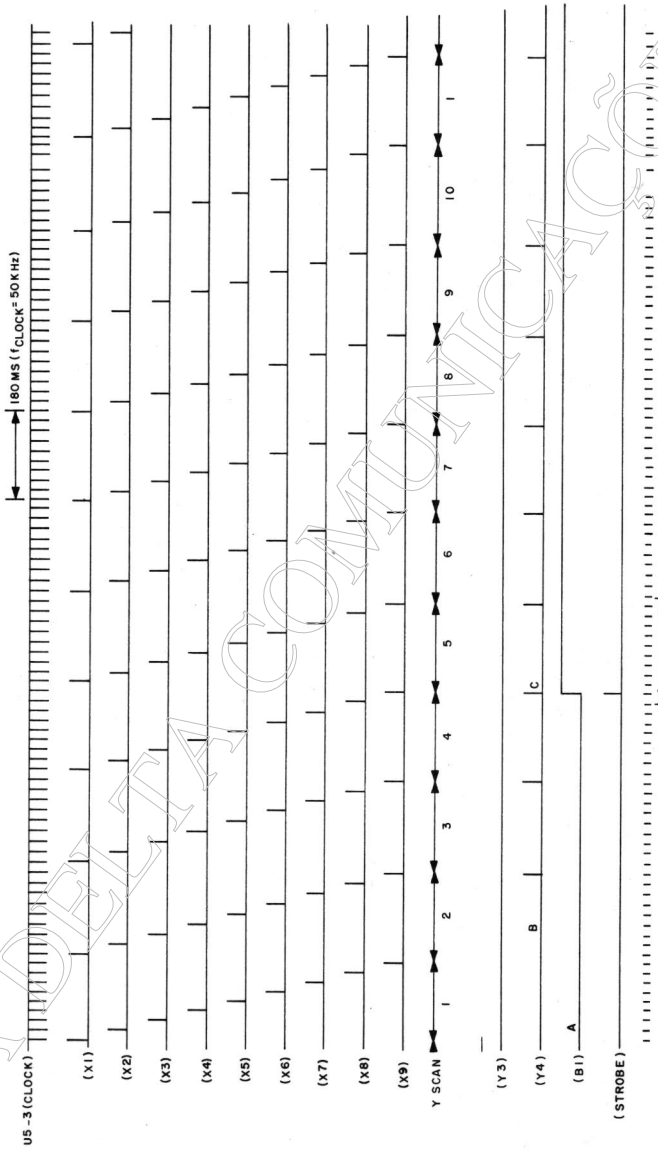


FIG. B-4 COLOR BURST



DETALHADO NA FIG. B-7
FIG. B-8

ASA DELTA

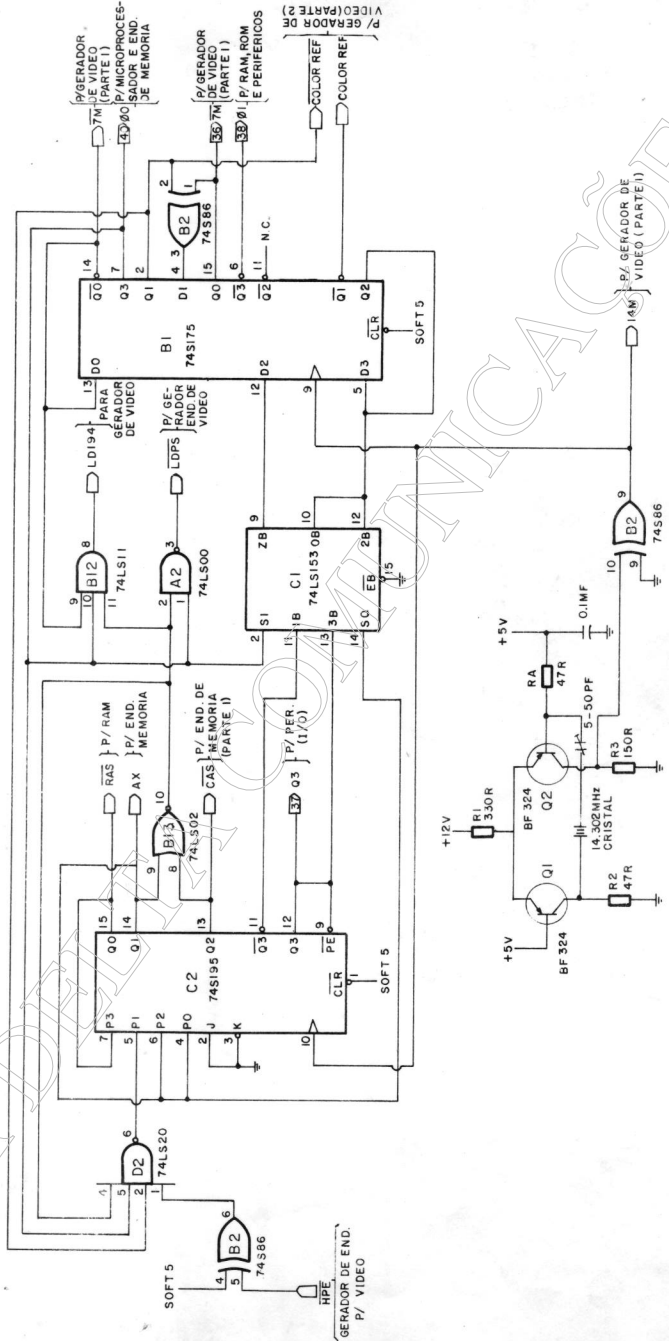


FIG. C-2 GERADOR DE CLOCK

ASA DELTA

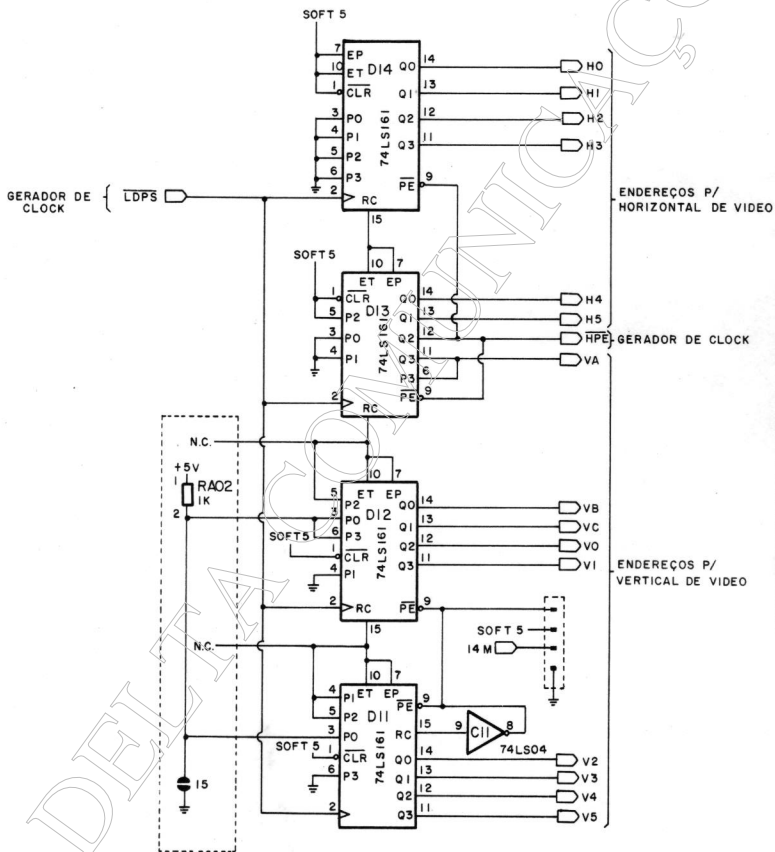


FIG. C-3 GERADOR DE ENDEREÇOS P/ VIDEO

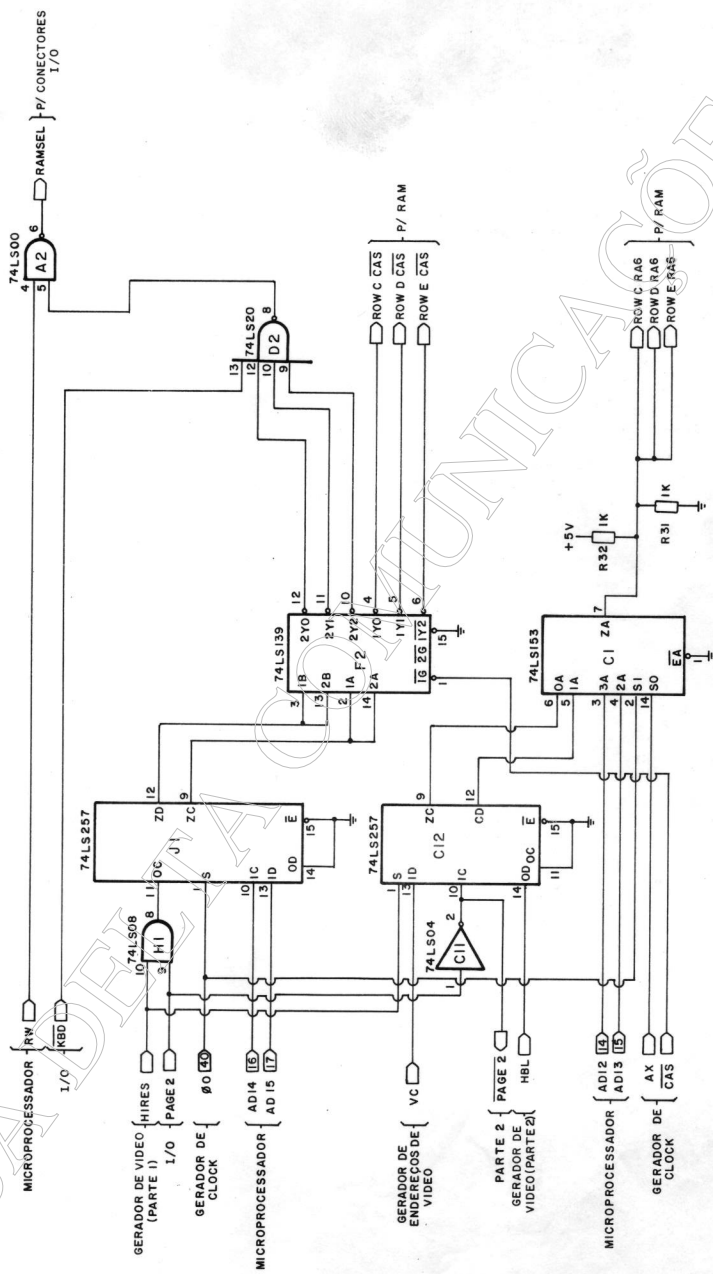


FIG. C - 5 ENDEREÇOS DE MEMORIA - PARTE I

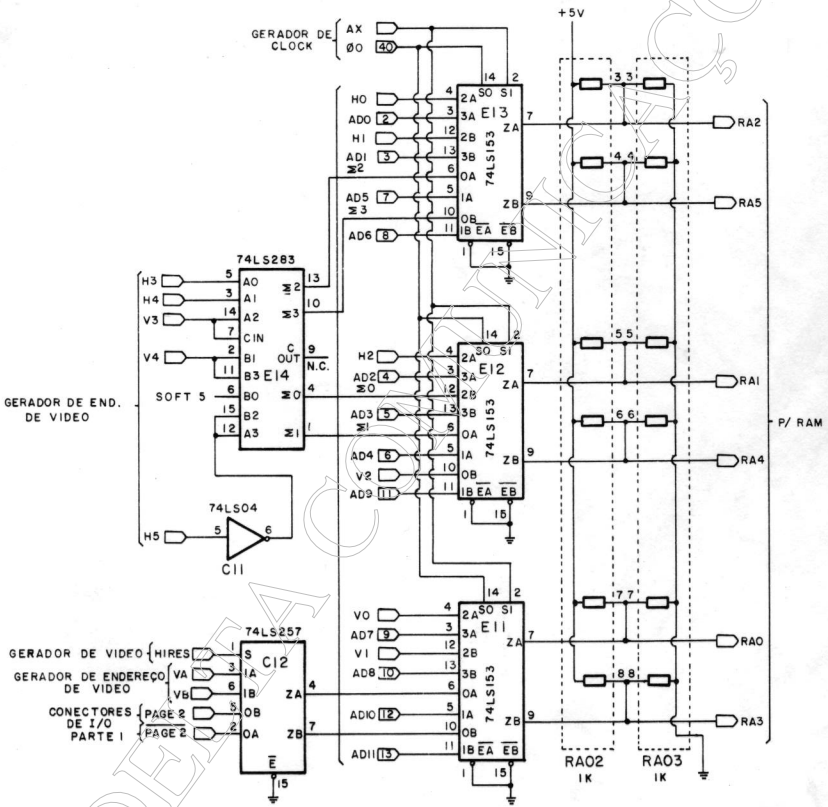


FIG. C-6 ENDECRECAMENTO DE MEMORIA

OBS:
OS SINAIS AD SÃO DESTINADO
P/ PROCESSADOR.
OS SINAIS HE V VEM DE GERADOR
DE ENDECRECAMENTO DE VIDEO.

ASA DELTA

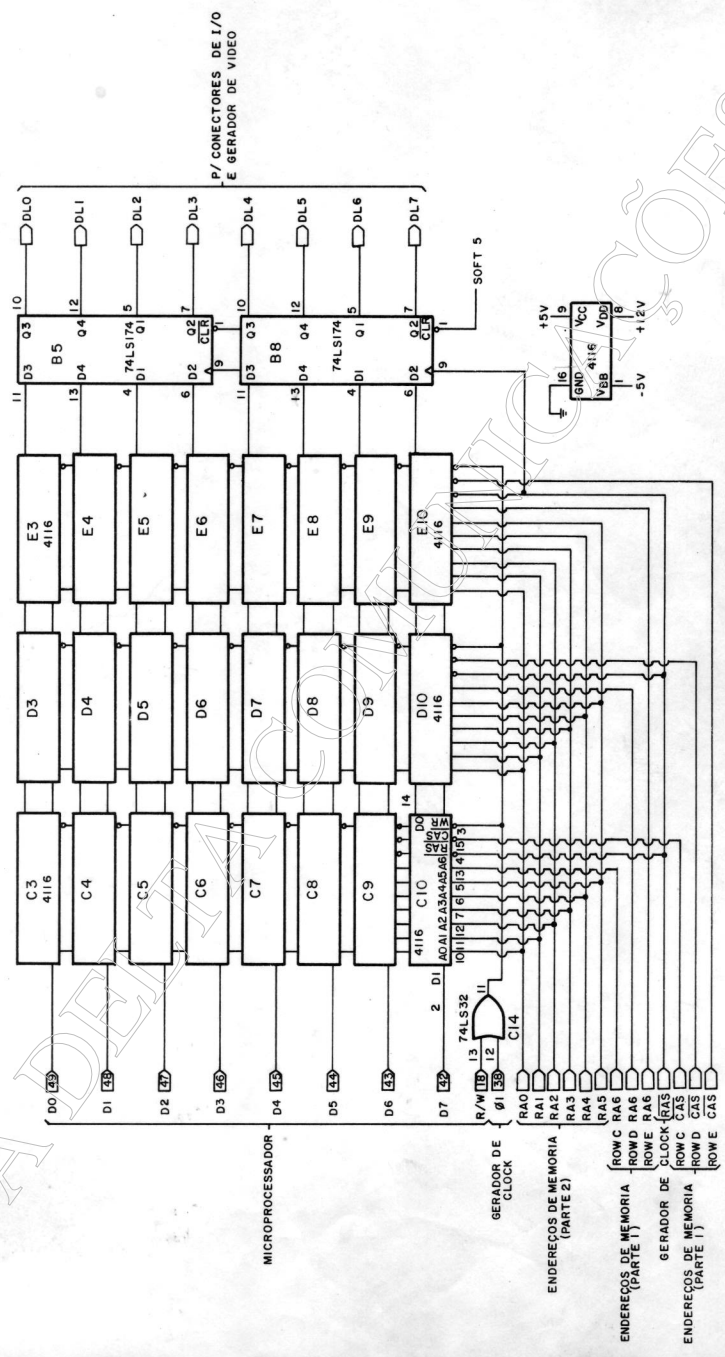


FIG. C-7 RAM

ASA DELTA

ASA

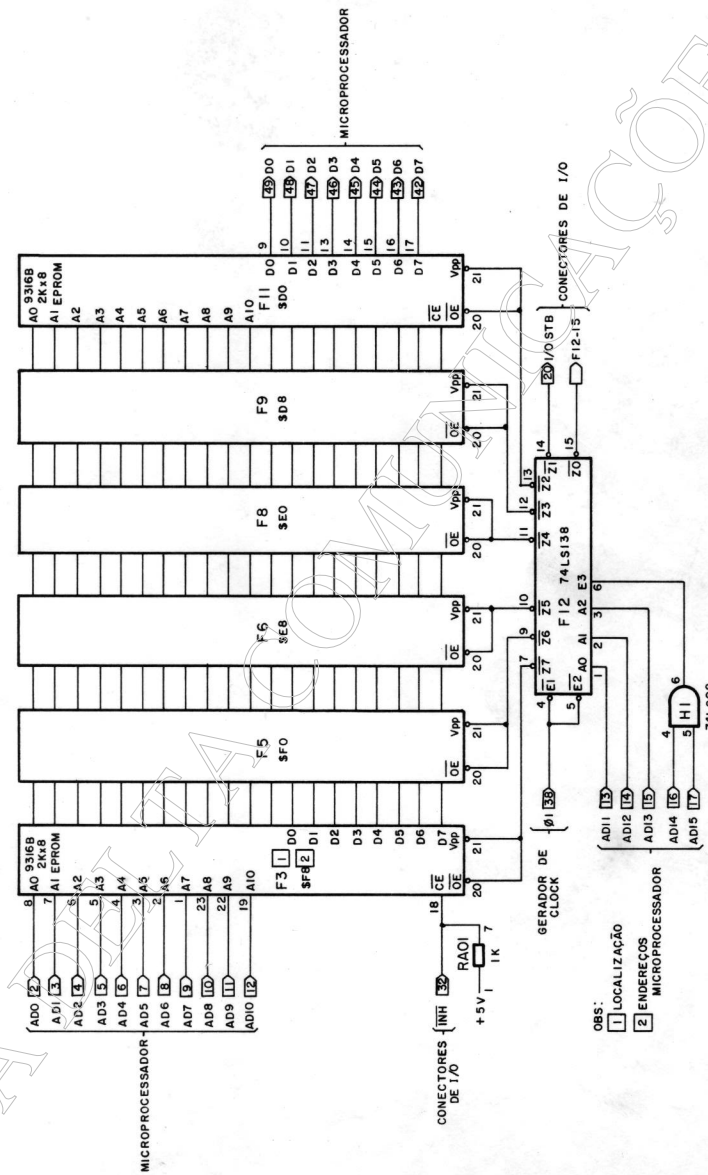


FIG. C-10 ROM

OBS:
 1 LOCALIZAÇÃO
 2 ENDEREÇOS
 MICROPROCESSADOR

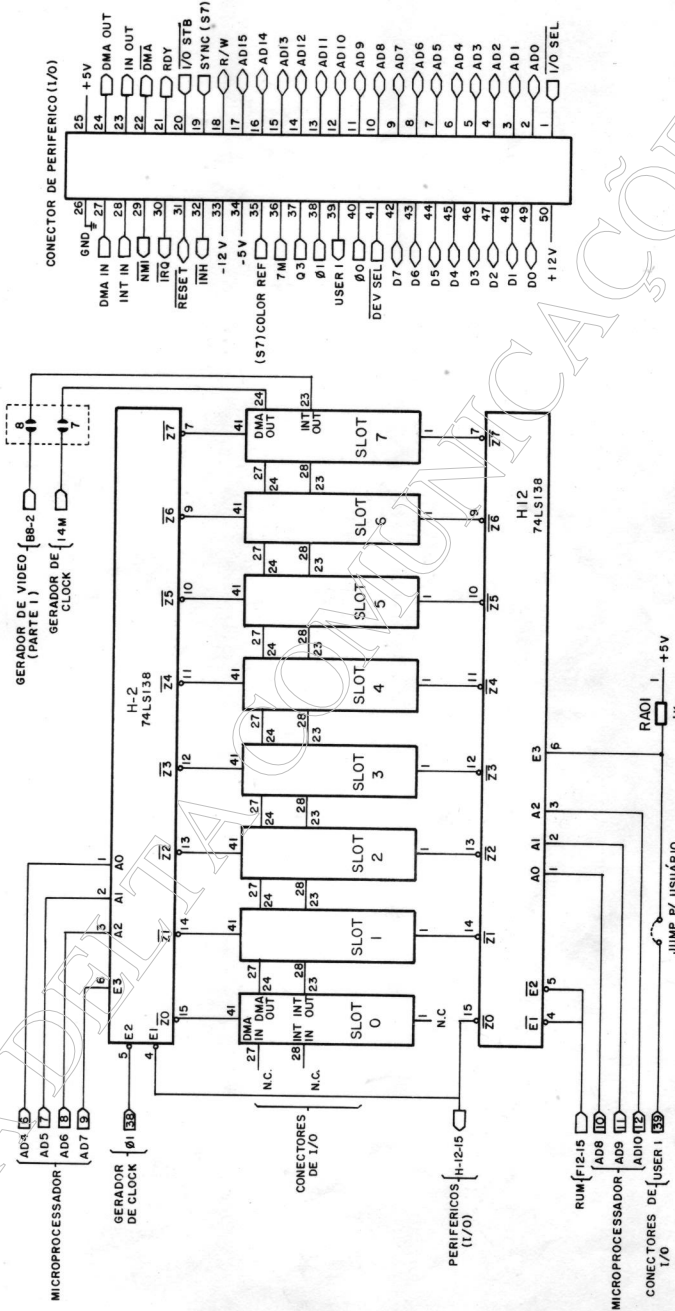
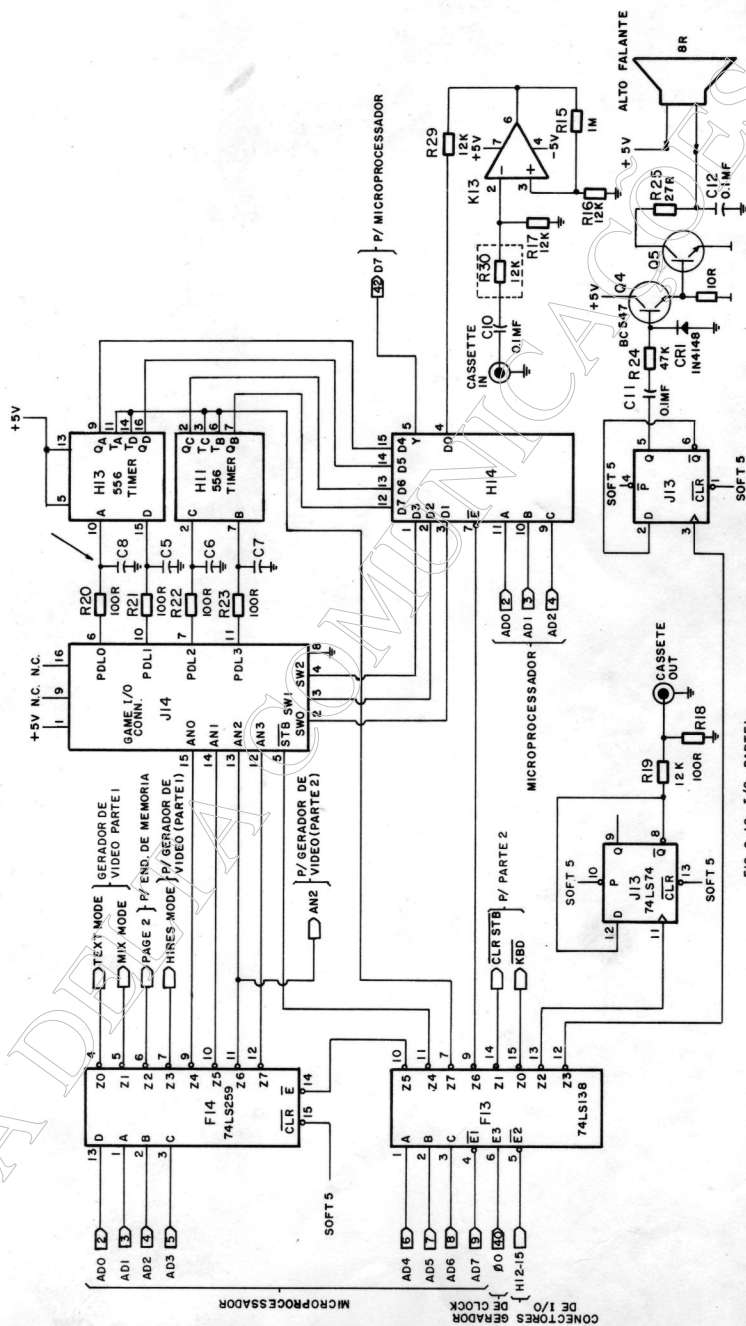


FIG. C-11 PERIFERICO (I/O)



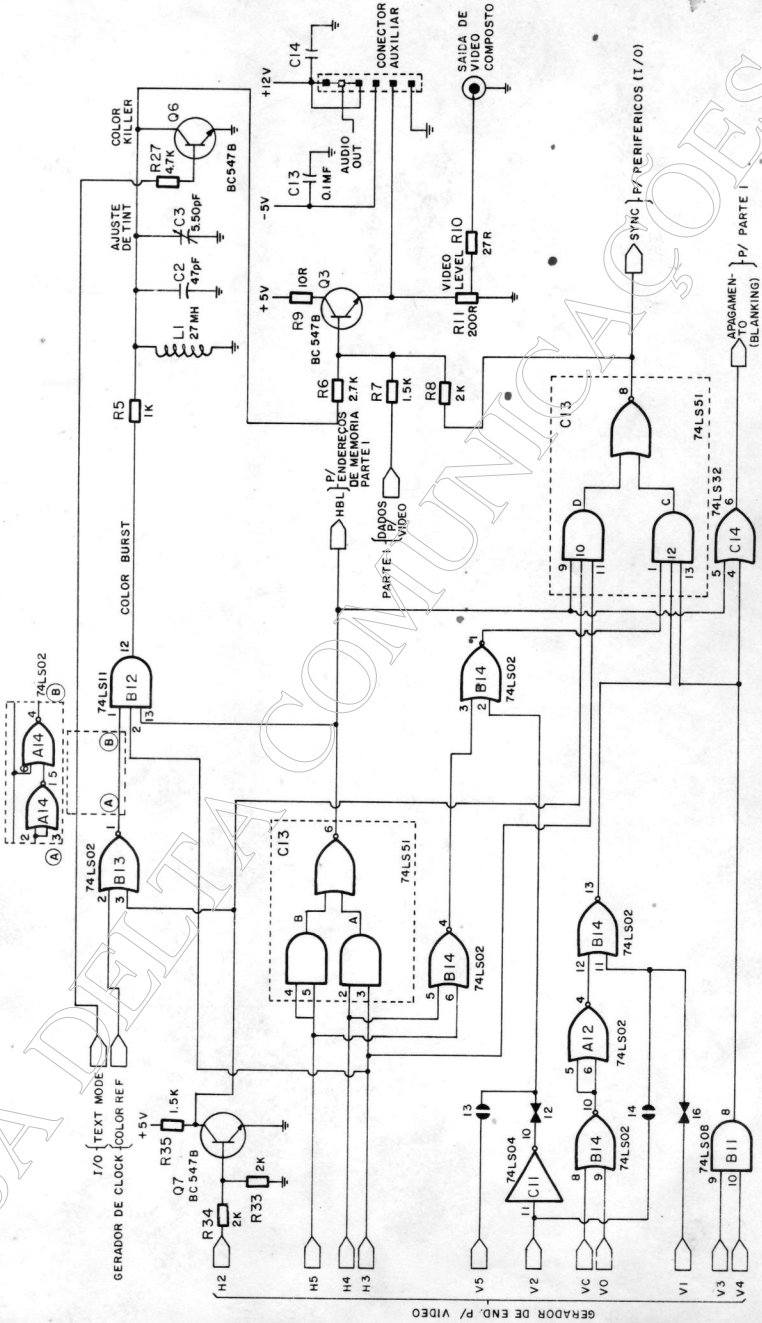


FIG. C-19 GERADOR DE VIDEO - PARTE 2

ASA DELTA COMUNICAÇÕES

MICROCRAFT Microcomputadores Ltda.

Indústria e Comércio de Equipamentos Eletrônicos

SÃO PAULO - S.P. - BRASIL



A digitalização deste manual foi realizada por **Andre Garcia Alves**, em 15 de outubro de 2024. Após perceber que esse conteúdo poderia ter se perdido para sempre, fui aconselhado a digitalizar toda a apostila e compartilhar com a nossa comunidade de retrocomputação.

Estou com esse manual desde 1989, quando tive a oportunidade de adquirir uma réplica nacional de um microcomputador compatível com a linha **APPLE II**.

Espero que seja de grande utilidade, principalmente para os técnicos-reparadores desses belíssimos equipamentos, garantindo assim a continuidade do funcionamento de todos!



ÍNDICE

➤	Introdução	2
➤	Parte 1 - Montagem	3
	• I - Montagem da CPU	5
	• II - Montagem do Teclado	13
	• III - Montagem Mecânica	18
➤	Parte 2 - Teoria e Funcionamento	19
	• Capítulo I - Introdução	20
	• Capítulo II - Diagrama de Blocos	26
	• Capítulo III - Clock & Horizontal Timing	29
	• Capítulo IV - Video Timing	37
	• Capítulo V - Sistema de Memória	41
	• Capítulo VI - 6502 e o Bus do Sistema	47
	• Capítulo VII - On Board I/O	60
	• Capítulo VIII - O Display de Vídeo	70
➤	Parte 3 - Esquemas e Formas de Onda	81

2024

ASA DELTA COMUNICAÇÕES

Paranavaí - PR (Brasil)

<https://sites.google.com/site/asadeltacomunicacoes/>

<https://linktr.ee/andretronico>