

# MANUAL DE REFERÊNCIA RÁPIDA



**Luiz Benedito Cypriano**

# Microprocessador Z80

*Luiz Benedito Cypriano*

**ANO: 1996 95 94 93 92 91**

**EDIÇÃO: 10 9 8 7 6 5 4 3 2 1**

# Z80

## Instruções em Ordem Alfabética

1

CÓDIGO OBJETO	INSTRUÇÕES	FLAGS AFETADOS						NÚMERO ESTADOS	
		S	Z	H	P/V	N	C		
8E	ADC	A, (HL)	S	Z	H	V	0	C	7
<i>DD8Eii</i>	ADC	A, (IX + ii)	S	Z	H	V	0	C	19
<i>FD8Eii</i>	ADC	A, (IY + ii)	S	Z	H	V	0	C	19
8F	ADC	A,A	S	Z	H	V	0	C	4
88	ADC	A,B	S	Z	H	V	0	C	4
89	ADC	A,C	S	Z	H	V	0	C	4
8A	ADC	A,D	S	Z	H	V	0	C	4
8B	ADC	A,E	S	Z	H	V	0	C	4
8C	ADC	A,H	S	Z	H	V	0	C	4
8D	ADC	A,L	S	Z	H	V	0	C	4
<i>CEdd</i>	ADC	A,dd	S	Z	H	V	0	C	7
ED4A	ADC	HL,BC	S	Z	H	V	0	C	15
ED5A	ADC	HL,DE	S	Z	H	V	0	C	15
ED6A	ADC	HL,HL	S	Z	H	V	0	C	15
ED7A	ADC	HL,SP	S	Z	H	V	0	C	15
86	ADD	A, (HL)	S	Z	H	V	0	C	7
<i>DD86ii</i>	ADD	A, (IX + ii)	S	Z	H	V	0	C	19
<i>FD86ii</i>	ADD	A, (IY + ii)	S	Z	H	V	0	C	19
87	ADD	A,A	S	Z	H	V	0	C	4
80	ADD	A,B	S	Z	H	V	0	C	4

**ÉRICA**

# Z80

## Instruções em Ordem Alfabética

2

81	ADD	A,C	S	Z	H	V	0	C	4
82	ADD	A,D	S	Z	H	V	0	CC	4
83	ADD	A,E	S	Z	H	V	0	CC	4
84	ADD	A,H	S	Z	H	V	0	CC	4
85	ADD	A,L	S	Z	H	V	0	CC	4
C6dd	ADD	A,dd	S	Z	H	V	0	CC	7
09	ADD	HL,BC	-	-	X	-	0	CC	11
19	ADD	HL,DE	-	-	X	-	0	CC	11
29	ADD	HL,HL	-	-	X	-	0	CC	11
39	ADD	HL,SP	-	-	X	-	0	CC	11
DD09	ADD	IX,BC	-	-	X	-	0	CC	15
DD19	ADD	IX,DE	-	-	X	-	0	CC	15
DD29	ADD	IX,IX	-	-	X	-	0	CC	15
DD39	ADD	IX,SP	-	-	X	-	0	CC	15
FD09	ADD	IY,BC	-	-	X	-	0	C	15
FD19	ADD	IY,DE	-	-	X	-	0	CC	15
FD29	ADD	IY,IY	-	-	X	-	0	CC	15
FD39	ADD	IY,SP	-	-	X	-	0	C	15
A6	AND	(HL)	S	Z	1	P	0	0	7
DDA6ii	AND	(IX + ii)	S	Z	1	P	0	0	19
FDA6ii	AND	(IY + ii)	S	Z	1	P	0	0	19
A7	AND	A	S	Z	1	P	0	0	4
A0	AND	B	S	Z	1	P	0	0	4

# Z80

## Instruções em Ordem Alfabética

3

A1	AND	C	S	Z	1	P	0	0	4
A2	AND	D	S	Z	1	P	0	0	4
A3	AND	E	S	Z	1	P	0	0	4
A4	AND	H	S	Z	1	P	0	0	4
A5	AND	L	S	Z	1	P	0	0	4
E6dd	AND	dd	S	Z	1	P	0	0	7
CB46	BIT	0,(HL)	X	Z	1	X	0	-	12
DDCBii46	BIT	0,(IX + ii)	X	Z	1	X	0	-	20
FDCBii46	BIT	0,(IY + ii)	X	Z	1	X	0	-	20
CB47	BIT	0,A	X	Z	1	X	0	-	8
CB40	BIT	0,B	X	Z	1	X	0	-	8
CB41	BIT	0,C	X	Z	1	X	0	-	8
CB42	BIT	0,D	X	Z	1	X	0	-	8
CB43	BIT	0,E	X	Z	1	X	0	-	8
CB44	BIT	0,H	X	Z	1	X	0	-	8
CB45	BIT	0,L	X	Z	1	X	0	-	8
CB4E	BIT	1,(HL)	X	Z	1	X	0	-	12
DDCBii4E	BIT	1,(IX + ii)	X	Z	1	X	0	-	20
FDCBii4E	BIT	1,(IY + ii)	X	Z	1	X	0	-	20
CB4F	BIT	1,A	X	Z	1	X	0	-	8
CB48	BIT	1,B	X	Z	1	X	0	-	8
CB49	BIT	1,C	X	Z	1	X	0	-	8
CB4A	BIT	1,D	X	Z	1	X	0	-	8

# Z80

## Instruções em Ordem Alfabética

4

CB4B	BIT	1,E	X	Z	1	X	0	-	8
CB4C	BIT	1,H	X	Z	1	X	0	-	8
CB4D	BIT	1,L	X	Z	1	X	0	-	8
CB56	BIT	2,(HL)	X	Z	1	X	0	-	12
DDCBii56	BIT	2,(IX + ii)	X	Z	1	X	0	-	20
FDCBii56	BIT	2,(IY + ii)	X	Z	1	X	0	-	20
CB57	BIT	2,A	X	Z	1	X	0	-	8
CB50	BIT	2,B	X	Z	1	X	0	-	8
CB51	BIT	2,C	X	Z	1	X	0	-	8
CB52	BIT	2,D	X	Z	1	X	0	-	8
CB53	BIT	2,E	X	Z	1	X	0	-	8
CB54	BIT	2,H	X	Z	1	X	0	-	8
CB55	BIT	2,L	X	Z	1	X	0	-	8
CB5E	BIT	3,(HL)	X	Z	1	X	0	-	12
DDCBii5E	BIT	3,(IX + ii)	X	Z	1	X	0	-	20
FDCBii5E	BIT	3,(IY + ii)	X	Z	1	X	0	-	20
CB5F	BIT	3,A	X	Z	1	X	0	-	8
CB58	BIT	3,B	X	Z	1	X	0	-	8
CB59	BIT	3,C	X	Z	1	X	0	-	8
CB5A	BIT	3,D	X	Z	1	X	0	-	8
CB5B	BIT	3,E	X	Z	1	X	0	-	8
CB5C	BIT	3,H	X	Z	1	X	0	-	8
CB5D	BIT	3,L	X	Z	1	X	0	-	8

**ÉRICA**

# Z80

## Instruções em Ordem Alfabética

5

CB66	BIT	4,(HL)	X	Z	1	X	0	-	12
DDCBii66	BIT	4,(IX + ii)	X	Z	1	X	0	-	20
FDCBii66	BIT	4,(IY + ii)	X	Z	1	X	0	-	20
CB67	BIT	4,A	X	Z	1	X	0	-	8
CB60	BIT	4,B	X	Z	1	X	0	-	8
CB61	BIT	4,C	X	Z	1	X	0	-	8
CB62	BIT	4,D	X	Z	1	X	0	-	8
CB63	BIT	4,E	X	Z	1	X	0	-	8
CB64	BIT	4,H	X	Z	1	X	0	-	8
CB65	BIT	4,L	X	Z	1	X	0	-	8
CB6E	BIT	5,(HL)	X	Z	1	X	0	-	12
DDCBii6E	BIT	5,(IX + ii)	X	Z	1	X	0	-	20
FDCBii6E	BIT	5,(IY + ii)	X	Z	1	X	0	-	20
CB6F	BIT	5,A	X	Z	1	X	0	-	8
CB68	BIT	5,B	X	Z	1	X	0	-	8
CB69	BIT	5,C	X	Z	1	X	0	-	8
CB6A	BIT	5,D	X	Z	1	X	0	-	8
CB6B	BIT	5,E	X	Z	1	X	0	-	8
CB6C	BIT	5,H	X	Z	1	X	0	-	8
CB6D	BIT	5,L	X	Z	1	X	0	-	8
CB76	BIT	6,(HL)	X	Z	1	X	0	-	12
DDCBii76	BIT	6,(IX + ii)	X	Z	1	X	0	-	20
FDCBii76	BIT	6,(IY + ii)	X	Z	1	X	0	-	20

# Z80

## Instruções em Ordem Alfabética

6

CB77	BIT	6,A	X	Z	1	X	0	-	8
CB70	BIT	6,B	X	Z	1	X	0	-	8
CB71	BIT	6,C	X	Z	1	X	0	-	8
CB72	BIT	6,D	X	Z	1	X	0	-	8
CB73	BIT	6,E	X	Z	1	X	0	-	8
CB74	BIT	6,H	X	Z	1	X	0	-	8
CB75	BIT	6,L	X	Z	1	X	0	-	8
CB7E	BIT	7,(HL)	X	Z	1	X	0	-	8
DDCBii7E	BIT	7,(IX + ii)	X	Z	1	X	0	-	12
FDCBii7E	BIT	7,(IY + ii)	X	Z	1	X	0	-	20
CB7F	BIT	7,A	X	Z	1	X	0	-	20
CB78	BIT	7,B	X	Z	1	X	0	-	8
CB79	BIT	7,C	X	Z	1	X	0	-	8
CB7A	BIT	7,D	X	Z	1	X	0	-	8
CB7B	BIT	7,E	X	Z	1	X	0	-	8
CB7C	BIT	7,H	X	Z	1	X	0	-	8
CB7D	BIT	7,L	X	Z	1	X	0	-	8
DCppqq	CALL	C,qqpp	-	-	-	-	-	-	10/17
FCppqq	CALL	M,qqpp	-	-	-	-	-	-	10/17
D4ppqq	CALL	NC,qqpp	-	-	-	-	-	-	10/17
CDppqq	CALL	qqpp	-	-	-	-	-	-	17
C4ppqq	CALL	NZ,qqpp	-	-	-	-	-	-	10/17
F4ppqq	CALL	P,qqpp	-	-	-	-	-	-	10/17



# Z80

## Instruções em Ordem Alfabética

7

<i>ECppqq</i>	<b>CALL</b>	<b>PE,qqpp</b>	-	-	-	-	-	-	10/17
<i>E4ppqq</i>	<b>CALL</b>	<b>PO,qqpp</b>	-	-	-	-	-	-	10/17
<i>CCppqq</i>	<b>CALL</b>	<b>Z,qqpp</b>	-	-	-	-	-	-	10/17
<i>3F</i>	<b>CCF</b>		-	-	H	-	0	C	4
<i>BE</i>	<b>CP</b>	<b>(HL)</b>	S	Z	H	V	1	C	7
<i>DDBEii</i>	<b>CP</b>	<b>(IX + ii)</b>	S	Z	H	V	1	C	19
<i>FDBEii</i>	<b>CP</b>	<b>(IY + ii)</b>	S	Z	H	V	1	C	19
<i>BF</i>	<b>CP</b>	<b>A</b>	S	Z	H	V	1	C	4
<i>B8</i>	<b>CP</b>	<b>B</b>	S	Z	H	V	1	C	4
<i>B9</i>	<b>CP</b>	<b>C</b>	S	Z	H	V	1	C	4
<i>BA</i>	<b>CP</b>	<b>D</b>	S	Z	H	V	1	C	4
<i>BB</i>	<b>CP</b>	<b>E</b>	S	Z	H	V	1	C	4
<i>BC</i>	<b>CP</b>	<b>H</b>	S	Z	H	V	1	C	4
<i>BD</i>	<b>CP</b>	<b>L</b>	S	Z	H	V	1	C	4
<i>FEdd</i>	<b>CP</b>	<b>dd</b>	S	Z	H	V	1	C	7
<i>EDA9</i>	<b>CPD</b>		S	Z	H	P/V	1	-	16
<i>EDB9</i>	<b>CPDR</b>		S	Z	H	P/V	1	-	16/21
<i>EDA1</i>	<b>CPI</b>		S	Z	H	P/V	1	-	16
<i>EDB1</i>	<b>CPIR</b>		S	Z	H	P/V	1	-	16/21
<i>2F</i>	<b>CPL</b>		-	-	1	-	1	-	4
<i>27</i>	<b>DAA</b>		S	Z	H	P	-	C	4
<i>35</i>	<b>DEC</b>	<b>(HL)</b>	S	Z	H	V	1	-	11
<i>DD35ii</i>	<b>DEC</b>	<b>(IX + ii)</b>	S	Z	H	V	1	-	23

# Z80

## Instruções em Ordem Alfabética

8

<i>FD35ii</i>	DEC	(IY + ii)	S	Z	H	V	1	-	23
<i>3D</i>	DEC	A	S	Z	H	V	1	-	4
<i>05</i>	DEC	B	S	Z	H	V	1	-	4
<i>0B</i>	DEC	BC	-	-	-	-	-	-	6
<i>0D</i>	DEC	C	S	Z	H	V	1	-	4
<i>15</i>	DEC	D	S	Z	H	V	1	-	4
<i>1B</i>	DEC	DE	-	-	-	-	-	-	6
<i>1D</i>	DEC	E	S	Z	H	V	1	-	4
<i>25</i>	DEC	H	S	Z	H	V	1	-	4
<i>2B</i>	DEC	HL	-	-	-	-	-	-	6
<i>DD2B</i>	DEC	IX	S	Z	H	V	1	-	10
<i>FD2B</i>	DEC	IY	S	Z	H	V	1	-	10
<i>2D</i>	DEC	L	S	Z	H	V	1	-	4
<i>3B</i>	DEC	SP	-	-	-	-	-	-	6
<i>F3</i>	DI		-	-	-	-	-	-	4
<i>10ee</i>	DJNZ	ee	-	-	-	-	-	-	8/13
<i>FB</i>	EI		-	-	-	-	-	-	4
<i>E3</i>	EX	(SP),HL	-	-	-	-	-	-	19
<i>DDE3</i>	EX	(SP),IX	-	-	-	-	-	-	23
<i>FDE3</i>	EX	(SP),IY	-	-	-	-	-	-	23
<i>08</i>	EX	AF,AF'	S	Z	H	P/V	N	C	4
<i>EB</i>	EX	DE,HL	-	-	-	-	-	-	4
<i>D9</i>	EXX		-	-	-	-	-	-	4

# Z80

## Instruções em Ordem Alfabética

76	HALT	-	-	-	-	-	-	4
ED46	IM	0	-	-	-	-	-	8
ED56	IM	1	-	-	-	-	-	8
ED5E	IM	2	-	-	-	-	-	8
ED78	IN	A, (C)	S	Z	H	P	0	12
DBqq	IN	A, (qq)	-	-	-	-	-	11
ED40	IN	B, (C)	S	Z	H	P	0	12
ED48	IN	C, (C)	S	Z	H	P	0	12
ED50	IN	D, (C)	S	Z	H	P	0	12
ED58	IN	E, (C)	S	Z	H	P	0	12
ED60	IN	H, (C)	S	Z	H	P	0	12
ED68	IN	L, (C)	S	Z	H	P	0	12
34	INC	(HL)	S	Z	H	P	0	11
DD34ii	INC	(IX + ii)	S	Z	H	P	0	23
FD35ii	INC	(IY + ii)	S	Z	H	P	0	23
3C	INC	A	S	Z	H	V	0	4
04	INC	B	S	Z	H	V	0	4
03	INC	BC	-	-	-	-	-	6
0C	INC	C	S	Z	H	V	0	4
14	INC	D	S	Z	H	V	0	4
13	INC	DE	-	-	-	-	-	6
1C	INC	E	S	Z	H	V	0	4
24	INC	H	S	Z	H	V	0	4

# Z80

## Instruções em Ordem Alfabética

10

23	INC	HL	-	-	-	-	-	-	6
DD23	INC	IX	-	-	-	-	-	-	10
FD23	INC	IY	-	-	-	-	-	-	10
2C	INC	L	S	Z	H	V	0	-	4
33	INC	SP	-	-	-	-	-	-	6
EDAA	IND		X	Z	X	X	1	X	15
EDBA	INDR		X	1	X	X	1	X	16/21
EDA2	INI		X	Z	X	X	1	X	15
EDB2	INIR		X	1	X	X	1	X	16/21
E9	JP	(HL)	-	-	-	-	-	-	4
DDE9	JP	(IX)	-	-	-	-	-	-	8
FDE9	JP	(IY)	-	-	-	-	-	-	8
DAppqq	JP	C,qqpp	-	-	-	-	-	-	10
FAppqq	JP	M,qqpp	-	-	-	-	-	-	10
D2ppqq	JP	NC,qqpp	-	-	-	-	-	-	10
C3ppqq	JP	qqpp	-	-	-	-	-	-	10
C2ppqq	JP	NZ,qqpp	-	-	-	-	-	-	10
F2ppqq	JP	P,qqpp	-	-	-	-	-	-	10
EAppqq	JP	PE,qqpp	-	-	-	-	-	-	10
E2ppqq	JP	PO,qqpp	-	-	-	-	-	-	10
38ee	JR	C,ee	-	-	-	-	-	-	7/12
18ee	JR	ee	-	-	-	-	-	-	12
30ee	JR	NC,ee	-	-	-	-	-	-	7/12

# Z80

## Instruções em Ordem Alfabética

11

20ee	JR	NZ,ee	-	-	-	-	-	-	7/12
28ee	JR	Z,ee	-	-	-	-	-	-	7/12
02	LD	(BC),A	-	-	-	-	-	-	7
12	LD	(DE),A	-	-	-	-	-	-	7
77	LD	(HL),A	-	-	-	-	-	-	7
70	LD	(HL),B	-	-	-	-	-	-	7
71	LD	(HL),C	-	-	-	-	-	-	7
72	LD	(HL),D	-	-	-	-	-	-	7
73	LD	(HL),E	-	-	-	-	-	-	7
74	LD	(HL),H	-	-	-	-	-	-	7
75	LD	(HL),L	-	-	-	-	-	-	7
36bbdd	LD	(HL),ddb	-	-	-	-	-	-	7
DD77ii	LD	(IX + ii),A	-	-	-	-	-	-	19
DD70ii	LD	(IX + ii),B	-	-	-	-	-	-	19
DD71ii	LD	(IX + ii),C	-	-	-	-	-	-	19
DD72ii	LD	(IX + ii),D	-	-	-	-	-	-	19
DD73ii	LD	(IX + ii),E	-	-	-	-	-	-	19
DD74ii	LD	(IX + ii),H	-	-	-	-	-	-	19
DD75ii	LD	(IX + ii),L	-	-	-	-	-	-	19
DD36iidd	LD	(IX + ii),dd	-	-	-	-	-	-	19
FD77ii	LD	(IY + ii),A	-	-	-	-	-	-	19
FD70ii	LD	(IY + ii),B	-	-	-	-	-	-	19
FD71ii	LD	(IY + ii),C	-	-	-	-	-	-	19

# Z80

## Instruções em Ordem Alfabética

12

<i>FD72ii</i>	LD	(IY + ii),D	-	-	-	-	-	-	19
<i>FD73ii</i>	LD	(IY + ii),E	-	-	-	-	-	-	19
<i>FD74ii</i>	LD	(IY + ii),H	-	-	-	-	-	-	19
<i>FD75ii</i>	LD	(IY + ii),L	-	-	-	-	-	-	19
<i>FD36iidd</i>	LD	(IY + ii),dd	-	-	-	-	-	-	19
<i>32ppqq</i>	LD	(qqpp),A	-	-	-	-	-	-	13
<i>ED43ppqq</i>	LD	(qqpp),BC	-	-	-	-	-	-	20
<i>ED53ppqq</i>	LD	(qqpp),DE	-	-	-	-	-	-	20
<i>22ppqq</i>	LD	(qqpp),HL	-	-	-	-	-	-	16
<i>DD22ppqq</i>	LD	(qqpp),IX	-	-	-	-	-	-	20
<i>FD22ppqq</i>	LD	(qqpp),IY	-	-	-	-	-	-	20
<i>ED73ppqq</i>	LD	(qqpp),SP	-	-	-	-	-	-	20
<i>0A</i>	LD	A,(BC)	-	-	-	-	-	-	7
<i>1A</i>	LD	A,(DE)	-	-	-	-	-	-	7
<i>7E</i>	LD	A,(HL)	-	-	-	-	-	-	7
<i>DD7Eii</i>	LD	A,(IX + ii)	-	-	-	-	-	-	19
<i>FD7Eii</i>	LD	A,(IY + ii)	-	-	-	-	-	-	19
<i>3Appqq</i>	LD	A,(qqpp)	-	-	-	-	-	-	13
<i>7F</i>	LD	A,A	-	-	-	-	-	-	4
<i>78</i>	LD	A,B	-	-	-	-	-	-	4
<i>79</i>	LD	A,C	-	-	-	-	-	-	4
<i>7A</i>	LD	A,D	-	-	-	-	-	-	4
<i>7B</i>	LD	A,E	-	-	-	-	-	-	4

# Z80

## Instruções em Ordem Alfabética

13

7C	LD	A,H	-	-	-	-	-	-	4
ED57	LD	A,I	-	-	-	-	-	-	9
7D	LD	A,L	-	-	-	-	-	-	4
ED5F	LD	A,R	-	-	-	-	-	-	9
3Edd	LD	A,dd	-	-	-	-	-	-	7
46	LD	B,(HL)	-	-	-	-	-	-	7
DD46ii	LD	B,(IX + ii)	-	-	-	-	-	-	19
FD46ii	LD	B,(IY + ii)	-	-	-	-	-	-	19
47	LD	B,A	-	-	-	-	-	-	4
40	LD	B,B	-	-	-	-	-	-	4
41	LD	B,C	-	-	-	-	-	-	4
42	LD	B,D	-	-	-	-	-	-	4
43	LD	B,E	-	-	-	-	-	-	4
44	LD	B,H	-	-	-	-	-	-	4
45	LD	B,L	-	-	-	-	-	-	4
06dd	LD	B,dd	-	-	-	-	-	-	7
ED4Bppqq	LD	BC,(qqpp)	-	-	-	-	-	-	20
01bbdd	LD	BC,ddb	-	-	-	-	-	-	10
4E	LD	C,(HL)	-	-	-	-	-	-	7
DD4Eii	LD	C,(IX + ii)	-	-	-	-	-	-	19
FD4Eii	LD	C,(IY + ii)	-	-	-	-	-	-	19
4F	LD	C,A	-	-	-	-	-	-	4
48	LD	C,B	-	-	-	-	-	-	4

**ÉRICA**

# Z80

## Instruções em Ordem Alfabética

14

49	LD	C,C	-	-	-	-	-	4
4A	LD	C,D	-	-	-	-	-	4
4B	LD	C,E	-	-	-	-	-	4
4C	LD	C,H	-	-	-	-	-	4
4D	LD	C,L	-	-	-	-	-	4
0Edd	LD	C,dd	-	-	-	-	-	7
56	LD	D,(HL)	-	-	-	-	-	7
DD56ii	LD	D,(IX + ii)	-	-	-	-	-	19
FD56ii	LD	D,(IY + ii)	-	-	-	-	-	19
57	LD	D,A	-	-	-	-	-	4
50	LD	D,B	-	-	-	-	-	4
51	LD	D,C	-	-	-	-	-	4
52	LD	D,D	-	-	-	-	-	4
53	LD	D,E	-	-	-	-	-	4
54	LD	D,H	-	-	-	-	-	4
55	LD	D,L	-	-	-	-	-	4
16dd	LD	D,dd	-	-	-	-	-	7
ED5Bppqq	LD	DE,(qqpp)	-	-	-	-	-	20
11bbdd	LD	DE,ddb	-	-	-	-	-	10
5E	LD	E,(HL)	-	-	-	-	-	7
DD5Eii	LD	E,(IX + ii)	-	-	-	-	-	19
FD5Eii	LD	E,(IY + ii)	-	-	-	-	-	19
5F	LD	E,A	-	-	-	-	-	4



# Z80

## Instruções em Ordem Alfabética

15

58	LD	E,B	-	-	-	-	-	-	4
59	LD	E,C	-	-	-	-	-	-	4
5A	LD	E,D	-	-	-	-	-	-	4
5B	LD	E,E	-	-	-	-	-	-	4
5C	LD	E,H	-	-	-	-	-	-	4
5D	LD	E,L	-	-	-	-	-	-	4
1Edd	LD	E,dd	-	-	-	-	-	-	7
66	LD	H,(HL)	-	-	-	-	-	-	7
DD66ii	LD	H,(IX + ii)	-	-	-	-	-	-	19
FD66ii	LD	H,(IY + ii)	-	-	-	-	-	-	19
67	LD	H,A	-	-	-	-	-	-	4
60	LD	H,B	-	-	-	-	-	-	4
61	LD	H,C	-	-	-	-	-	-	4
62	LD	H,D	-	-	-	-	-	-	4
63	LD	H,E	-	-	-	-	-	-	4
64	LD	H,H	-	-	-	-	-	-	4
65	LD	H,L	-	-	-	-	-	-	4
26dd	LD	H,dd	-	-	-	-	-	-	7
2Appqq	LD	HL,(qqpp)	-	-	-	-	-	-	20
21bbdd	LD	HL,ddb	-	-	-	-	-	-	10
ED47	LD	I,A	-	-	-	-	-	-	9
DD2Appqq	LD	IX,(qqpp)	-	-	-	-	-	-	20
DD21bbdd	LD	IX,ddb	-	-	-	-	-	-	14

# Z80

## Instruções em Ordem Alfabética

16

<i>FD2Appqq</i>	LD	IY,(qppp)	-	-	-	-	-	-	20
<i>FD21bbdd</i>	LD	IY,ddbb	-	-	-	-	-	-	14
<i>6E</i>	LD	L,(HL)	-	-	-	-	-	-	7
<i>DD6Eii</i>	LD	L,(IX + ii)	-	-	-	-	-	-	19
<i>FD6Eii</i>	LD	L,(IY + ii)	-	-	-	-	-	-	19
<i>6F</i>	LD	L,A	-	-	-	-	-	-	4
<i>68</i>	LD	L,B	-	-	-	-	-	-	4
<i>69</i>	LD	L,C	-	-	-	-	-	-	4
<i>6A</i>	LD	L,D	-	-	-	-	-	-	4
<i>6B</i>	LD	L,E	-	-	-	-	-	-	4
<i>6C</i>	LD	L,H	-	-	-	-	-	-	4
<i>6D</i>	LD	L,L	-	-	-	-	-	-	4
<i>2Edd</i>	LD	L,dd	-	-	-	-	-	-	7
<i>ED4F</i>	LD	R,A	-	-	-	-	-	-	9
<i>ED7Bppqq</i>	LD	SP,(qppp)	-	-	-	-	-	-	20
<i>F9</i>	LD	SP,HL	-	-	-	-	-	-	6
<i>DDF9</i>	LD	SP,IX	-	-	-	-	-	-	10
<i>fdf9</i>	LD	SP,IY	-	-	-	-	-	-	10
<i>31bbdd</i>	LD	SP,ddbb	-	-	-	-	-	-	10
<i>EDA8</i>	LDD		-	-	0	P/V	0	-	16
<i>EDB8</i>	LDDR		-	-	0	0	0	-	16/21
<i>EDA0</i>	LDI		-	-	0	P/V	0	-	16
<i>EDB0</i>	LDIR		X	X	0	0	0	-	16/21

# Z80

## Instruções em Ordem Alfabética

17

ED44	NEG		S	Z	H	V	1	C	8
00	NOP		-	-	-	-	-	-	4
B6	OR	(HL)	S	Z	1	P	0	0	7
DDB6ii	OR	(IX + ii)	S	Z	1	P	0	0	19
FDB6ii	OR	(IY + ii)	S	Z	1	P	0	0	19
B7	OR	A	S	Z	1	P	0	0	4
B0	OR	B	S	Z	1	P	0	0	4
B1	OR	C	S	Z	1	P	0	0	4
B2	OR	D	S	Z	1	P	0	0	4
B3	OR	E	S	Z	1	P	0	0	4
B4	OR	H	S	Z	1	P	0	0	4
B5	OR	L	S	Z	1	P	0	0	4
F6dd	OR	dd	S	Z	1	P	0	0	7
EDBB	OTDR		X	1	X	X	1	X	16/21
EDB3	OTIR		X	1	X	X	1	X	16/21
ED79	OUT	(C),A	-	-	-	-	-	-	12
ED41	OUT	(C),B	-	-	-	-	-	-	12
ED49	OUT	(C),C	-	-	-	-	-	-	12
ED51	OUT	(C),D	-	-	-	-	-	-	12
ED59	OUT	(C),E	-	-	-	-	-	-	12
ED61	OUT	(C),H	-	-	-	-	-	-	12
ED69	OUT	(C),L	-	-	-	-	-	-	12
D3qq	OUT	(qq),A	-	-	-	-	-	-	11

**ÉRICA**

# Z80

## Instruções em Ordem Alfabética

18

<i>EDAB</i>	OUTD		X	Z	X	X	1	X	15
<i>EDA3</i>	OUTI		X	Z	X	X	1	X	15
<i>F1</i>	POP	AF	S	Z	H	P/V	N	C	10
<i>C1</i>	POP	BC	-	-	-	-	-	-	10
<i>D1</i>	POP	DE	-	-	-	-	-	-	10
<i>E1</i>	POP	HL	-	-	-	-	-	-	10
<i>DDE1</i>	POP	IX	-	-	-	-	-	-	14
<i>FDE1</i>	POP	IY	-	-	-	-	-	-	14
<i>F5</i>	PUSH	AF	-	-	-	-	-	-	11
<i>C5</i>	PUSH	BC	-	-	-	-	-	-	11
<i>D5</i>	PUSH	DE	-	-	-	-	-	-	11
<i>E5</i>	PUSH	HL	-	-	-	-	-	-	11
<i>DDE5</i>	PUSH	IX	-	-	-	-	-	-	15
<i>FDE5</i>	PUSH	IY	-	-	-	-	-	-	15
<i>CB86</i>	RES	0,(HL)	-	-	-	-	-	-	15
<i>DDCBii86</i>	RES	0,(IX + ii)	-	-	-	-	-	-	23
<i>FDCBii86</i>	RES	0,(IY + ii)	-	-	-	-	-	-	23
<i>CB87</i>	RES	0,A	-	-	-	-	-	-	8
<i>CB80</i>	RES	0,B	-	-	-	-	-	-	8
<i>CB81</i>	RES	0,C	-	-	-	-	-	-	8
<i>CB82</i>	RES	0,D	-	-	-	-	-	-	8
<i>CB83</i>	RES	0,E	-	-	-	-	-	-	8
<i>CB84</i>	RES	0,H	-	-	-	-	-	-	8

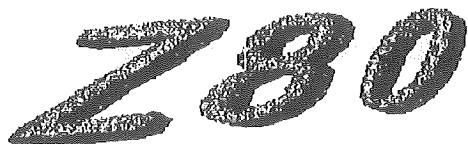
**ÉRICA**

# Z80

## Instruções em Ordem Alfabética

19

CB85	RES	0,L	-	-	-	-	-	8
CB8E	RES	1,(HL)	-	-	-	-	-	15
DDCBii8E	RES	1,(IX + ii)	-	-	-	-	-	23
FDCBii8E	RES	1,(IY + ii)	-	-	-	-	-	23
CB8F	RES	1,A	-	-	-	-	-	8
CB88	RES	1,B	-	-	-	-	-	8
CB89	RES	1,C	-	-	-	-	-	8
CB8A	RES	1,D	-	-	-	-	-	8
CB8B	RES	1,E	-	-	-	-	-	8
CB8C	RES	1,H	-	-	-	-	-	8
CB8D	RES	1,L	-	-	-	-	-	8
CB96	RES	2,(HL)	-	-	-	-	-	15
DDCBii96	RES	2,(IX + ii)	-	-	-	-	-	23
FDCBii96	RES	2,(IY + ii)	-	-	-	-	-	23
CB97	RES	2,A	-	-	-	-	-	8
CB90	RES	2,B	-	-	-	-	-	8
CB91	RES	2,C	-	-	-	-	-	8
CB92	RES	2,D	-	-	-	-	-	8
CB93	RES	2,E	-	-	-	-	-	8
CB94	RES	2,H	-	-	-	-	-	8
CB95	RES	2,L	-	-	-	-	-	8
CB9E	RES	3,(HL)	-	-	-	-	-	15
DDCBii9E	RES	3,(IX + ii)	-	-	-	-	-	23



## Instruções em Ordem Alfabética

20

<i>FDCBii9E</i>	RES	3,(IY + ii)	-	-	-	-	-	23
<i>CB9F</i>	RES	3,A	-	-	-	-	-	8
<i>CB98</i>	RES	3,B	-	-	-	-	-	8
<i>CB99</i>	RES	3,C	-	-	-	-	-	8
<i>CB9A</i>	RES	3,D	-	-	-	-	-	8
<i>CB9B</i>	RES	3,E	-	-	-	-	-	8
<i>CB9C</i>	RES	3,H	-	-	-	-	-	8
<i>CB9D</i>	RES	3,L	-	-	-	-	-	8
<i>CBA6</i>	RES	4,(HL)	-	-	-	-	-	15
<i>DDCBiiA6</i>	RES	4,(IX + ii)	-	-	-	-	-	23
<i>FDCBiiA6</i>	RES	4,(IY + ii)	-	-	-	-	-	23
<i>CBA7</i>	RES	4,A	-	-	-	-	-	8
<i>CBA0</i>	RES	4,B	-	-	-	-	-	8
<i>CBA1</i>	RES	4,C	-	-	-	-	-	8
<i>CBA2</i>	RES	4,D	-	-	-	-	-	8
<i>CBA3</i>	RES	4,E	-	-	-	-	-	8
<i>CBA4</i>	RES	4,H	-	-	-	-	-	8
<i>CBA5</i>	RES	4,L	-	-	-	-	-	8
<i>CBAE</i>	RES	5,(HL)	-	-	-	-	-	15
<i>DDCBiiAE</i>	RES	5,(IX + ii)	-	-	-	-	-	23
<i>FDCBiiAE</i>	RES	5,(IY + ii)	-	-	-	-	-	23
<i>CBAF</i>	RES	5,A	-	-	-	-	-	8
<i>CBA8</i>	RES	5,B	-	-	-	-	-	8



## Instruções em Ordem Alfabética

21

<i>CBA9</i>	RES	5,C	-	-	-	-	-	8
<i>CBAA</i>	RES	5,D	-	-	-	-	-	8
<i>CBAB</i>	RES	5,E	-	-	-	-	-	8
<i>CBAC</i>	RES	5,H	-	-	-	-	-	8
<i>CBAD</i>	RES	5,L	-	-	-	-	-	8
<i>CBB6</i>	RES	6,(HL)	-	-	-	-	-	15
<i>DDCBiiB6</i>	RES	6,(IX + ii)	-	-	-	-	-	23
<i>FDCBiiB6</i>	RES	6,(IY + ii)	-	-	-	-	-	23
<i>CBB7</i>	RES	6,A	-	-	-	-	-	8
<i>CBB0</i>	RES	6,B	-	-	-	-	-	8
<i>CBB1</i>	RES	6,C	-	-	-	-	-	8
<i>CBB2</i>	RES	6,D	-	-	-	-	-	8
<i>CBB3</i>	RES	6,E	-	-	-	-	-	8
<i>CBB4</i>	RES	6,H	-	-	-	-	-	8
<i>CBB5</i>	RES	6,L	-	-	-	-	-	8
<i>CBBE</i>	RES	7,(HL)	-	-	-	-	-	15
<i>DDCBiiBE</i>	RES	7,(IX + ii)	-	-	-	-	-	23
<i>FDCBiiBE</i>	RES	7,(IY + ii)	-	-	-	-	-	23
<i>CBBF</i>	RES	7,A	-	-	-	-	-	8
<i>CBB8</i>	RES	7,B	-	-	-	-	-	8
<i>CBB9</i>	RES	7,C	-	-	-	-	-	8
<i>CBBA</i>	RES	7,D	-	-	-	-	-	8
<i>CBBB</i>	RES	7,E	-	-	-	-	-	8

# Z80

## Instruções em Ordem Alfabética

22

CBBC	RES	7,H	-	-	-	-	-	-	8
CBBB	RES	7,L	-	-	-	-	-	-	8
C9	RET		-	-	-	-	-	-	10
D8	RET	C	-	-	-	-	-	-	5/11
F8	RET	M	-	-	-	-	-	-	5/11
D0	RET	NC	-	-	-	-	-	-	5/11
C0	RET	NZ	-	-	-	-	-	-	5/11
F0	RET	P	-	-	-	-	-	-	5/11
E8	RET	PE	-	-	-	-	-	-	5/11
E0	RET	PO	-	-	-	-	-	-	5/11
C8	RET	Z	-	-	-	-	-	-	5/11
ED4D	RETI		-	-	-	-	-	-	14
ED45	RETN		-	-	-	-	-	-	14
CB16	RL	(HL)	S	Z	0	P	0	C	15
DDCBii16	RL	(IX + ii)	S	Z	0	P	0	C	23
FDCBii16	RL	(IY + ii)	S	Z	0	P	0	C	23
CB17	RL	A	S	Z	0	P	0	C	8
CB10	RL	B	S	Z	0	P	0	C	8
CB11	RL	C	S	Z	0	P	0	C	8
CB12	RL	D	S	Z	0	P	0	C	8
CB13	RL	E	S	Z	0	P	0	C	8
CB14	RL	H	S	Z	0	P	0	C	8
CB15	RL	L	S	Z	0	P	0	C	8

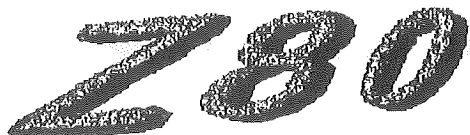


# Z80

## Instruções em Ordem Alfabética

23

17	RLA		-	-	0	-	0	C	4
CB06	RLC	(HL)	S	Z	0	P	0	C	15
DDCBii06	RLC	(IX + ii)	S	Z	0	P	0	C	23
FDCBii06	RLC	(IY + ii)	S	Z	0	P	0	C	23
CB07	RLC	A	S	Z	0	P	0	C	8
CB00	RLC	B	S	Z	0	P	0	C	8
CB01	RLC	C	S	Z	0	P	0	C	8
CB02	RLC	D	S	Z	0	P	0	C	8
CB03	RLC	E	S	Z	0	P	0	C	8
CB04	RLC	H	S	Z	0	P	0	C	8
CB05	RLC	L	S	Z	0	P	0	C	8
07	RLCA		-	-	0	-	0	C	4
ED67	RLD		S	Z	0	P	0	-	18
CB1E	RR	(HL)	S	Z	0	P	0	C	15
DDCBii1E	RR	(IX + ii)	S	Z	0	P	0	C	23
FDCBii1E	RR	(IY + ii)	S	Z	0	P	0	C	23
CB1F	RR	A	S	Z	0	P	0	C	8
CB18	RR	B	S	Z	0	P	0	C	8
CB19	RR	C	S	Z	0	P	0	C	8
CB1A	RR	D	S	Z	0	P	0	C	8
CB1B	RR	E	S	Z	0	P	0	C	8
CB1C	RR	H	S	Z	0	P	0	C	8
CB1D	RR	L	S	Z	0	P	0	C	8



# Instruções em Ordem Alfabética

1F	RRA		-	-	0	-	0	C	4
CB0E	RRC	(HL)	S	Z	0	P	0	C	15
DDCBii0E	RRC	(IX + ii)	S	Z	0	P	0	C	23
FDCBii0E	RRC	(IY + ii)	S	Z	0	P	0	C	23
CB0F	RRC	A	S	Z	0	P	0	C	8
CB08	RRC	B	S	Z	0	P	0	C	8
CB09	RRC	C	S	Z	0	P	0	C	8
CB0A	RRC	D	S	Z	0	P	0	C	8
CB0B	RRC	E	S	Z	0	P	0	C	8
CB0C	RRC	H	S	Z	0	P	0	C	8
CB0D	RRC	L	S	Z	0	P	0	C	8
0F	RRCA		-	-	0	-	0	C	4
ED67	RRD		S	Z	0	P	0	-	18
C7	RST	00H	-	-	-	-	-	-	11
CF	RST	08H	-	-	-	-	-	-	11
D7	RST	10H	-	-	-	-	-	-	11
DF	RST	18H	-	-	-	-	-	-	11
E7	RST	20H	-	-	-	-	-	-	11
EF	RST	28H	-	-	-	-	-	-	11
F7	RST	30H	-	-	-	-	-	-	11
FF	RST	38H	-	-	-	-	-	-	11
9E	SBC	A, (HL)	S	Z	H	V	1	C	7
DD9Eii	SBC	A, (IX + ii)	S	Z	H	V	1	C	19

# Z80

## Instruções em Ordem Alfabética

25

<i>FD9Eii</i>	SBC	A, (IY + ii)	S	Z	H	V	1	C	19
<i>9F</i>	SBC	A,A	S	Z	H	V	1	C	4
<i>98</i>	SBC	A,B	S	Z	H	V	1	C	4
<i>99</i>	SBC	A,C	S	Z	H	V	1	C	4
<i>9A</i>	SBC	A,D	S	Z	H	V	1	C	4
<i>9B</i>	SBC	A,E	S	Z	H	V	1	C	4
<i>9C</i>	SBC	A,H	S	Z	H	V	1	C	4
<i>9D</i>	SBC	A,L	S	Z	H	V	1	C	4
<i>DEdd</i>	SBC	A,dd	S	Z	H	V	1	C	7
<i>ED42</i>	SBC	HL,BC	S	Z	X	V	1	C	15
<i>ED52</i>	SBC	HL,DE	S	Z	X	V	1	C	15
<i>ED62</i>	SBC	HL,HL	S	Z	X	V	1	C	15
<i>ED72</i>	SBC	HL,SP	S	Z	X	V	1	C	15
<i>37</i>	SCF		-	-	0	-	0	1	4
<i>CBC6</i>	SET	0, (HL)	-	-	-	-	-	-	15
<i>DDCBiiC6</i>	SET	0, (IX + ii)	-	-	-	-	-	-	23
<i>FDCBiiC6</i>	SET	0, (IY + ii)	-	-	-	-	-	-	23
<i>CBC7</i>	SET	0,A	-	-	-	-	-	-	8
<i>CBC0</i>	SET	0,B	-	-	-	-	-	-	8
<i>CBC1</i>	SET	0,C	-	-	-	-	-	-	8
<i>CBC2</i>	SET	0,D	-	-	-	-	-	-	8
<i>CBC3</i>	SET	0,E	-	-	-	-	-	-	8
<i>CBC4</i>	SET	0,H	-	-	-	-	-	-	8

**ÉRICA**

# Z80

## Instruções em Ordem Alfabética

26

<i>CBC5</i>	SET	0,L	-	-	-	-	-	-	8
<i>CBCE</i>	SET	1,(HL)	-	-	-	-	-	-	15
<i>DDCBiiCE</i>	SET	1,(IX + ii)	-	-	-	-	-	-	23
<i>FDCBiiCE</i>	SET	1,(IY + ii)	-	-	-	-	-	-	23
<i>CBCF</i>	SET	1,A	-	-	-	-	-	-	8
<i>CBC8</i>	SET	1,B	-	-	-	-	-	-	8
<i>CBC9</i>	SET	1,C	-	-	-	-	-	-	8
<i>CBCA</i>	SET	1,D	-	-	-	-	-	-	8
<i>CBCB</i>	SET	1,E	-	-	-	-	-	-	8
<i>CBCC</i>	SET	1,H	-	-	-	-	-	-	8
<i>CBCD</i>	SET	1,L	-	-	-	-	-	-	8
<i>CBD6</i>	SET	2,(HL)	-	-	-	-	-	-	15
<i>DDCBiiD6</i>	SET	2,(IX + ii)	-	-	-	-	-	-	23
<i>FDCBiiD6</i>	SET	2,(IY + ii)	-	-	-	-	-	-	23
<i>CBD7</i>	SET	2,A	-	-	-	-	-	-	8
<i>CBD0</i>	SET	2,B	-	-	-	-	-	-	8
<i>CBD1</i>	SET	2,C	-	-	-	-	-	-	8
<i>CBD2</i>	SET	2,D	-	-	-	-	-	-	8
<i>CBD3</i>	SET	2,E	-	-	-	-	-	-	8
<i>CBD4</i>	SET	2,H	-	-	-	-	-	-	8
<i>CBD5</i>	SET	2,L	-	-	-	-	-	-	8
<i>CBDE</i>	SET	3,(HL)	-	-	-	-	-	-	15
<i>DDCBiiDE</i>	SET	3,(IX + ii)	-	-	-	-	-	-	23

# Z80

## Instruções em Ordem Alfabética

27

<i>FDCBiiDE</i>	SET	3,(IY + ii)	-	-	-	-	-	-	23
<i>CBDF</i>	SET	3,A	-	-	-	-	-	-	8
<i>CBD8</i>	SET	3,B	-	-	-	-	-	-	8
<i>CBD9</i>	SET	3,C	-	-	-	-	-	-	8
<i>CBDA</i>	SET	3,D	-	-	-	-	-	-	8
<i>CBDB</i>	SET	3,E	-	-	-	-	-	-	8
<i>CBDC</i>	SET	3,H	-	-	-	-	-	-	8
<i>CBDD</i>	SET	3,L	-	-	-	-	-	-	8
<i>CBE6</i>	SET	4,(HL)	-	-	-	-	-	-	15
<i>DDCBiiE6</i>	SET	4,(IX + ii)	-	-	-	-	-	-	23
<i>FDCBiiE6</i>	SET	4,(IY + ii)	-	-	-	-	-	-	23
<i>CBE7</i>	SET	4,A	-	-	-	-	-	-	8
<i>CBE0</i>	SET	4,B	-	-	-	-	-	-	8
<i>CBE1</i>	SET	4,C	-	-	-	-	-	-	8
<i>CBE2</i>	SET	4,D	-	-	-	-	-	-	8
<i>CBE3</i>	SET	4,E	-	-	-	-	-	-	8
<i>CBE4</i>	SET	4,H	-	-	-	-	-	-	8
<i>CBE5</i>	SET	4,L	-	-	-	-	-	-	8
<i>CBEE</i>	SET	5,(HL)	-	-	-	-	-	-	15
<i>DDCBiiEE</i>	SET	5,(IX + ii)	-	-	-	-	-	-	23
<i>FDCBiiEE</i>	SET	5,(IY + ii)	-	-	-	-	-	-	23
<i>CBEF</i>	SET	5,A	-	-	-	-	-	-	8
<i>CBE8</i>	SET	5,B	-	-	-	-	-	-	8

# Z80

## Instruções em Ordem Alfabética

28

<i>CBE9</i>	SET	5,C	-	-	-	-	-	-	8
<i>CBEA</i>	SET	5,D	-	-	-	-	-	-	8
<i>CBEB</i>	SET	5,E	-	-	-	-	-	-	8
<i>CBEC</i>	SET	5,H	-	-	-	-	-	-	8
<i>CBED</i>	SET	5,L	-	-	-	-	-	-	8
<i>CBF6</i>	SET	6,(HL)	-	-	-	-	-	-	15
<i>DDCBiiF6</i>	SET	6,(IX + ii)	-	-	-	-	-	-	23
<i>FDCBiiF6</i>	SET	6,(IY + ii)	-	-	-	-	-	-	23
<i>CBF7</i>	SET	6,A	-	-	-	-	-	-	8
<i>CBF0</i>	SET	6,B	-	-	-	-	-	-	8
<i>CBF1</i>	SET	6,C	-	-	-	-	-	-	8
<i>CBF2</i>	SET	6,D	-	-	-	-	-	-	8
<i>CBF3</i>	SET	6,E	-	-	-	-	-	-	8
<i>CBF4</i>	SET	6,H	-	-	-	-	-	-	8
<i>CBF5</i>	SET	6,L	-	-	-	-	-	-	8
<i>CBFE</i>	SET	7,(HL)	-	-	-	-	-	-	15
<i>DDCBiiFE</i>	SET	7,(IX + ii)	-	-	-	-	-	-	23
<i>FDCBiiFE</i>	SET	7,(IY + ii)	-	-	-	-	-	-	23
<i>CBFF</i>	SET	7,A	-	-	-	-	-	-	8
<i>CBF8</i>	SET	7,B	-	-	-	-	-	-	8
<i>CBF9</i>	SET	7,C	-	-	-	-	-	-	8
<i>CBFA</i>	SET	7,D	-	-	-	-	-	-	8
<i>CBFB</i>	SET	7,E	-	-	-	-	-	-	8

# Z80

## Instruções em Ordem Alfabética

29

CBFC	SET	7,H	-	-	-	-	-	-	8
CBFD	SET	7,L	-	-	-	-	-	-	8
CB26	SLA	(HL)	S	Z	0	P	0	-	15
DDCBii26	SLA	(IX + ii)	S	Z	0	P	0	C	23
FDCBii26	SLA	(IY + ii)	S	Z	0	P	0	C	23
CB27	SLA	A	S	Z	0	P	0	C	8
CB20	SLA	B	S	Z	0	P	0	C	8
CB21	SLA	C	S	Z	0	P	0	C	8
CB22	SLA	D	S	Z	0	P	0	C	8
CB23	SLA	E	S	Z	0	P	0	C	8
CB24	SLA	H	S	Z	0	P	0	C	8
CB25	SLA	L	S	Z	0	P	0	C	8
CB2E	SRA	(HL)	S	Z	0	P	0	C	8
DDCBii2E	SRA	(IX + ii)	S	Z	0	P	0	C	15
FDCBii2E	SRA	(IY + ii)	S	Z	0	P	0	C	23
CB2F	SRA	A	S	Z	0	P	0	C	23
CB28	SRA	B	S	Z	0	P	0	C	8
CB29	SRA	C	S	Z	0	P	0	C	8
CB2A	SRA	D	S	Z	0	P	0	C	8
CB2B	SRA	E	S	Z	0	P	0	C	8
CB2C	SRA	H	S	Z	0	P	0	C	8
CB2D	SRA	L	S	Z	0	P	0	C	8
CB3E	SRL	(HL)	S	Z	0	P	0	C	8

ÉRICA



## Instruções em Ordem Alfabética

30

<i>DDCBii3E</i>	SRL	(IX + ii)	S	Z	0	P	0	C	23
<i>FDCBii3E</i>	SRL	(IY + ii)	S	Z	0	P	0	C	23
<i>CB3F</i>	SRL	A	S	Z	0	P	0	C	8
<i>CB38</i>	SRL	B	S	Z	0	P	0	C	8
<i>CB39</i>	SRL	C	S	Z	0	P	0	C	8
<i>CB3A</i>	SRL	D	S	Z	0	P	0	C	8
<i>CB3B</i>	SRL	E	S	Z	0	P	0	C	8
<i>CB3C</i>	SRL	H	S	Z	0	P	0	C	8
<i>CB3D</i>	SRL	L	S	Z	0	P	0	C	8
96	SUB	(HL)	S	Z	H	V	1	C	7
<i>DD96ii</i>	SUB	(IX + ii)	S	Z	H	V	1	C	19
<i>FD96ii</i>	SUB	(IY + ii)	S	Z	H	V	1	C	19
97	SUB	A	S	Z	H	V	1	C	4
90	SUB	B	S	Z	H	V	1	C	4
91	SUB	C	S	Z	H	V	1	C	4
92	SUB	D	S	Z	H	V	1	C	4
93	SUB	E	S	Z	H	V	1	C	4
94	SUB	H	S	Z	H	V	1	C	4
95	SUB	L	S	Z	H	V	1	C	4
<i>D6dd</i>	SUB	dd	S	Z	H	V	1	C	7
AE	XOR	(HL)	S	Z	1	P	0	0	7
<i>DDAEii</i>	XOR	(IX + ii)	S	Z	1	P	0	0	19
<i>FDAEii</i>	XOR	(IY + ii)	S	Z	1	P	0	0	19

ÉRICA



# Z80

## Instruções em Ordem Alfabética

31

AF	XOR	A	S	Z	1	P	0	0	4
A8	XOR	B	S	Z	1	P	0	0	4
A9	XOR	C	S	Z	1	P	0	0	4
AA	XOR	D	S	Z	1	P	0	0	4
AB	XOR	E	S	Z	1	P	0	0	4
AC	XOR	H	S	Z	1	P	0	0	4
AD	XOR	L	S	Z	1	P	0	0	4
EEd	XOR	dd	S	Z	1	P	0	0	7

OBS.:

<i>dd</i>	UM BYTE DE DADOS.
<i>ddb</i>	DOIS BYTES DE DADOS, ONDE ( <i>dd</i> ) REPRESENTA O BYTE MAIS SIGNIFICATIVO E ( <i>bb</i> ) O BYTE MENOS SIGNIFICATIVO.
<i>qq</i>	POSICIONAMENTO DE DISPOSITIVO DE ENTRADA E SAÍDA.
<i>ppqq</i>	POSICIONAMENTO DE MEMÓRIA, ONDE ( <i>pp</i> ) REPRESENTA O BYTE MAIS SIGNIFICATIVO E ( <i>qq</i> ) O BYTE MENOS SIGNIFICATIVO.
<i>ii</i>	ENDEREÇAMENTO INDEXADO.
<i>ee</i>	ENDEREÇAMENTO RELATIVO.
<i>X</i>	FLAG AFETADO COM CONDIÇÃO INDETERMINADA.



# Estrutura Interna do Z80

1

## REGISTRADORES INTERNOS DO Z80

ACUMULADOR A	B	D	H
FLAG F	C	E	L
ACUMULADOR A'	B'	D'	H'
FLAG F'	C'	E'	L'
REGISTRADOR I	REGISTRADOR R		
REGISTRADOR DE INDEX IX	REGISTRADOR DE INDEX IY		
STAK POINTER SP	CONTADOR DE PROGRAMA PC		

# Z80

## Estrutura Interna do Z80

2

### FLAG'S DO Z80

S	Z	*	H	*	P/V	N	CY
---	---	---	---	---	-----	---	----

S	FLAG DE SINAL
Z	FLAG DE ZERO
H	FLAG DE HALF CARRY
P/V	FLAG DE PARIDADE OU OVERFLOW
N	FLAG DE ADIÇÃO OU SUBTRAÇÃO
CY	FLAG DE CARRY
*	NÃO USADO



# Estrutura Interna do Z80

3

## INTERRUPÇÃO DO Z80

No mascarada ( $\overline{\text{NMI}}$ )

PC = 0066H

Mascarada ( $\overline{\text{INT}}$ )

*MODO 0*

Código no data bus, podendo endereçar até oito posições de memória.

PC = ( 0000H, 0008H, 0010H, 0018H, 0020H, 0028H, 0030H, 0038H)

*MODO 1*

PC = (0038H)

*MODO 2*

Index com registrador I

# Z80

## Estrutura Interna do Z80

4

CONDIÇÃO	IFF1	IFF2	COMENTÁRIO
CPU RESET	0	0	
DI	0	0	
EI	1	1	
LD A,I	-	-	IFF2 → FLAG P/V
LD A,R	-	-	IFF2 → FLAG P/V
$\overline{\text{NMI}}$	0	-	
RETN	IFF2	-	IFF1 ← IFF2
$\overline{\text{INT}}$	0	0	
RETI	-	-	

F  
L  
A  
G  
  
D  
E  
  
I  
N  
T  
E  
R  
R  
U  
P  
Ç  
ÃO



## Instruções em Ordem de Grupo 5

### GRUPO DE CARGA DE 8 BIT'S

LD	r,r'	$r \leftarrow r'$
LD	r,dd	$r \leftarrow dd$
LD	r,(HL)	$r \leftarrow (HL)$
LD	r,(IX + ii)	$r \leftarrow (IX + ii)$
LD	r,(IY + ii)	$r \leftarrow (IY + ii)$
LD	(HL),r	$(HL) \leftarrow r$
LD	(IX + ii),r	$(IX + ii) \leftarrow r$
LD	(IY + ii),r	$(IY + ii) \leftarrow r$
LD	(HL),dd	$(HL) \leftarrow dd$
LD	(IX + ii),dd	$(IX + ii) \leftarrow dd$
LD	(IY + ii),dd	$(IY + ii) \leftarrow dd$
LD	A,(BC)	$A \leftarrow (BC)$
LD	A,(DE)	$A \leftarrow (DE)$
LD	A,(qqpp)	$A \leftarrow (qqpp)$

LD	(BC),A	$(BC) \leftarrow A$
LD	(DE),A	$(DE) \leftarrow A$
LD	(qqpp),A	$(qqpp) \leftarrow A$
LD	A,I	$A \leftarrow I$
LD	A,R	$A \leftarrow R$
LD	I,A	$I \leftarrow A$
LD	R,A	$R \leftarrow A$

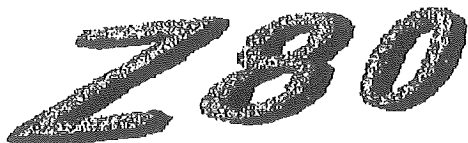
### GRUPO DE CARGA DE 16 BIT'S

LD	rr,ddbb	$rr \leftarrow ddbb$
LD	IX,ddbb	$IX \leftarrow ddbb$
LD	IY,ddbb	$IY \leftarrow ddbb$
LD	HL,(qqpp)	$H \leftarrow (qqpp + 1)$
		$L \leftarrow (qqpp)$

# Z80

## Instruções em Ordem de Grupo <sup>6</sup>

LD	rr,(qqpp)	$rrH \leftarrow (qqpp + 1)$ $rrL \leftarrow (qqpp)$	LD	SP,IY	$SP \leftarrow IY$
LD	IX,(qqpp)	$IXH \leftarrow (qqpp + 1)$ $IXL \leftarrow (qqpp)$	PUSH	BC	$(SP-1) \leftarrow B$
LD	IY,(qqpp)	$IYH \leftarrow (qqpp + 1)$ $IYL \leftarrow (qqpp)$	PUSH	DE	$(SP-2) \leftarrow C$
LD	(qqpp),HL	$(qqpp + 1) \leftarrow H$ $(qqpp) \leftarrow L$	PUSH	DE	$(SP-1) \leftarrow D$
LD	(qqpp),rr	$(qqpp + 1) \leftarrow rrH$ $(qqpp) \leftarrow rrL$	PUSH	HL	$(SP-2) \leftarrow E$
LD	(qqpp),IX	$(qqpp + 1) \leftarrow IXH$ $(qqpp) \leftarrow IXL$	PUSH	HL	$(SP-1) \leftarrow H$
LD	(qqpp),IY	$(qqpp + 1) \leftarrow IYH$ $(qqpp) \leftarrow IYL$	PUSH	AF	$(SP-2) \leftarrow L$
LD	SP,HL	$SP \leftarrow HL$	PUSH	AF	$(SP-1) \leftarrow A$
LD	SP,IX	$SP \leftarrow IX$	PUSH	AF	$(SP-2) \leftarrow F$
			PUSH	IX	$(SP-1) \leftarrow IXH$
			PUSH	IX	$(SP-2) \leftarrow IXL$
			PUSH	IY	$(SP-1) \leftarrow IYH$
			PUSH	IY	$(SP-2) \leftarrow IYL$
			POP	BC	$B \leftarrow (SP + 1)$
					$C \leftarrow (SP)$



## Instruções em Ordem de Grupo <sup>7</sup>

POP	DE	$D \leftarrow (SP + 1)$ $E \leftarrow (SP)$	EXX		$BC \leftarrow BC'$ $DE \leftarrow DE'$
POP	HL	$H \leftarrow (SP + 1)$ $L \leftarrow (SP)$			$HL \leftarrow HL'$
POP	AF	$A \leftarrow (SP + 1)$ $F \leftarrow (SP)$	EX	(SP),HL	$H \leftarrow (SP + 1)$ $L \leftarrow (SP)$
POP	IX	$IXH \leftarrow (SP + 1)$ $IXL \leftarrow (SP)$	EX	(SP),IX	$IXH \leftarrow (SP + 1)$ $IXL \leftarrow SP$
POP	IY	$IYH \leftarrow (SP + 1)$ $IYL \leftarrow (SP)$	EX	(SP),IY	$IYH \leftarrow (SP + 1)$ $IYL \leftarrow (SP)$
			LDI		$(DE) \leftarrow (HL)$ $DE \leftarrow DE + 1$ $HL \leftarrow HL + 1$ $BC \leftarrow BC - 1$

### GRUPO DE TRANSFERÊNCIA DE BLOCOS

EX	DE,HL	$DE \leftarrow HL$
EX	AF,AF'	$AF \leftarrow AF'$



# Z80

## Instruções em Ordem de Grupo 8

LDIR	$(DE) \leftarrow (HL)$ $DE \leftarrow DE + 1$ $HL \leftarrow HL + 1$ $BC \leftarrow BC - 1$ <i>Executar a instrução até BC <math>\neq 0</math></i>	CPI	$A \leftarrow (HL)$ $HL \leftarrow HL + 1$ $BC \leftarrow BC - 1$
LDD	$(DE) \leftarrow (HL)$ $DE \leftarrow DE - 1$ $HL \leftarrow HL - 1$ $BC \leftarrow BC - 1$	CPIR	$A \leftarrow (HL)$ $HL \leftarrow HL + 1$ $BC \leftarrow BC - 1$ <i>Executar a instrução até BC <math>\neq 0</math> ou A = (HL)</i>
LDDR	$(DE) \leftarrow (HL)$ $DE \leftarrow DE - 1$ $HL \leftarrow HL - 1$ $BC \leftarrow BC - 1$ <i>Executar a instrução até BC <math>\neq 0</math></i>	CPD	$A \leftarrow (HL)$ $HL \leftarrow HL + 1$ $BC \leftarrow BC - 1$
		CPDR	$A \leftarrow (HL)$ $HL \leftarrow HL + 1$ $BC \leftarrow BC - 1$ <i>Executar a instrução até BC <math>\neq 0</math> ou A = (HL)</i>

# Z80

## Instruções em Ordem de Grupo <sup>9</sup>

### GRUPO DE OPERAÇÕES ARITMÉTICAS E LÓGICAS DE 8 BIT'S

ADD	A,r	$A \leftarrow A + r$	SUB	A,(IX + ii)	$A \leftarrow A - (IX + ii)$
ADD	A,dd	$A \leftarrow A + dd$	SUB	A,(IY + ii)	$A \leftarrow A - (IY + ii)$
ADD	A,(HL)	$A \leftarrow A + (HL)$	SBC	A,r	$A \leftarrow A - r - CY$
ADD	A,(IX + ii)	$A \leftarrow A + (IX + ii)$	SBC	A,dd	$A \leftarrow A - dd - CY$
ADD	A,(IY + ii)	$A \leftarrow A + (IY + ii)$	SBC	A,(HL)	$A \leftarrow A - (HL) - CY$
ADC	A,r	$A \leftarrow A + r + CY$	SBC	A,(IX + ii)	$A \leftarrow A - (IX + ii) - CY$
ADC	A,dd	$A \leftarrow A + dd + CY$	SBC	A,(IY + ii)	$A \leftarrow A - (IY + ii) - CY$
ADC	A,(HL)	$A \leftarrow A + (HL) + CY$	AND	A,r	$A \leftarrow A \text{ e } r$
ADC	A,(IX + ii)	$A \leftarrow A + (IX + ii) + CY$	AND	A,dd	$A \leftarrow A \text{ e } dd$
ADC	A,(IY + ii)	$A \leftarrow A + (IY + ii) + CY$	AND	A,(HL)	$A \leftarrow A \text{ e } (HL)$
SUB	A,r	$A \leftarrow A - r$	AND	A,(IX + ii)	$A \leftarrow A \text{ e } (IX + ii)$
SUB	A,dd	$A \leftarrow A - dd$	AND	A,(IY + ii)	$A \leftarrow A \text{ e } (IY + ii)$
SUB	A,(HL)	$A \leftarrow A - (HL)$	OR	A,r	$A \leftarrow A \text{ ou } r$
			OR	A,dd	$A \leftarrow A \text{ ou } dd$
			OR	A,(HL)	$A \leftarrow A \text{ ou } (HL)$
			OR	A,(IX + ii)	$A \leftarrow A \text{ ou } (IX + ii)$



## Instruções em Ordem de Grupo <sup>10</sup>

OR	A, (IY + ii)	$A \leftarrow A$ ou $(IY + ii)$
XOR	A, r	$A \leftarrow A$ exclusivo r
XOR	A, dd	$A \leftarrow A$ exclusivo dd
XOR	A, (HL)	$A \leftarrow A$ exclusivo (HL)
XOR	A, (IX + ii)	$A \leftarrow A$ exclusivo (IX + ii)
XOR	A, (IY + ii)	$A \leftarrow A$ exclusivo (IY + ii)
CP	A, r	A-r
CP	A, dd	A-dd
CP	A, (HL)	A-(HL)
CP	A, (IX + ii)	A-(IX + ii)
CP	A, (IY + ii)	A-(IY + ii)
INC	r	$r \leftarrow r + 1$
INC	(HL)	$(HL) \leftarrow (HL) + 1$
INC	(IX + ii)	$(IX + ii) \leftarrow (IX + ii) + 1$
INC	(IY + ii)	$(IY + ii) \leftarrow (IY + ii) + 1$
DEC	r	$r \leftarrow r - 1$

DEC	(HL)	$(HL) \leftarrow (HL) - 1$
DEC	(IX + ii)	$(IX + ii) \leftarrow (IX + ii) - 1$
DEC	(IY + ii)	$(IY + ii) \leftarrow (IY + ii) - 1$
DAA		$A \leftarrow A(BIN)$ converte A(BCD)
CPL		$A \leftarrow \bar{A}$
NEG		$A \leftarrow 0 - A$
CCF		$CY \leftarrow \bar{CY}$
SCF		$CY \leftarrow 1$

### GRUPO DE OPERAÇÕES ARITMÉTICAS E LÓGICAS DE 16 BIT'S

ADD	HL, BC	$HL \leftarrow HL + BC$
ADD	HL, DE	$HL \leftarrow HL + DE$
ADD	HL, HL	$HL \leftarrow HL + HL$

# Z80

## Instruções em Ordem de Grupo <sup>11</sup>

ADD	HL,SP	$HL \leftarrow HL + SP$	SBC	HL,SP	$HL \leftarrow HL - SP - CY$
ADD	IX,BC	$IX \leftarrow IX + BC$	INC	BC	$BC \leftarrow BC + 1$
ADD	IX,DE	$IX \leftarrow IX + DE$	INC	DE	$DE \leftarrow DE + 1$
ADD	IX,IX	$IX \leftarrow IX + IX$	INC	HL	$HL \leftarrow HL + 1$
ADD	IX,SP	$IX \leftarrow IX + SP$	INC	SP	$SP \leftarrow SP + 1$
ADD	IY,BC	$IY \leftarrow IY + BC$	INC	IX	$IX \leftarrow IX + 1$
ADD	IY,DE	$IY \leftarrow IY + DE$	INC	IY	$IY \leftarrow IY + 1$
ADD	IY,IY	$IY \leftarrow IY + IY$	DEC	BC	$BC \leftarrow BC - 1$
ADD	IY,SP	$IY \leftarrow IY + SP$	DEC	DE	$DE \leftarrow DE - 1$
ADC	HL,BC	$HL \leftarrow HL + BC + CY$	DEC	HL	$HL \leftarrow HL - 1$
ADC	HL,DE	$HL \leftarrow HL + DE + CY$	DEC	SP	$SP \leftarrow SP - 1$
ADC	HL,HL	$HL \leftarrow HL + HL + CY$	DEC	IX	$IX \leftarrow IX - 1$
ADC	HL,SP	$HL \leftarrow HL + SP + CY$	DEC	IY	$IY \leftarrow IY - 1$
SBC	HL,BC	$HL \leftarrow HL - BC - CY$			
SBC	HL,DE	$HL \leftarrow HL - DE - CY$			
SBC	HL,HL	$HL \leftarrow HL - HL - CY$			

# Z80

## Instruções em Ordem de Grupo <sup>12</sup>

### GRUPO DE INSTRUÇÕES DE CONTROLE

NOP		<i>sem operação</i>
HALT		<i>para a CPU</i>
DI		<i>desabilita a interrupção</i>
EI		<i>habilita a interrupção</i>
IM	0	<i>interrupção no modo 0</i>
IM	1	<i>interrupção no modo 1</i>
IM	2	<i>interrupção no modo 2</i>

### GRUPO DE INSTRUÇÕES DE ROTAÇÃO

RLCA	$CY \leftarrow \uparrow \leftarrow A_7 \leftarrow A_0 \leftarrow \downarrow$
RLA	$\uparrow \leftarrow CY \leftarrow A_7 \leftarrow A_0 \leftarrow \downarrow$
RRCA	$CY \leftarrow \downarrow \leftarrow A_7 \rightarrow A_0 \rightarrow \uparrow$
RRA	$\downarrow \rightarrow CY \rightarrow A_7 \rightarrow A_0 \rightarrow \uparrow$

RLC	r	$CY \leftarrow \uparrow \leftarrow r_7 \leftarrow r_0 \leftarrow \downarrow$
RLC	(HL)	$CY \leftarrow \uparrow \leftarrow (HL)_7 \leftarrow (HL)_0 \leftarrow \downarrow$
RLC	(IX + ii)	$CY \leftarrow \uparrow \leftarrow (IX + ii)_7 \leftarrow (IX + ii)_0 \leftarrow \downarrow$
RLC	(IY + ii)	$CY \leftarrow \uparrow \leftarrow (IX + ii)_7 \leftarrow (IX + ii)_0 \leftarrow \downarrow$
RL	r	$\uparrow \leftarrow CY \leftarrow r_7 \leftarrow r_0 \leftarrow \downarrow$
RL	(HL)	$\uparrow \leftarrow CY \leftarrow (HL) \leftarrow (HL) \leftarrow \downarrow$
RL	(IX + ii)	$\uparrow \leftarrow CY \leftarrow (IX + ii) \leftarrow (IX + ii) \leftarrow \downarrow$
RL	(IY + ii)	$\uparrow \leftarrow CY \leftarrow (IY + ii) \leftarrow (IY + ii) \leftarrow \downarrow$
RRC	r	$CY \leftarrow \downarrow \rightarrow r_7 \rightarrow r_0 \rightarrow \uparrow$
RRC	(HL)	$CY \leftarrow \downarrow \rightarrow (HL)_7 \rightarrow (HL)_0 \rightarrow \uparrow$
RRC	(IX + ii)	$CY \leftarrow \downarrow \rightarrow (IX + ii)_7 \rightarrow r(IX + ii)_0 \rightarrow \uparrow$
RRC	(IY + ii)	$CY \leftarrow \downarrow \rightarrow (IY + ii)_7 \rightarrow r(IY + ii)_0 \rightarrow \uparrow$
RR	r	$\downarrow \rightarrow CY \rightarrow r_7 \rightarrow r_0 \rightarrow \uparrow$
RR	(HL)	$\downarrow \rightarrow CY \rightarrow (HL)_7 \rightarrow (HL)_0 \rightarrow \uparrow$
RR	(IX + ii)	$\downarrow \rightarrow CY \rightarrow (IX + ii)_7 \rightarrow (IX + ii)_0 \rightarrow \uparrow$
RR	(IY + ii)	$\downarrow \rightarrow CY \rightarrow (IY + ii)_7 \rightarrow (IY + ii)_0 \rightarrow \uparrow$

# Z80

## Instruções em Ordem de Grupo 13

SLA	r	$CY \leftarrow r_7 \leftarrow r_0$
SLA	(HL)	$CY \leftarrow (HL)_7 \leftarrow (HL)_0$
SLA	(IX + ii)	$CY \leftarrow (IX + ii)_7 \leftarrow (IX + ii)_0$
SLA	(IY + ii)	$CY \leftarrow (IY + ii)_7 \leftarrow (IY + ii)_0$
SRA	r	$r_7 \rightarrow r_0 \rightarrow CY$
SRA	(HL)	$(HL)_7 \rightarrow (HL)_0 \rightarrow CY$
SRA	(IX + ii)	$(IX + ii)_7 \rightarrow (IX + ii)_0 \rightarrow CY$
SRA	(IY + ii)	$(IY + ii)_7 \rightarrow (IY + ii)_0 \rightarrow CY$
SRL	r	$0 \rightarrow r_7 \rightarrow r_0 \rightarrow CY$
SRL	(HL)	$0 \rightarrow (HL)_7 \rightarrow (HL)_0 \rightarrow CY$
SRL	(IX + ii)	$0 \rightarrow (IX + ii)_7 \rightarrow (IX + ii)_0 \rightarrow CY$
SRL	(IY + ii)	$0 \rightarrow (IY + ii)_7 \rightarrow (IY + ii)_0 \rightarrow CY$
RLD		
RRD		

### GRUPO DE INSTRUÇÕES DE SET, RESET TEST DE BIT

BIT	b,r	$Z \leftarrow \overline{rb}$
BIT	b,(HL)	$Z \leftarrow \overline{(HL)}$
BIT	b,(IX + ii)	$Z \leftarrow \overline{(IX + ii)}$
BIT	b,(IY + ii)	$Z \leftarrow \overline{(IY + ii)}$
RES	b,r	$rb \leftarrow 0$
RES	b,(HL)	$(HL) \leftarrow 0$
RES	b,(IX + ii)	$(IX + ii) \leftarrow 0$
RES	b,(IY + ii)	$(IY + ii) \leftarrow 0$
SET	b,r	$rb \leftarrow 1$
SET	b,(HL)	$(HL) \leftarrow 1$
SET	b,(IX + ii)	$(IX + ii) \leftarrow 1$
SET	b,(IY + ii)	$(IY + ii) \leftarrow 1$



## Instruções em Ordem de Grupo <sup>14</sup>

### GRUPO DE INSTRUÇÕES DE SALTO

JP	ppqq	$PC \leftarrow ppqq$	JR	Z,ee	$PC \leftarrow PC + ee$ se $Z = 1$
JP	Z,ppqq	$PC \leftarrow ppqq$ se $Z = 1$	JR	NZ,ee	$PC \leftarrow PC + ee$ se $Z = 0$
JP	NZ,ppqq	$PC \leftarrow ppqq$ se $Z = 0$	JR	C,ee	$PC \leftarrow PC + ee$ se $C = 1$
JP	C,ppqq	$PC \leftarrow ppqq$ se $C = 1$	JR	NC,ee	$PC \leftarrow PC + ee$ se $C = 0$
JP	NC,ppqq	$PC \leftarrow ppqq$ se $C = 0$	JP	(HL)	$PC \leftarrow HL$
JP	PO,ppqq	$PC \leftarrow ppqq$ se $P = 0$	JP	(IX)	$PC \leftarrow IX$
JP	PE,ppqq	$PC \leftarrow ppqq$ se $P = 1$	JP	(IY)	$PC \leftarrow IY$
JP	P,ppqq	$PC \leftarrow ppqq$ se $S = 0$	DJNZ	EE	$B \leftarrow B - 1$ $PC \leftarrow PC + ee$ se $B \neq 0$
JP	M,ppqq	$PC \leftarrow ppqq$ se $S = 1$			
JR	ee	$PC \leftarrow PC + ee$			

# Z80

## Instruções em Ordem de Grupo 15

### GRUPO DE INSTRUÇÕES DE SUB ROTINAS

CALL	ppqq	$PC \leftarrow ppqq$ $(SP-1) \leftarrow PCH$ $(SP-2) \leftarrow PCL$	CALL	NC,ppqq	$PC \leftarrow ppqq$ se $C = 0$ $(SP-1) \leftarrow PCH$ se $C = 0$ $(SP-2) \leftarrow PCL$ se $C = 0$
CALL	Z,ppqq	$PC \leftarrow ppqq$ se $Z = 1$ $(SP-1) \leftarrow PCH$ se $Z = 1$ $(SP-2) \leftarrow PCL$ se $Z = 1$	CALL	PO,ppqq	$PC \leftarrow ppqq$ se $P = 0$ $(SP-1) \leftarrow PCH$ se $P = 0$ $(SP-2) \leftarrow PCL$ se $P = 0$
CALL	NZ,ppqq	$PC \leftarrow ppqq$ se $Z = 0$ $(SP-1) \leftarrow PCH$ se $Z = 0$ $(SP-2) \leftarrow PCL$ se $Z = 0$	CALL	PE,ppqq	$PC \leftarrow ppqq$ se $P = 1$ $(SP-1) \leftarrow PCH$ se $P = 1$ $(SP-2) \leftarrow PCL$ se $P = 1$
CALL	C,ppqq	$PC \leftarrow ppqq$ se $C = 1$ $(SP-1) \leftarrow PCH$ se $C = 1$ $(SP-2) \leftarrow PCL$ se $C = 1$	CALL	P,ppqq	$PC \leftarrow ppqq$ se $S = 0$ $(SP-1) \leftarrow PCH$ se $S = 0$ $(SP-2) \leftarrow PCL$ se $S = 0$



# Z80

## Instruções em Ordem de Grupo 16

CALL	M,ppqq	$PC \leftarrow ppqq$ se $S = 1$ $(SP-1) \leftarrow PCH$ se $S = 1$ $(SP-2) \leftarrow PCL$ se $S = 1$	RET	PO	$PCH \leftarrow (SP + 1)$ se $P = 0$ $PCL \leftarrow (SP)$ se $P = 0$
RET		$PCH \leftarrow (SP + 1)$ $PCL \leftarrow (SP)$	RET	PE	$PCH \leftarrow (SP + 1)$ se $P = 1$ $PCL \leftarrow (SP)$ se $P = 1$
RET	Z	$PCH \leftarrow (SP + 1)$ se $Z = 1$ $PCL \leftarrow (SP)$ se $Z = 1$	RET	P	$PCH \leftarrow (SP + 1)$ se $S = 0$ $PCL \leftarrow (SP)$ se $S = 0$
RET	NZ	$PCH \leftarrow (SP + 1)$ se $Z = 0$ $PCL \leftarrow (SP)$ se $Z = 0$	RET	M	$PCH \leftarrow (SP + 1)$ se $S = 1$ $PCL \leftarrow (SP)$ se $S = 1$
RET	C	$PCH \leftarrow (SP + 1)$ se $C = 1$ $PCL \leftarrow (SP)$ se $C = 1$	RETI		retorno de interrupção
RET	NC	$PCH \leftarrow (SP + 1)$ se $C = 0$ $PCL \leftarrow (SP)$ se $C = 0$	RETN		retorno de interrupção não mascarada

# Z80

## Instruções em Ordem de Grupo 17

RST	0H	<i>PC←0000</i> <i>(SP-1)←PCH</i> <i>(SP-2)←PCL</i>
RST	08H	<i>PC←0008</i> <i>(SP-1)←PCH</i> <i>(SP-2)←PCL</i>
RST	10H	<i>PC←0010</i> <i>(SP-1)←PCH</i> <i>(SP-2)←PCL</i>
RST	18H	<i>PC←0018</i> <i>(SP-1)←PCH</i> <i>(SP-2)←PCL</i>
RST	20H	<i>PC←0020</i> <i>(SP-1)←PCH</i> <i>(SP-2)←PCL</i>

RST	28H	<i>PC←0028</i> <i>(SP-1)←PCH</i> <i>(SP-2)←PCL</i>
RST	30H	<i>PC←0030</i> <i>(SP-1)←PCH</i> <i>(SP-2)←PCL</i>
RST	38H	<i>PC←0038</i> <i>(SP-1)←PCH</i> <i>(SP-2)←PCL</i>

### GRUPO DE INSTRUÇÕES DE ENTRADA E SAÍDA

IN	A,pp	<i>A←pp</i>
IN	r,(C)	<i>r←(C)</i>



## Instruções em Ordem de Grupo <sup>18</sup>

INI		$(HL) \leftarrow (C)$ $B \leftarrow B-1$ $HL \leftarrow HL + 1$	OUTI		$(C) \leftarrow (HL)$ $B \leftarrow B-1$ $HL \leftarrow HL + 1$
INIR		$(HL) \leftarrow (C)$ se $b \neq 0$ $B \leftarrow B-1$ $HL \leftarrow HL + 1$	OTDR		$(C) \leftarrow (HL)$ se $B \neq 0$ $B \leftarrow B-1$ $HL \leftarrow HL-1$
IND		$(HL) \leftarrow (C)$ $B \leftarrow B-1$ $HL \leftarrow HL-1$	OUTD		$(C) \leftarrow (HL)$ $B \leftarrow B-1$ $HL \leftarrow HL-1$
INDR		$(HL) \leftarrow (C)$ se $b \neq 0$ $B \leftarrow B-1$ $HL \leftarrow HL-1$	OTIR		$(C) \leftarrow (HL)$ se $B \neq 0$ $B \leftarrow B-1$ $HL \leftarrow HL + 1$
OUT	pp,A	$pp \leftarrow A$			
OUT	(C),r	$(C) \leftarrow r$			



## Instruções em Ordem de Grupo <sup>19</sup>

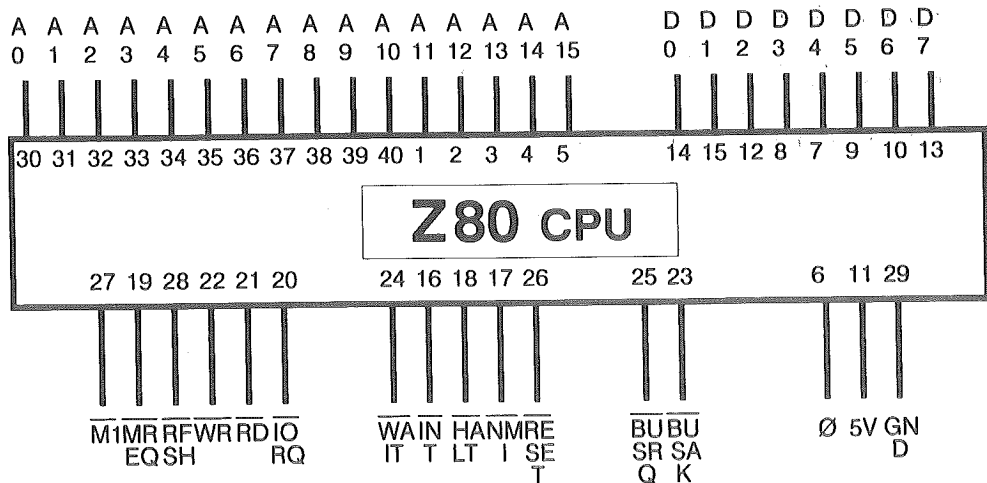
OBS.:

- dd* UM BYTE DE DADOS.
- ddb* DOIS BYTES DE DADOS, ONDE (*dd*) REPRESENTA O BYTE MAIS SIGNIFICATIVO E (*bb*) O BYTE MENOS SIGNIFICATIVO.
- qq* POSICIONAMENTO DE DISPOSITIVO DE ENTRADA E SAÍDA.
- ppqq* POSICIONAMENTO DE MEMÓRIA, ONDE (*pp*) REPRESENTA O BYTE MAIS SIGNIFICATIVO E (*qq*) O BYTE MENOS SIGNIFICATIVO.
- ii* ENDEREÇAMENTO INDEXADO.
- ee* ENDEREÇAMENTO RELATIVO.
- r* REGISTRADORES A,B,C,D,E,H,L.
- rr* REGISTRADORES BC,DE.

# Z80

## Pinagem do Z 80 CPU

20



# Z80

## Pinagem do Z80 CPU

21

**A0 - A15 (Saída) ADDRESS BUS:** Constituem 16 bit's de endereços com saídas em alta impedância (Tri-State). Esta via de endereços fornece a locação de memória assim como dispositivos de I/O. Pode-se endereçar 256 destes dispositivos, através de seus 8 bit's menos significativos.

**D0 - D7 (Entrada/Saída) DATA BUS:** Constituem 8 bit's de dados em via bidirecional com saída em alta impedância (Tri-State). Esta via de dados é usada para trocas de informações entre CPU e dispositivos de I/O e memória.

**M1 (Saída) MACHINE CYCLE ONE:** Ativo em nível lógico baixo, indicando que a CPU está realizando um ciclo de busca. Para instruções de 2 bytes, M1 é gerado para cada byte que foi buscado. Este sinal, em conjunto com IORQ, também é usado para indicar o reconhecimento de uma interrupção.

**MREQ (Saída) MEMORY REQUEST:** Em estado de alta impedância (Tri-State), ativo em nível lógico baixo. Indica que a via de endereços possui um endereço para efetuar leitura ou gravação na memória.

**RFSH (Saída) REFRESH:** Ativo em nível lógico baixo, indica que os 8 bit's menos significativos da via de endereços contêm a posição de memória a ser restaurada. Este sinal possibilita o uso de memórias RAM dinâmicas facilitando a elaboração do HARDWARE.

# Z80

## Pinagem do Z80 CPU

22

**$\overline{WR}$  (Saída) MEMORY WRITE:** Saída em Tri-State, que é ativo em nível baixo, indicando que a via de dados contém um dado para ser armazenado em dispositivos de I/O ou em memória, dependendo do endereço contido na via de endereços.

**$\overline{RD}$  (Saída) MEMORY READ:** Saída em TRI-STATE, que é ativo em nível lógico baixo, indicando que a CPU lerá dados em memória ou em dispositivos de I/O.

**$\overline{IORQ}$  (Saída) INPUT/OUTPUT REQUEST:** Saída em Tri-State, que é ativo em nível lógico baixo, indicando que os 8 bit's menos significativos da via de endereços possuem o endereço do periférico, ou seja, de um dispositivo de I/O, no qual será feita uma leitura ou escrita.

**$\overline{WAIT}$  (Entrada) WAIT:** Ativo em nível zero, indicando para a CPU que a memória ou periférico endereçado não está pronto para transferência de dados. A CPU ficará esperando enquanto o sinal estiver ativado.

**$\overline{INT}$  (Entrada) INTERRUPT REQUEST:** Ativo em nível lógico baixo, gerado por periféricos, ou seja, dispositivos de I/O. Este sinal indica que um periférico está pedindo uma interrupção a qual será reconhecida no fim da instrução que está sendo executada, caso o  $\overline{BUSRQ}$  não estiver ativo. Quando o pedido de interrupção é aceito pela CPU esta envia  $\overline{IORQ}$  e  $M1$ .

**$\emptyset$  (Entrada) CLOCK PHASE:** Única fase de nível TTL, requerendo apenas um resistor de 330 ohms Pull-up ligado a + 5V, sendo que a oscilação é feita externamente.

# Z80

## Pinagem do Z80 CPU

23

**$\overline{\text{HALT}}$  (Saída) HALT STATES:** Ativo em nível lógico baixo, indicando que a CPU está executando uma parada (HALT) por instrução de Software aguardando uma interrupção. Em cada estado HALT, a CPU nada realiza, mantendo o refresh de memória ativado.

**$\overline{\text{NMI}}$  (Entrada) NO MASKABLE INTERRUPT:** Ativo na borda de descida. Este sinal em prioridade superior ao do sinal INT, independente do Status e faz com que o Program Counter (PC) vá para a posição 0066 H. O PC é armazenado em uma pilha a fim de poder retornar ao programa original, no ponto onde este sinal foi gerado.

**RESET (Entrada) RESET:** Este sinal faz com que o PC seja carregado com o endereço 0000H e inicializa a CPU. Durante este sinal, todos os outros sinais ficam inativos e tanto a via de dados como a de endereços ficam em alta impedância (Tri-State).

**BUS RQ (Entrada) BUS REQUEST:** Ativo em zero. Este sinal requisita à CPU as vias de endereços, dados e controle colocando-as em Tri-State. Deste modo, a CPU deixa de usá-las permitindo que outros periféricos o façam (Usado principalmente em DMA).

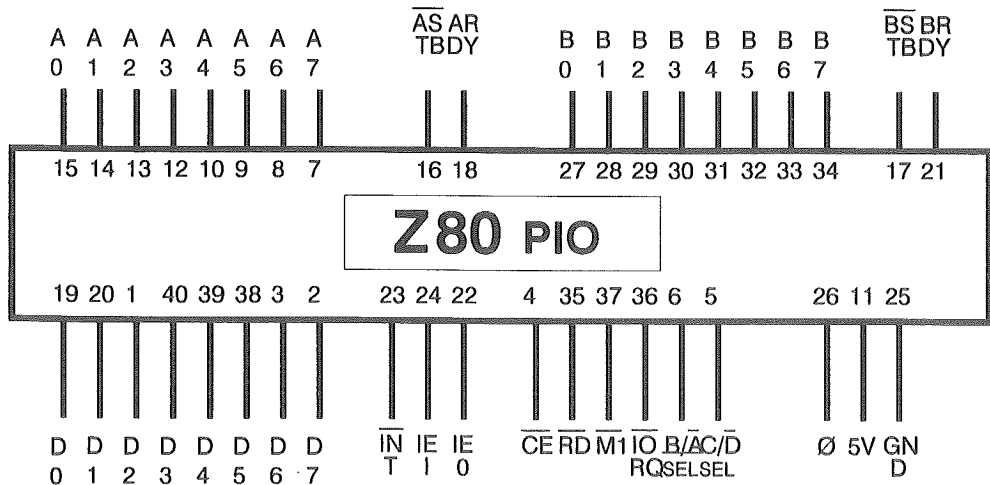
**BUSAK (Saída) BUS ACKNOWLEDGE:** Pino de saída, que é ativo em nível lógico baixo, indicando que o sinal BUSRQ foi reconhecido e que outros dispositivos podem controlar as vias de dados, endereço e sinais de controle.



# Z80

## Pinagem do Z80 PIO

24



# Z80

## Pinagem do Z 80 PIO

25

**D0 - D7 (Entrada/Saída) DATA BUS:** Constituem 8 bit's de dados em via bidirecional. Esta via de dados é usada para trocas de informações entre CPU e PIO.

**M1 (Saída) MACHINE CYCLE ONE:** Indica que a CPU está realizando um ciclo de busca.

**RD (Saída) MEMORY READ:** Indica que a CPU lerá dados para PIO.

**IORQ (Saída) INPUT/OUTPUT REQUEST:** Saída em Tri-State, que é ativo em zero, indicando que os 8 bit's menos significativos da via de endereços possuem o endereço do periférico (PIO).

**INT (Entrada) INTERRUPT REQUEST:** Ativo em nível ZERO, gerado por periféricos (PIO).

**IEI (Entrada) INTERRUPT ENABLE IN:** Quando existe mais de um dispositivo de interrupção, este sinal é usado na estruturação do esquema de prioridade de interrupção em série interligada.

**IEO (Saída) INTERRUPT ENABLE OUT:** Este sinal é usado juntamente com o anterior para a estruturação da prioridade. Ativo quando a PIO a qual pertence não está interrompendo a CPU, servindo como obstrução a dispositivos de menor prioridade.

**CE (Entrada) CHIP ENABLE:** Este sinal é utilizado para habilitar a pastilha, de modo a aceitar dados ou comandos.

**Ø (Entrada) SYSTEM CLOCK:** A PIO usa o mesmo clock do sistema utilizado pela CPU para sincronizar seus sinais internos.

**B/A SEL (Entrada) PORT A/B SELECT:** Este sinal determina qual porto será acessado durante a transferência de dados entre a CPU e a PIO. Um nível baixo o porto A, um nível alto o porto B.



## Pinagem do Z 80 PIO

26

**C/D SEL (Entrada) DATA/CONTROL SELECT:** Este sinal define como será a transferência entre a CPU e a PIO, se será de dados ou controle. Um nível baixo neste pino indica que o bus de dados será usado para transferir dados, enquanto um nível alto indica que o bus de dados será usado para transferir comandos.

**A0 - A7 (Entrada) PORT A BUS:** Este conjunto de 8 linhas bidirecionais, é usado para transferir dados e controle entre o porto A e o dispositivo periférico.

**ASTB (Entrada) PORT A STROBE PULSE FROM PERIPHERAL DEVICE:** Este sinal é usado para identificar as operações a serem realizadas, sendo que dependem do modo selecionado.

**ARDY (Saída) REGISTER A READY:** Este sinal depende do modo de operação programado. No modo 0 (Saída), no modo 1 (Entrada), no modo 2 (bidirecional), no modo 3 (Bit de Controle), este sinal é forçado a zero.

**B0-B7 (Entrada/Saída) PORT B BUS:** Este conjunto de 8 linhas bidirecionais mesmo (A0-A7).

**BSTB (Entrada) PORT B STROBE PULSE PERIPHERAL DEVICE:** Este sinal é semelhante ao ASTB sendo que aqui se trata do porto B.

**BRDY (Saída) REGISTER B READY:** Este sinal é semelhante ao ARDY sendo que aqui se trata do porto B.



# Pinagem do Z 80 PIO

27

## Programando a Z80 PIO

### Seleção dos registros

C/ $\bar{D}$	B/ $\bar{A}$	REGISTRO
0	0	A DATA
0	1	B DATA
1	0	A CONTROLE
1	1	B CONTROLE

### Vetor de interrupção

V7	V6	V5	V4	V3	V2	V1	0
----	----	----	----	----	----	----	---

### Modo de Operação

M1	M0	X	X	1	1	1	1
MODO		M1	M2	Direção			
0		0	0	Saída			
1		0	1	Entrada			
2		1	0	BiDirec.			
3		1	1	Bit Cont.			

*Obs.: Modo 3 deverá ser enviado palavra de controle sendo (1 para Entrada) e (0 para Saída).*



## Pinagem do Z 80 PIO

28

### Controle da interrupção

I N T Habil.	A N D / O R	A L T O B A I X O	M Á S - C A R A	0	1	1	1
-----------------	----------------	----------------------	--------------------	---	---	---	---

No modo 3 se a máscara = 1 deverá ter uma palavra de controle.

MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
-----	-----	-----	-----	-----	-----	-----	-----

MB = 0 Monitor Mb = 1 Máscara

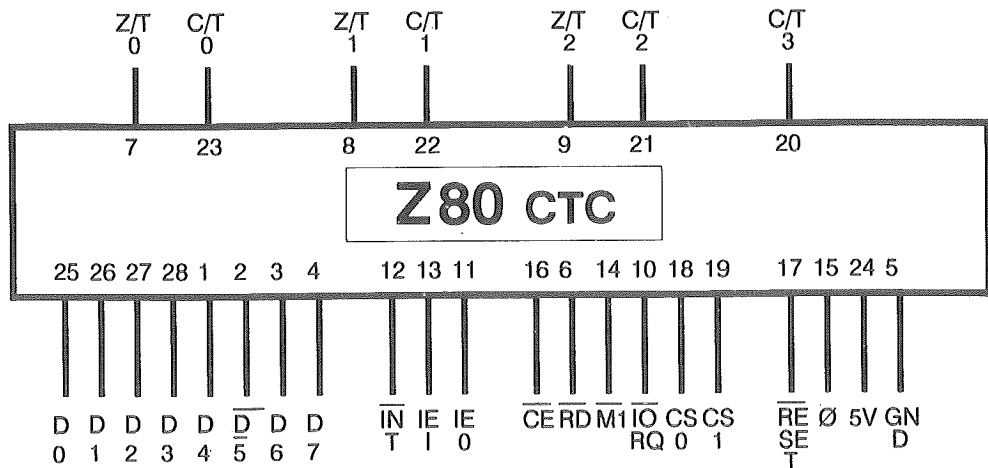
### Habilita Interrupção

I N T Habilit	X	X	X	0	0	0	0
------------------	---	---	---	---	---	---	---

# Z80

## Pinagem do Z 80 CTC

29



# Z80

## Pinagem do Z 80 CTC

30

**D0 - D7 (Entrada/Saída) DATA BUS:** Constituem 8 bit's de dados em via bidirecional. Esta via de dados é usada para trocas de informações entre CPU e CTC.

**M1 (Saída) MACHINE CYCLE ONE:** Indicando que a CPU está realizando um ciclo de busca.

**RD (Saída) MEMORY READ:** Indicando que a CPU lerá dados para CTC.

**IORQ (Saída) INPUT/OUTPUT REQUEST:** Saída em Tri-State, que é ativo em zero, indicando que os 8 bit's menos significativos da via de endereços possuem o endereço do periférico (CTC).

**INT (Entrada) INTERRUPT REQUEST:** Ativo em nível ZERO, gerado por periféricos (CTC).

**IEI (Entrada) INTERRUPT ENABLE IN:** Quando existe mais de um dispositivo de interrupção, este sinal é usado na estruturação do esquema de prioridade de interrupção em série interligada.

**IEO (Saída) INTERRUPT ENABLE OUT:** Este sinal é usado juntamente com o anterior para a estruturação da prioridade.

**CE (Entrada) CHIP ENABLE:** Utilizado para habilitar o CTC.

**C/T 0 - C/T 3 (Entrada) EXTERNAL CLOCK/TIMER TRIGGER:** No modo contador decrementa o Down Counter a cada subida ou descida do clock, conforme a programação feita, e no modo Timer, essa transição inicia a contagem (Timer).

**Z/T 0 - Z/T 2 ((Saída) ZERO COUNT/TIME OUT:** Correspondem às saídas dos canais 0, 1 e 2 do CTC tanto no modo contador como no modo Timer, o contador decrescente é decrementado até atingir a contagem zero, aparecendo então um pulso positivo nesta saída.

# Z80

## Pinagem do Z80 CTC

31

**CS0 - CS1 (Entrada) CHIP SELECT:** Seleciona o canal a ser lido ou programado, através das linhas de endereço A0 e A1.

**Ø (Entrada) SYSTEM CLOCK:** Clock da CPU para sincronizar seus sinais internos.

**RESET (Entrada) RESET:** Todos os contadores do CTC sejam resetados.

### Programando Z80 CTC

#### Seleção dos registros

CS1	CS0	Canal	Priorid.
0	0	0	Alta
0	1	1	-
1	0	2	-
1	1	3	Baixa

#### Vetor de interrupção

V7	V6	V5	V4	V3	X	X	0
----	----	----	----	----	---	---	---

#### Modo de Operação

INT Hab	C/T	R a n ge	Step	Trig ger	C o n stat	Re- set	1
------------	-----	-------------	------	-------------	---------------	------------	---

*Obs.: Se a constate = 1 a próxima palavra deverá ser a informação dos dados.*



**LIVROS ÉRICA EDITORA LTDA**  
**Rua Jarinú, 594 - Tatuapé - CEP 03306 Cx. Postal: 15.617**  
**Fones: 294-8686/295-3066**

**TODOS OS DIREITOS RESERVADOS.** Proibida a reprodução total ou parcial, por qualquer meio ou processo, especialmente por sistemas gráficos, microfilmicos, fotográficos, fonográficos, videográficos. Vedada a memorização e/ou a recuperação total ou parcial em qualquer sistema de processamento de dados e a inclusão de qualquer parte da obra em qualquer programa juscibernético. Essas proibições aplicam-se também às características gráficas da obra e à sua editoração. A violação dos direitos autorais é punível como crime (art. 184 e parágrafos, do Código Penal. Lei nº 6.895, de 17.12.80) com pena de prisão e multa, conjuntamente com busca e apreensão e indenizações diversas (artigos 122, 123, 124, 126, da Lei nº 5.988, de 14.12.73, Lei dos Direitos Autorais).

**Copyright © 1991 da Livros Érica Editora Ltda**



ênca

LIVROS DE CONTEÚDO, COM QUALIDADE

RUA JARINÚ, 594 - TATUAPÉ - CEP 03306

CX. P. 15617 - TEL.: (011) 294-8686 - S.P.